

ロジックLSIの高性能化と低消費電力化を実現するゲート絶縁膜技術

新規材料導入による技術革新

ロジックLSIの高性能化と低消費電力化を支え続けてきたMOSFET(金属酸化膜半導体型電界効果トランジスタ)の微細化が、近年物理的な限界に直面し頭打ちとなりつつあります。その主な要因は、ゲート絶縁膜の薄膜化がトンネルリーク電流の増大を引き起こし、消費電力低減と高性能化の両立が困難になっていることです。

東芝は、従来のLSI製造方法を維持しつつ、これまでゲート絶縁膜として使われてきたシリコン酸化膜を、より誘電率(κ)の高い新規材料のhigh- κ 絶縁膜に置き換え、ゲート電極に金属材料を適用したメタルゲート/high- κ 絶縁膜技術を開発しました。この技術は、微細化の物理的な限界を打破するのに非常に有効です。

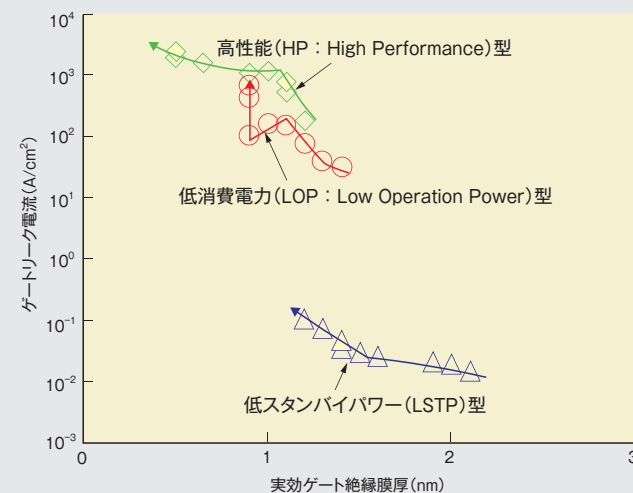


図1. ITRS (国際半導体技術ロードマップ)によるゲート絶縁膜スケールング予測(2005-2013年) — 特にLSTP型素子では、実効的なゲート絶縁膜を薄くしてもリーク電流が増えないスケールングを要求されます。

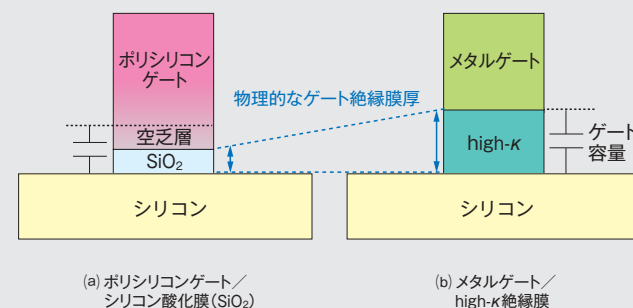


図2. メタルゲート/high- κ 絶縁膜による実効ゲート絶縁膜スケールング — high- κ 絶縁膜の誘電率増加とメタルゲートによるポリシリコン中の空乏層の排除を利用することで、物理的な絶縁膜厚を厚くしてトンネルリーク電流を低減しながら、実効的なゲート容量の増加を実現します。

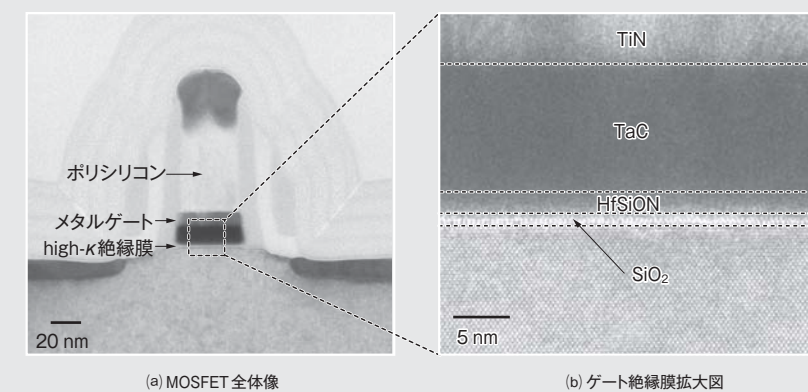


図3. メタルゲート/high- κ 絶縁膜を適用したMOSFETの断面構造 — high- κ 絶縁膜としてHfSiON、メタルゲート電極としてTaCとTiNの積層構造を適用し、従来と同じプロセスで形成されています。

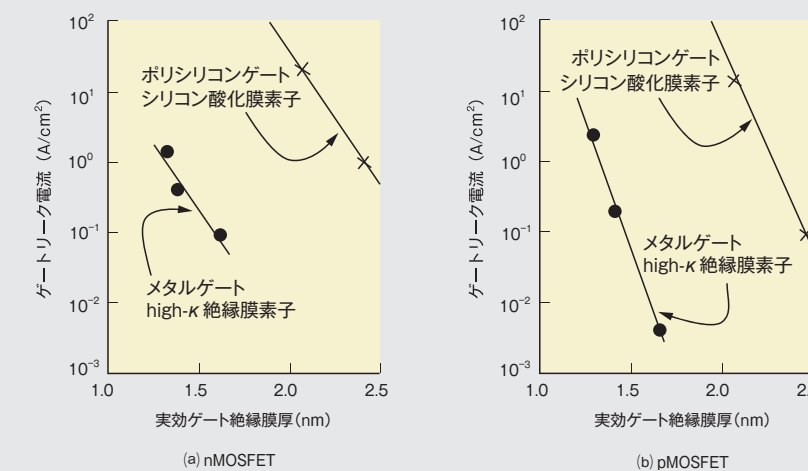


図4. ゲート絶縁膜とリーク電流の関係 — ゲート絶縁膜にかかる電界(E_{ox})が4.5 MV/cmでの測定結果で、メタルゲート/high- κ 絶縁膜を適用することにより、大幅なリーク電流の改善効果が得られています。

程度の薄膜の状態を維持し、リーク電流の増加なく実効的なゲート絶縁膜厚を得ることが求められます。今回開発したメタルゲート/high- κ 絶縁膜と、従来型ポリシリコンゲート/シリコン酸化膜を用いたMOSFETにおけるゲート容量から求めた実効的なゲート絶縁膜厚と、ゲートリーク電流の関係を図4に示します。今回開発したメタルゲート/high- κ 絶縁膜を採用したMOSFETは、LSTP型素子として見た場合、同じ実効ゲート絶縁膜厚で約4けたのゲートリーク電流の低減が達成できています。また、HP (High Performance)型素子として見た場合、同一ゲートリーク電流で約1 nmの厚さの実効ゲート絶縁膜が実現できています。

今後の展望

メタルゲート/high- κ 絶縁膜技術の採用で、更なるゲート絶縁膜のスケールングが可能になります。この効果は、ゲートリーク電流の低減だけでなく、電源電圧のスケールングを伴ったMOSFETの微細化や、MOSFETが本質的に持つランダムな特性ばらつき抑制などが挙げられます。当社は、従来のロジックLSIプロセス技術を変更することなく、これらの高性能化技術の適用により、製造コストの増加やレイアウト設計の変更を伴うことなく、更に高性能なロジックLSIの実現を目指して開発を進めていきます。

川中 繁

セミコンダクター社
半導体研究開発センター
高性能CMOSデバイス技術開発部主務

MOSFETの微細化限界

MOSFETの微細化は、動作電圧の低減と素子動作速度の向上を同時に果たし、ロジックLSIの飛躍的發展を担う主要因でした。MOSFETの微細化を実現するにはゲート絶縁膜を薄くする必要があり、最先端プロセスを用いた製品では、物理的なゲート絶縁膜厚が2 nm以下までに薄くなっています。一方で、絶縁膜の厚さが薄くなるに伴い、トンネル現象によってこの絶縁膜を流れるリーク電流が指数関数的に増加し、ロジックLSIの消費電力の増加が問題になっています。特に、待

機時に低消費電力が求められる低スタンバイパワー(LSTP: Low Standby Power)型素子では、このゲートリーク電流の増加は許容されません(図1)。また、現在のMOSFETでは、高濃度に不純物が添加されたポリシリコンゲート電極が用いられています。しかし、MOSFETを動作させる際、ゲート電極に電圧を印加すると、ゲート絶縁膜側の界面からキャリアの空乏化が起こります。空乏層が伸びている領域は実効的にゲート絶縁膜が存在することと等価な状態となり、微細化の阻害要因の一つとなっていました(図2-a)。

メタルゲート/high-κ絶縁膜技術

当社は、このようなMOSFET微細化の限界を乗り越え、更なるロジックLSIの高性能化及び低消費電力化を実現するため、金属材料とhigh- κ 絶縁膜をゲート電極形成に適用する技術を開発しています。メタルゲート電極を採用することで、ポリシリコンゲート電極において問題となるキャリアの空乏化を完全に抑制でき、実効的なゲート絶縁膜を薄くできます。また、シリコン酸化膜に対して、より誘電率の高いhigh- κ 材料をゲート絶縁膜に用い

ることで、ゲート容量のスケールングを行いながら、絶縁膜としての物理膜を厚くすることが可能となり、トンネルリーク電流を低減できます(図2-b)。

メタルゲート/high-κ絶縁膜を適用したMOSFETの構造と特性

当社で開発したメタルゲート/high- κ 絶縁膜を適用したMOSFETの断面構造のTEM(透過型電子顕微鏡)像を図3に示します。現在製品化されているポリシリコンゲート電極とシリコン酸化膜を用いたMOSFETと同様のプロセスを適用しています。ここでは、high- κ 絶縁膜材料として

HfSiON(窒化ハフニウムシリケート)を、メタルゲート電極としてTaC(炭化タンタル)とTiN(窒化チタン)の積層構造を適用し、その上に従来型MOSFETの電極材料として用いられているポリシリコンを積層し、最上部に電極の抵抗を低減するためのシリサイド(金属とシリコンの化合物)を形成しています。メタルゲート/high- κ 絶縁膜を用いたMOSFETの開発では、それぞれの材料と構造の選択が重要な要素となります。現在のLSI製造工程においては、1,000℃を超える熱工程が必須となっていますが、この熱工程を経た後に所望の誘電率を2 nm