

電子部品実装構造の熱-応力連成シミュレーション

Coupled Thermal-Stress Simulation Technology for Electronics Package Structures

廣畑 賢治 青木 秀夫 二宮 良次

■ HIROHATA Kenji

■ AOKI Hideo

■ NINOMIYA Ryoji

デジタル機器では、高性能化や小型・軽量化を目指して薄型の基板や狭ピッチのはんだ接合など新たな高密度実装技術が採用され、それに伴い不良現象の解析や評価・設計技術の役割が大きくなっている。高密度化を進めるには、機能の実現だけでなく、製造のしやすさや信頼性の確保も重要な課題となる。製造工程やユーザーの使用状況下で懸念される不良現象には、熱と応力の複合的な問題も少なくない。

東芝は、このような複雑な不良現象のメカニズムを把握して、正しく設計し、スムーズに製造するために、高密度実装構造の熱解析と応力解析を相互にリンクさせた熱-応力連成シミュレーション技術を開発した。設計の前段階でこの技術を活用して検討することで、設計品質を向上させ、製造のしやすさや信頼性を向上できる。

New high-density assembly technologies such as thinner printed circuit boards (PCBs) and narrow-pitch soldering are being applied to the production of compact digital equipment with high functionality. High reliability and ease of assembly are also required for these products in addition to high functionality. As a result of this trend, technologies for the analysis and evaluation of product failure phenomena due to complex problems related to heat and stress have become increasingly important.

Toshiba has developed a coupled thermal-stress simulation technology to predict the mechanisms of failure phenomena and improve the design and production processes. This technology realizes high-quality design by considering both manufacturability and reliability at the first stage of development.

1 まえがき

デジタル機器の小型・高性能化の推進にあたっては、電子部品の実装信頼性設計と製造プロセス設計をいかに適切に行うかが課題になる。薄型の基板技術、チップの積層技術、及び狭ピッチのはんだ接合技術などの採用が進む高密度実装構造では、多くの要因が複雑に絡み合いながら複数の不良モードが存在する場合も多く、すべての組合せを実験で忠実に再現することは容易でない。また、半導体実装構造の内部や微細接合部のような微小領域では、温度、応力、及びびずみなどの物理量を実際に測定して評価することは困難である。そのため、問題解決の手段としてシミュレーション技術への期待は大きい。

東芝は、熱-応力シミュレーションなどの要素解析技術や評価技術の開発を進め、製造工程やユーザーの使用状況下で不良を発生させないための、知識やノウハウの蓄積を進めている。

ここでは、電子部品の実装設計における熱-応力連成シミュレーションの適用を例に、当社の設計品質の向上に向けた取り組みについて述べる。

2 熱-応力連成シミュレーション技術

2.1 課題と要件

デジタル機器の電子部品実装基板は、製造工程やユーザー

の使用状況下で熱や機械的な負荷にさらされ、設計マージンや使用条件によっては、はんだ接合部などが破損する心配がある。熱変形や熱応力に起因した不良現象は、温度と応力が相互に影響を及ぼす連成問題となる場合も少なくない。

解析ツールや計算機性能の向上で、連成シミュレーションを行うための解析環境は進化している。しかし、連成現象を正しく解析するためには、温度とともに変形特性が複雑に変化する材料特性を高精度に表現するための非線形材料モデルが必要となる。また、基板の配線や接合部の数十 μm 程度と、基板全体の数百 mm 程度の寸法では1:10,000のスケール差があり、局所的な温度や応力の変化と全体的な挙動にも現象の階層性が存在する。スケール差と現象の階層性を整合させるためには、対象とする領域の境界条件の合理的な設定も不可欠となる。

また一般に、品質向上を図るため開発期間や開発コストが増加することが懸念されるが、決して許容されることではない。この二律相反するトレードオフ問題を解決する手法が求められる。

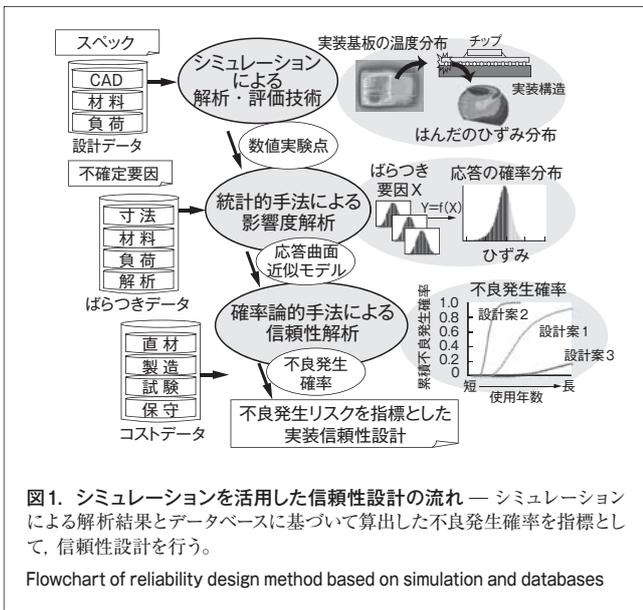
当社では、連成シミュレーションを設計に活用するにあたり、その仕組みだけでなく、材料データベースや、試験・製造時の温度や変形といった計測データベースを拡充した。更に、はんだや樹脂材料などの非弾性変形特性を記述するための材料モデルや、有限要素モデルにおける境界条件などシミュレーションモデルの高度化を進めている⁽¹⁾⁻⁽⁴⁾。

2.2 信頼性設計への活用

従来から、負荷、材料特性、及び寸法のばらつきや、シミュレーションと計測に含まれる誤差を考慮し、経験的に求めた安全係数を用いて、設計は進められてきた。しかし、高密度実装技術の革新や新たなコンセプトに基づくデジタル機器の登場によって、新しい材料や製造プロセスが導入され、これまでと異なる環境や負荷のもとで機器が使用されることになった。このとき、安全係数の中身が質的に変化するため、過去の経験やノウハウから決定することが困難な場合も生じる。

設計の前段階で信頼性を検討するには、製造工程やユーザーの使用状況下での熱変形挙動や応力・ひずみ状態を再現できるシミュレーション技術が必要である。更に、設計に内在する不確定要因が応力やひずみなどの構造に及ぼす影響度を把握したうえで信頼性設計を行うための、統計・確率論的な手法が必要となる。

熱-応力連成シミュレーションの信頼性設計への活用方法を図1に示す。シミュレーションを利用した設計変数の影響度の解析結果を、複数想定される不良発生メカニズムの仮説検証や設計条件の適正化に活用する。また、試行錯誤や後戻りを減らすことで開発期間を短縮し、前述のトレードオフ問題の克服に活用するのが狙いである。



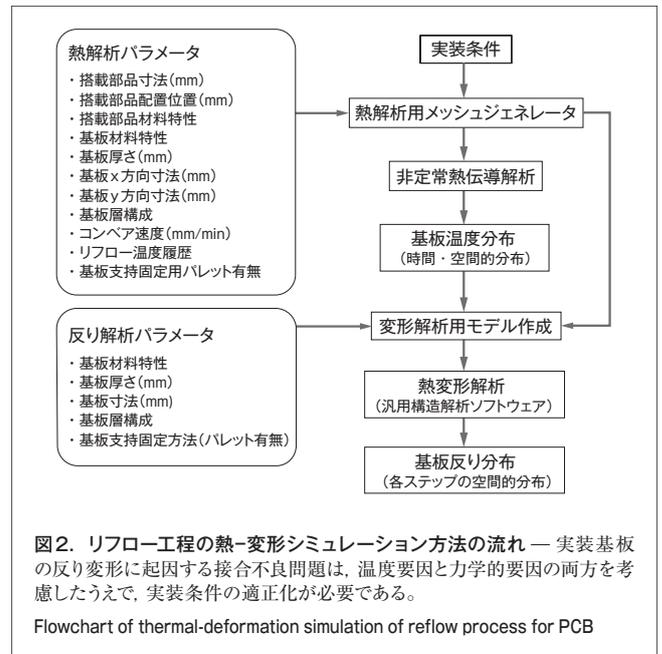
3 電子部品実装設計への適用事例

3.1 実装基板の製造工程の設計

ここでは、熱-変形連成シミュレーションを活用して、製造工程における実装基板の温度と変形挙動の空間的・時間的変化を解析することで、実装条件を適正化した事例について述べる。

CPUやメモリ、コネクタなどの表面実装部品は、リフローはんだ付け工程で基板に実装される。未実装基板のはんだ接合部分に、はんだペーストを印刷後、搭載部品をマウントし、リフロー炉(最高温度:250℃程度)ではんだを溶かして実装する。近年、地球環境保護の観点から鉛フリーはんだへの移行が急ピッチで進んだ。鉛フリーはんだは、融点が従来の共晶はんだに比べて高いため、リフロー温度も高くなった。温度の時間的・空間的変化もいっそう急峻(きゅうしゅん)になる傾向にあり、基板固定条件や、温度履歴などのプロセス条件、部品配置といった基板設計によっては、基板の反りに起因した接合不良が発生する場合がある。

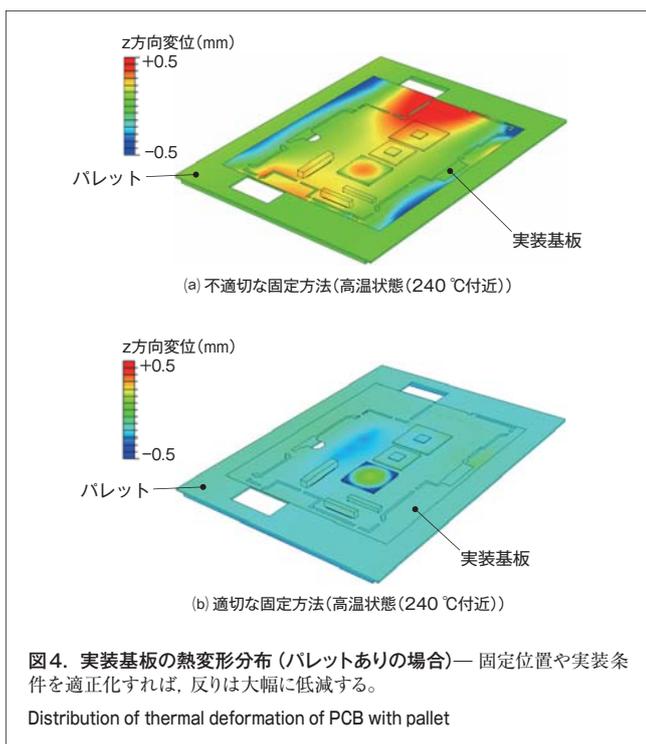
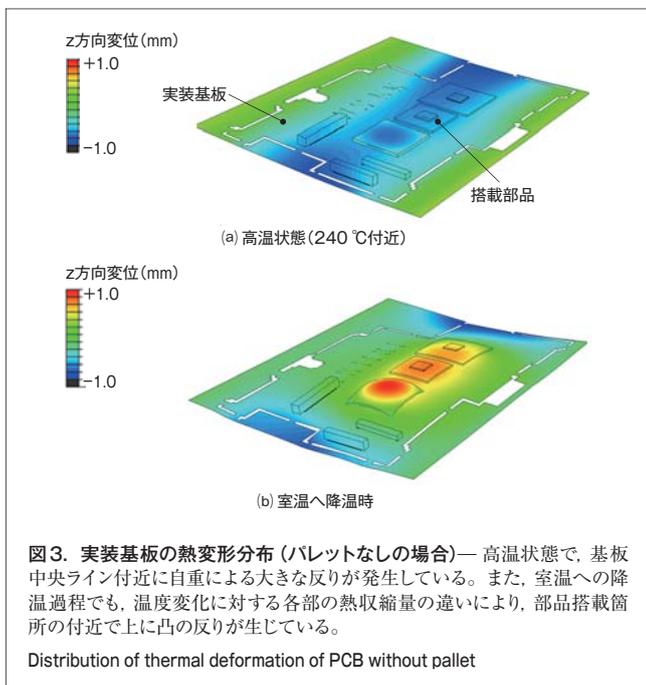
リフローはんだ付け工程での実装基板の反り変形は、温度分布の不均一性やその時間的な変化率も影響するため、温度要因と力学的要因の両方を考慮したうえで、リフロー実装条件の適正化が必要である。温度と反りの解析をリンクさせた熱-変形シミュレーション方法の流れを図2に示す。



実装基板の反りが大きい場合には、実装基板の周辺を支持し周辺部の数か所を固定するために、パレットを基板下に設置したうえでリフロー炉に投入する場合もある。支持固定方法を適切にするため熱-変形シミュレーションを行った結果(熱変形分布)を図3と図4に示す。

パレットが存在しない場合、図3に示すように、高温状態(a)では、基板中央ライン付近に自重による大きな反りが発生している。また、室温への降温過程(b)でも、温度変化に対する各部の熱収縮量の違いにより、部品搭載箇所の付近で上に凸の反りが生じている。

一方、パレットを設置しても、図4に示すように、不適切な固



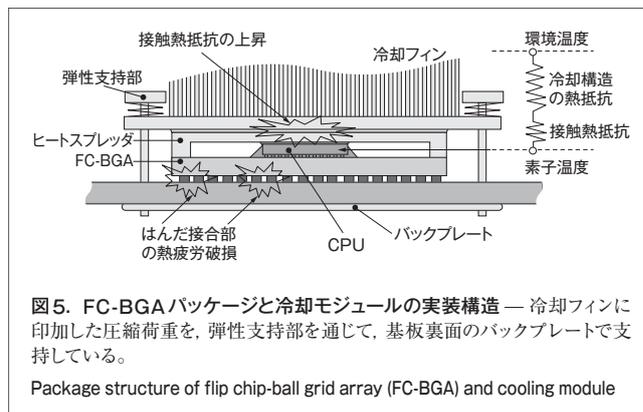
定方法(a)の場合、局所的に大きな反りが発生し、逆効果になる場合もある。適切な固定方法(b)の場合、固定位置や実装条件を適正化すれば、反りは大幅に低減することがわかる。

3.2 半導体パッケージはんだ接合部の熱疲労寿命設計

図5に示すような半導体実装構造では、発熱量が増大する傾向にあり、冷却フィンなどの冷却構造の熱抵抗に加えて、冷却構造と半導体パッケージ間の接触熱抵抗が素子温度に与え

る影響も相対的に大きくなってきている。設計によっては、半導体パッケージ内部の温度分布やその時間的変化が顕著になる場合もあり、使用条件を加速した信頼性試験条件を合理的に定めるためにも、使用時の熱負荷を精度良く見積もることが不可欠である。接触熱抵抗は、熱伝導と材料の変形挙動が複合した問題であり、温度分布と熱応力状態が相互に影響を及ぼし合う現象のため、熱と応力の連成問題を解く必要がある。

ここでは、実験的に得られた界面圧力と接触熱抵抗の関係を利用した熱-応力連成シミュレーション方法により、素子動作時の半導体パッケージと冷却フィン間の接触熱抵抗変化を考慮したうえで、使用時の想定負荷における熱応力・ひずみ状態を再現することを試みた解析例について述べる。更に、実装設計に内在する設計変数が、はんだ接合部の熱疲労破損に及ぼす影響度を統計的に解析したうえで、半導体パッケージの実装信頼性設計において有効であることを示した事例についても述べる。



3.2.1 熱-応力連成シミュレーションの結果

ここでは、図5に示すような櫛(くし)型フィンとヒートスプレッダをすぐ上に配置したFC-BGA (Flip Chip-Ball Grid Array) パッケージタイプのCPUモジュールを解析対象とした。冷却フィンに印加した圧縮荷重を、弾性支持部を通じて基板裏面のバックプレートで支持する構造となっている。

冷却用のヒートスプレッダとフィンの材料から構成された試験片で、単位面積当たりの接触熱抵抗を測定した結果を図6に示す。ここで得られた接触圧力と接触熱抵抗の関係式を、有限要素法に基づく市販の汎用構造解析ソフトウェアのユーザーサブルーチンとして組み込むことで、接触界面内の圧力分布に対応する不均一な接触熱抵抗分布を表現し、熱-応力連成シミュレーションを行った。温度変位連成要素を用いて、温度のつり合いと力のつり合いを直接的に解いた。対称性を考慮し1/4領域を解析対象とした。熱流体解析で求めたフィン表面の熱伝達率に関する数値実験式⁽¹⁾から、強制空冷時の熱的境界条件を設定した。はんだ接合部の材料モデルには、非

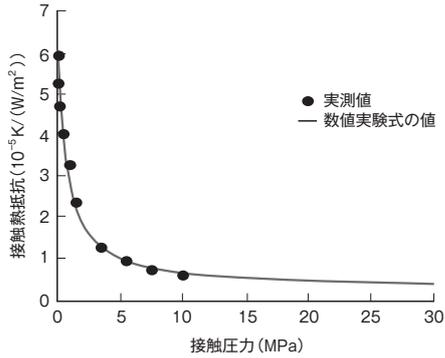


図6. 接触熱抵抗の接触圧力依存性 — 冷却用のヒートスプレッドとフィン
の材料から構成された試験片で、単位面積当たりの接触熱抵抗を測定した。接触圧力が大きくなると、接触熱抵抗は小さくなる。
Contact thermal resistance dependence of contact pressure

弾性変形挙動を再現できるOhno-Wangモデル⁽²⁾を用いた。チップ部をトータル80 W (1/4領域で20 W) で発熱させ、温度分布、変形分布、及び応力分布の時間的変化を解析した。

半導体パッケージの構成(材料と寸法)によって発熱状態での反り分布は変化するため、発熱状態で変形モードが異なる3種類のパッケージを解析対象とした。

定常状態における各パッケージの変形図及び温度分布を図7に示す。CPU発熱時の定常状態温度は、パッケージ1と2でそれぞれ78℃、81℃となった。パッケージ1で上に凸に反るのとは対照的に、パッケージ2では下に凸に反っている。これは、チップすぐ上の接触面付近で接触圧力が低下したためと考えられる。一方パッケージ3では、CPU発熱状態で変形モードが上に凸になったり下に凸になったり変化する。実際のCPU負荷の変動状態によっては、グリースが接触界面から押し出される危険性があり注意を要する。

3.2.2 熱-応力連成シミュレーションに基づく実装信頼性設計

パッケージ基板2種類で、実装基板裏面の冷却構造固定用バックプレートがある場合とない場合の四つのFC-BGA実装設計案を表1に示す。

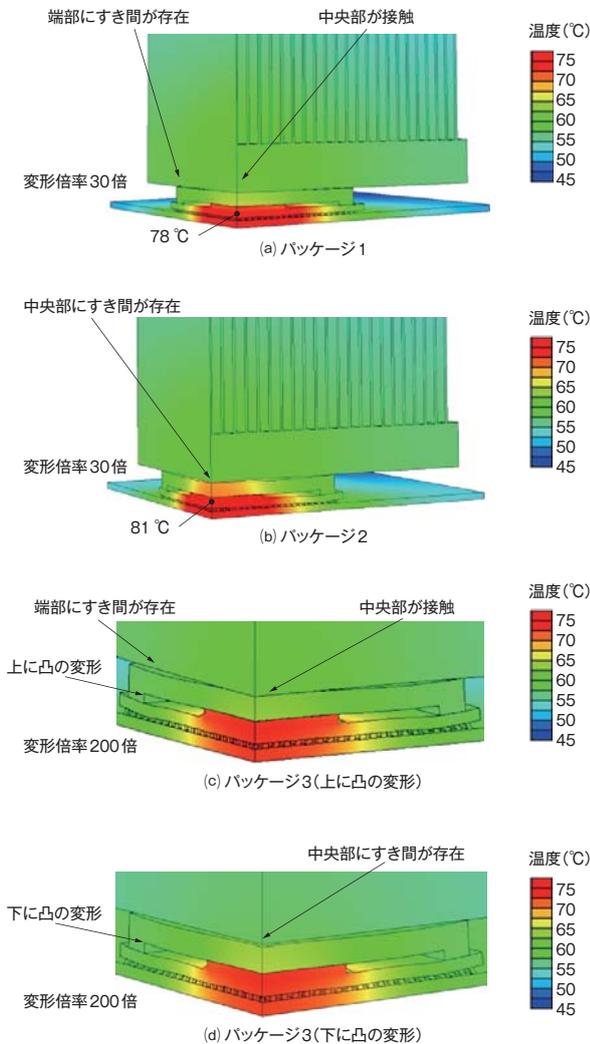


図7. 熱-応力連成シミュレーションの結果 — パッケージ1では上に凸に反るが、パッケージ2では下に凸に反る。パッケージ3では、CPUの発熱状態で変形モードが上に凸、又は下に凸になる。
Results of thermal-deformation simulation analysis

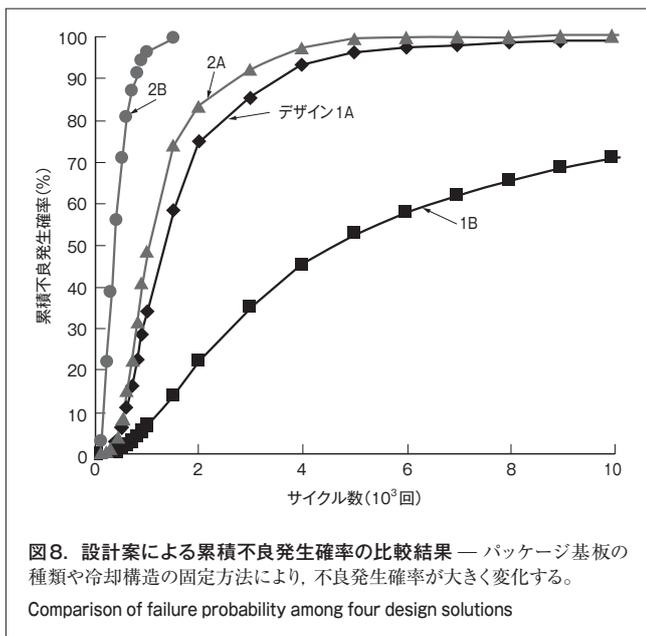
表1. 信頼性予測の対象とした実装設計案

Package design solutions for failure probability prediction

デザイン	設計変数	冷却構造の実装基板への固定方法
1A	パッケージ基板の線膨張率: 14 ppm/°C 実装基板の線膨張率: 18 ppm/°C	基板裏面のバックプレートなし
1B	ヒートスプレッド厚: 1 mm 冷却構造起因圧縮荷重: 150 N	基板裏面のバックプレートあり
2A	パッケージ基板の線膨張率: 18 ppm/°C 実装基板の線膨張率: 14 ppm/°C	基板裏面のバックプレートなし
2B	ヒートスプレッド厚: 3 mm 冷却構造起因圧縮荷重: 50 N	基板裏面のバックプレートあり

図1に示した流れに沿って、半導体パッケージのはんだ接合部に発生する非弾性ひずみ範囲のばらつき分布と、はんだの疲労強度分布とを照らし合わせ、疲労破損に関する不良発生確率を算出した。ここで、環境温度については安全側の評価を念頭に寒冷地の月別平均気温変化を、稼働時間(保持時間)については仮想的な使用形態として稼働時間が1日平均8時間の正規分布を想定した。本来、材料特性や形状のばらつき分布は、十分な検査データから決定すべきであるが、ここでは各要因のばらつきが独立に正規分布に従うと仮定し、仮想的に設定した公差(±20%)の範囲に99%の確率で存在すると設定した。

モンテカルロシミュレーション(試行回数: 50,000)の結果を図8に示す。FC-BGAパッケージ基板の種類や冷却構造の固定方法(基板裏面のバックプレート有無)といった設計変数の違いにより、不良発生確率が大きく変化することがわかる。



これにより、破損が発生した場合の損失を考慮し、不良発生確率をコストに換算して求めた不良発生リスク（期待損失コスト）を設計案ごとに比較でき、リスクを指標とした信頼性設計が実現できる。

4 あとがき

熱-応力連成シミュレーション技術を用いた実装設計の品質向上への取組みについて述べた。従来、実装設計は経験と試行錯誤に頼っていた部分も多かったが、シミュレーション技術とデータベースを活用し、不良発生のリスクを指標とした設計を行うことで、品質向上とコスト低減の両立が期待できる。

文献

- (1) Iwasaki, H., et al. "Forced Convection Air Cooling Characteristics of Plate Fins for Notebook Personal Computers". ITherm Proc. Las Vegas, 2000-05, IEEE. p.21 - 26.
- (2) Takahashi, H., et al. "Thermal Fatigue Life Simulation for Sn-Ag-Cu Lead-Free Solder Joints". ICEP Proc. Tokyo, 2003-04, ICEP. p.215 - 220.
- (3) Mukai, M., et al. Thermal Fatigue Life of Solder Bumps in BGA. JSME Int. J. 41, 2, A, 1998, p.260 - 266.
- (4) Hirohata, K., et al. "Coupled Thermal-stress Analysis for FC-BGA Packaging Reliability Design". IMECE2006 Proc. Chicago, 2006-11, ASME. 13800.



廣畑 賢治 HIROHATA Kenji, D.Eng.

研究開発センター 機械・システムラボラトリー主任研究員、
工博。エレクトロニクス実装における信頼性設計技術の開発
に従事。日本機械学会、エレクトロニクス実装学会会員。
Mechanical Systems Lab.



青木 秀夫 AOKI Hideo

セミコンダクター社 プロセス技術推進センター 半導体組立
要素技術部主査。半導体パッケージ技術の開発に従事。
Process & Manufacturing Engineering Center



二宮 良次 NINOMIYA Ryoji

PC & ネットワーク社 PC開発センター 実装開発センター長。
PCの実装技術開発に従事。エレクトロニクス実装学会会員。
PC Development Center