

# 大規模 SoC 高位設計・検証への取組みと H.264 デコーダ LSI への適用

H.264 Decoder LSI Development Utilizing C-based High Level Design Flow

水野 淳 鈴木 晃治朗 堀川 和成

■ MIZUNO Atsushi

■ SUZUKI Kojiro

■ HORIKAWA Kazunari

SoC (System on a Chip) の回路規模や複雑度は年々増加し、開発期間の増加や検証不足による作り直しの発生などが問題になっている。またその中でもソフトウェア (SW) の開発期間の増加が顕著になっており、ハードウェア (HW) と SW 両面での改革が必要となっている。そこで、東芝は、大規模な SoC の開発効率を向上させるために社内プロジェクト R-CUBE を推進している。ここでは、抽象度の高い C 言語ベースの HW モデル (C モデル) を開発の出発点とする高位設計技術が設計フローの中心となっている。

今回、動画像圧縮の国際標準規格である H.264<sup>(注1)</sup> 対応のデコーダ LSI TC90490XBG の開発で、R-CUBE の全設計フローを初めて適用した。各設計段階で開発期間を短縮できたほか、全設計フローを適用することで設計データの再利用が可能となり、開発効率を飛躍的に向上させることができた。

The circuit scale and complexity of system on chips (SoCs) are increasing every year, giving rise to the problems of longer development periods and more frequent redesign due to insufficient verification. Moreover, development periods for software are also becoming significantly longer. It is therefore necessary to improve both hardware and software design methodologies.

In response to this situation, Toshiba is engaged in the R-CUBE project aimed at improving the efficiency of development of large-scale SoCs. The key technology of R-CUBE is a system-level design methodology utilizing HW models written in C-based language with high-abstraction-level algorithms. The design flow of R-CUBE has been applied to the development of the TC90490XBG, an H.264 decoder large-scale integration (LSI), which is the first case in which the entire design flow of R-CUBE has been applied. This approach makes it possible to reuse the design data in each design stage, and significantly improves the efficiency of development of SoCs.

## 1 まえがき

SoC (System on a Chip) が大規模・複雑化するなかで、東芝は、大規模 SoC の開発効率を抜本的に向上させ、開発期間と工数を共に 1/2 以下とすることを目標として、R-CUBE と呼ぶプロジェクトを 2005 年度から推進している。

R-CUBE は、HW と SW 双方で利用可能な C 言語ベースの記述言語を共通言語として、C 言語レベルの高位設計・検証の環境構築と製品開発への適用、IP (Intellectual Property) を再利用した設計コンテンツのプラットフォーム化による効率向上、SW 開発効率の向上、及び顧客向けドキュメント提供効率の向上など大規模 SoC の開発効率向上にかかわる広範な領域をカバーしている<sup>(1)</sup>。

今回、H.264 対応のデコーダ LSI TC90490XBG に R-CUBE の設計フローを全面的に適用することで開発効率を飛躍的に向上できた。

ここでは、R-CUBE の基本コンセプトと設計フロー、及び TC90490XBG 開発への適用による導入効果を中心に述べる。

(注1) ITU-T (国際電気通信連合-電気通信標準化部門) と ISO (国際標準化機構) が 2003 年に共同で勧告した動画像圧縮符号化の国際標準規格。

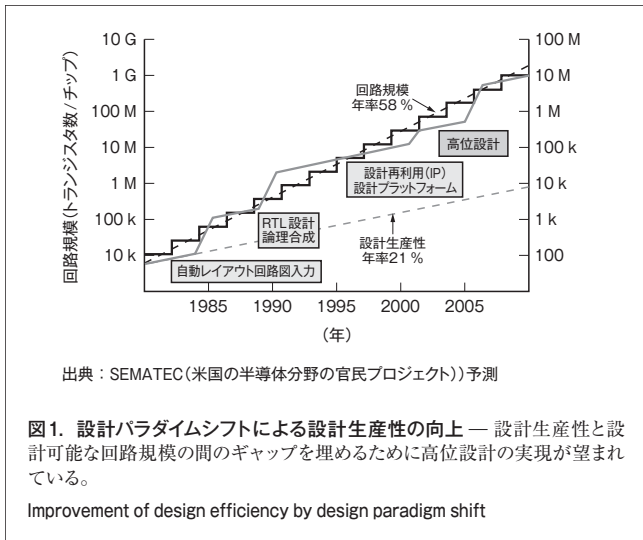
## 2 R-CUBE の基本コンセプト

一般に設計生産性 (集積可能な回路規模) の向上は、CAD ツールの改善やその実行環境としての計算機の能力向上により年率 21% 程度と言われており、一方、設計対象となる SoC の回路規模や複雑度は、半導体の微細加工技術の進歩により年率 58% で増加している。したがって、設計生産性と設計可能な回路規模の間に、大きなギャップが生じている (図 1)。

このギャップを埋めるために、設計手法を大きく改革することが必要であり、これまで、設計下流工程のレイアウト自動化や RTL (Register Transfer Level)<sup>(注2)</sup> 設計の実現などにより、このギャップを埋めてきた。しかし、近年の SoC 開発では再度ギャップの拡大が顕著となってきており、SoC 開発の期間やコストの増大、及び検証不足による作り直しの発生などの課題に直面している。

また、HW 開発の効率化を中心にこれまで改革を行ってきたが、90 nm 世代以降の SoC 開発では、SW 開発期間の増加

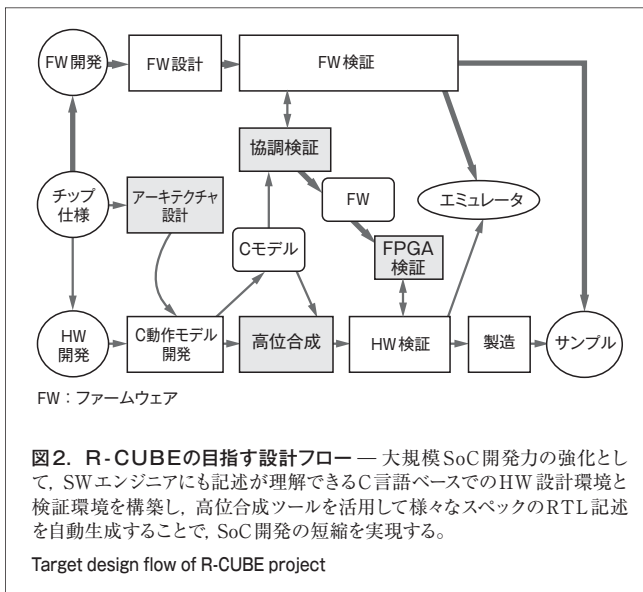
(注2) 論理回路のレジスタ転送レベルを意味する表記で、論理記号やフリップフロップなど専用 HW の記述言語で書かれた論理回路の略語としても使用する。



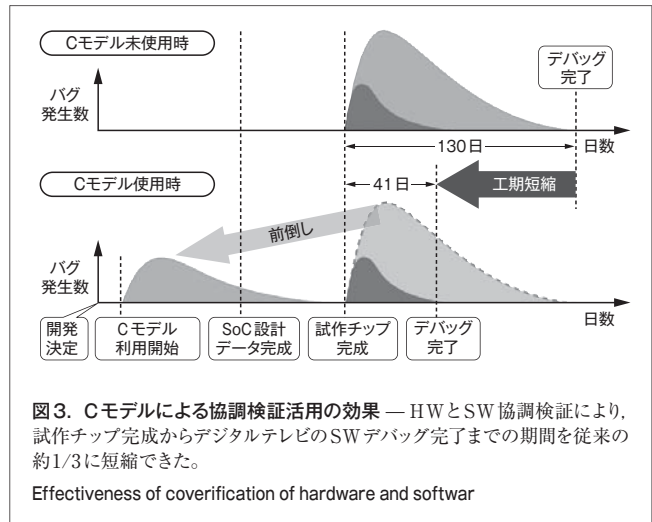
が顕著になっており、HWとSW両面での改革が必要であった。このような背景のなかで、HWとSWの開発期間と工数の削減 (Reduce)、設計資産の再利用 (Reuse)、及び設計の改革 (Revolution) の三つのRを基本コンセプトに、大規模SoCの開発力を強化している。

### 3 R-CUBEの設計フロー

R-CUBEで中心となる技術は、抽象度の高いC言語ベースのモデルを開発の出発点とする高位設計技術である (図2)。C言語ベースで記述されたHWモデル (以下、Cモデルと略記) は高い抽象度で書かれており、チップの仕様となるコーデックなどのリファレンスコードを流用することも可能である。Cモデルを使った検証はRTLシミュレーションと比較して約1,000倍高速に動作するため、プロセッサを含むCモデルでも



HWとSWの協調検証を行うことができる。試作チップの完成前にHWとSWの整合性を確認することで、従来は試作チップ完成後でなければ発見できなかった不具合が早期に発見できるようになった (図3)。



また、高位合成ツールにCモデルと設計制約を入力することで、パイプラインの有無など様々なスペックのRTLを自動生成でき、HW設計の工数も削減できる。

HWとSWの協調検証で確認されたSWは、高位合成後のRTLのHW検証にも活用できる。しかし、RTLシミュレーションでは低速であるため、RTLをFPGA (Field Programmable Gate Array) 上に実装し、SWが実行されるホストパソコン (PC) とFPGA間をトランザクタで接続することで、高速な検証環境を構築した。この高速なFPGA検証環境を使用することで、多数のストリームデータを短時間にシミュレーションでき、RTL検証にかかる時間を短縮できる。

### 4 H.264デコーダLSI TC90490XBGへの適用

#### 4.1 TC90490XBGの概要

TC90490XBGは、主にIPTV (Internet Protocol Television) への応用を目的として開発された、H.264デコーダLSIである。

H.264は、MPEG-2 (Moving Picture Experts Group-phase2) の約2倍という高い圧縮効率を特長とする。この高い圧縮率から、今後増加が見込まれているHD (High Definition) 映像のIP (Internet Protocol) 配信システムへの採用が期待され、またデジタル放送では、日本のワンセグ放送などに既に採用が広まっている。更に、数年後に普及が予想されるホームネットワークの時代には、高速インターネット網で配信されたHD画像を、家庭内のLANを通じて大容量記憶媒体に録画し再生することが想像されるが、録画時の圧縮、再生時

の伸張にもH.264の技術が利用される。

TC90490XBGは、このような背景から、主にIPTVへの応用を目的として開発されたLSIである。プロセッサには当社で開発したコンフィギュラブル プロセッサMeP (Media Embedded Processor)<sup>2)</sup>を採用している。TC90490XBGは、H.264のほかに、米国映画テレビジョン技術者協会 (SMPTE)で規格化されたVC-1という画像圧縮規格のデコード機能も備えている。高い処理能力を持ち、フルHD (画素数:1,920×1,080、フレームレート:30フレーム/s) のデコードが可能である。TC90490XBGの仕様を表1に示す。

項目	仕様
ビデオデコード	H.264 High Profile @Level4.1 VC-1 Advanced Profile @Level3
ビデオポストプロセス	4:2:0 → 4:2:2変換
ストリーム入力	MPEG TS パケットストリーム (PCI経由又はTSシリアル/パラレルインタフェース経由)
ビデオ出力	SMPTE 274 M/296 M (HD デジタルビデオ出力)
外部インタフェース	PCI (32ビット 33 MHz)
内部クロック	MeP:200 MHz, ペリフェラル:100 MHz, DDR インタフェース:200 MHz
DRAM	DDR1 400 MHz (256 Mバイト/16ビット×2個)
電源電圧	1.3, 2.6, 3.3 V
パッケージ	PFBGA 265 (15×15×0.8 mm)

TS : Transport Stream    PCI : Peripheral Component Interconnect  
DDR : Double Data Rate    PFBGA : Plastic Fine Pitch Ball Grid Array

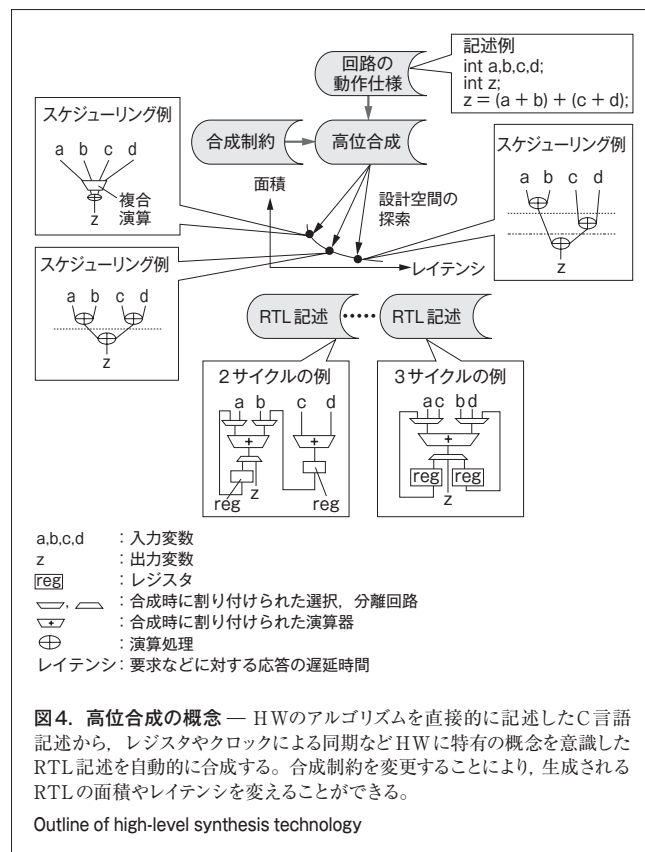
## 4.2 TC90490XBG開発へのR-CUBE設計フローの適用

2005年以降、R-CUBEの設計フローの部分的適用が行われてきたが、全フローを適用したのはTC90490XBGの開発が最初である。今回は、その中でも、高位合成とFPGA協調検証の適用について述べる。

**4.2.1 高位合成の適用** 高位合成とは、抽象度の高いHWの動作モデルから、演算器のスケジューリングや共有化を行い、RTL記述を生成するEDA (Electronic Design Automation) 技術である (図4)。

モデルを記述する言語はツールにより異なるが、現在SystemCが主流になりつつあり、R-CUBEでもSystemCを入力できる市販の高位合成ツールを採用している。

TC90490XBGの開発では、H.264及びVC-1デコードのフィルタ処理を実装したHWブロックに対して、高位合成を適用した。特に今回、階層合成という新たな高位合成手法を確立した。階層合成は、フラットに記述された一つのHWブロックを一括して高位合成ツールにかけるのではなく、HWの機能をブロックより細かい機能単位のモジュールに分割して階層化し、階層ごとに高位合成を行うという手法である。回路規模が大きくなると、高位合成ツールを用いて質のよい回路を合成する



ことが難しくなるが、階層合成手法を取り入れることによりこの問題点を解決できることを実証した。階層合成のポイントは、分割の仕方にある。同じメモリに同時期にアクセスする機能ブロックは一つの分割にまとめるなど、質のよい回路を得るためにいくつかの分割のノウハウがある。

合成結果を表2に示す。ゲート数は実際に論理合成を行って得られた数である。H.264デコーダのデブロッキングフィルタとVC-1デコーダの逆量子化ブロックでは、階層なしで制約を満たす回路が得られなかった。H.264デコーダの逆量子化ブロックでは、階層合成手法を用いることでゲート数を36%削減できた。

なお、高位合成用に作成したCモデルは、質のよい回路を生成するためにタイミングやビット幅の精度が高くなっている

表2. TC90490XBGのHWブロックの高位合成結果  
Results of TC90490XBG hardware design using high-level synthesis

ブロック名	ゲート数 (単位:1,000ゲート)		比 (a/b)
	階層合成 (a)	階層なし (b)	
H.264デコーダの逆量子化ブロック	57.9	90	0.64
H.264デコーダのデブロッキングフィルタ	82	—**	—
VC-1デコーダの逆量子化ブロック	84.3	89.0*	0.95

\* タイミング制約未達

\*\* 合成不能



が、その反面、シミュレーション速度が遅く、ファームウェア (FW)<sup>(注3)</sup>の開発には向かないという弱点がある。そこで、高位合成が可能で、より高速なモデルを作成する手法を検討し、複数スレッドの統合やデータ型の工夫などを行うことで、約20倍の速度向上に成功した<sup>(3)</sup>。

階層合成手法を用いた高位合成は、TC90490XBGとは別のデジタルテレビ系のLSIへも展開している。

**4.2.2 FPGA協調検証環境の適用** FPGA協調検証環境は、計算機上で動作するSWシミュレータと、FPGA上に構成されたRTL回路を協調動作させ、FPGA上のRTLやSWの検証を行うためのシステムである。当社は、SWシミュレータにMePシミュレータを、FPGAボードにエミュレータを用いてFPGA協調検証環境を開発した。シミュレータを実行させる計算機とFPGAの間の同期通信を間引くことで、最高1MHzの高速なシミュレーションを実現させた。

データ処理の多いコーデック<sup>(注4)</sup>LSIでは、多数のMPEGのストリームデータを用いたRTLシミュレーションは、非常に時間がかかり現実的ではない。しかし、Cモデルのシミュレータは、タイミング精度がどうしても実際のRTLとは一致しないため、タイミングに起因する不具合などは検出できない。このような場合、高速でかつ部分的に精度のよいシミュレーションが可能で、FPGA協調検証の環境が有効となる。

TC90490XBGの開発では、HWの検証にFPGA検証環境を用いた。RTLシミュレーションでは6時間かかる検証が、同じデータでFPGA協調検証環境では2分で終了した。約200倍の速度向上である。このため、HWのバグを非常に短期間で検出することができ、検証期間を大幅に短縮できた。

### 4.3 R-CUBE設計フローの適用結果

前述したように、TC90490XBGはR-CUBEの設計フローをひととおり適用して開発した最初のLSIである。R-CUBEのフローに沿って設計することで、Cモデルを用いて検証したSWを、後のHW検証工程の検査プログラムに流用できた。これにより、検査プログラム作成の手間が省け、更に、品質のよい検査プログラムを早い段階から使用できるようになった。

これによる効果は、実機の準備ができてからFWが動作するまでの時間に現れた。TC90490XBGの開発では、実機を入手してから、FWを移植し、ストリームを流して画像と音声が入力されるようになるまで、三日しかかからなかった。通常はAV同期などのタイミングの調整が難しく、実機上でFWを正しく動作させるには時間を要するものである。この

(注3) HWの基本的な制御を行うために機器に組み込まれたSWを意味する。

(注4) 符号化方式を使って、データのエンコード(符号化)とデコード(復号化)を双方向にできるHWやSWのこと。また、そのためのアルゴリズムを指す場合もある。コーデックには、データ圧縮機能を使ってデータの圧縮と伸張を処理するアルゴリズムや、音声や動画などのデータを別の形式に変換するアルゴリズムが含まれる。

結果は、新規にFWを開発したLSIとしては極めて短く、R-CUBEの設計フローの有効性が目に見える効果として現れたと言える。

Cモデルを用いた協調検証、高位合成、及びFPGA協調検証環境は、一つ一つが開発期間を短縮できる技術であるが、それらを設計フローに沿って適用することで、開発工数削減の効果が相乗的に増加する。TC90490XBGの開発ではこの効果を実証できた。

## 5 あとがき

2005年から推進しているR-CUBEの概要と、TC90490XBGの開発で適用した効果を述べた。

TC90490XBGの開発ではR-CUBEの全設計フローを適用することにより、開発効率を飛躍的に向上させることができた。開発効率向上には、個々の設計とEDAの技術に加え、設計データの再利用などを考慮したトータルな設計フローがより重要である。

現在、手書きのRTL設計に近い高品質の回路を合成するためには、検証用のCモデルとは別に高位合成用のCモデルを作成しなければならない。更に開発効率を上げるために、検証と合成の両面で性能を劣化させないCモデルの構築手法を確立していく。

## 文献

- (1) 西尾誠一, ほか. 大規模SoCの高位設計への取組み R-CUBE. 東芝レビュー. 62, 9, 2007, p.21-24.
- (2) 松井正貴. システムオンチップの普及とMeP. 東芝レビュー. 58, 5, 2003, p.2-8.
- (3) Nishi, H., et al. "A Hierarchical Design Methodology for Behavioral Synthesis and Fast Simulation". Proc. of ISOC. Seoul, 2007-10, IEEE ; IEEE, p.89-92.



水野 淳 MIZUNO Atsushi

セミコンダクター社 半導体研究開発センター ソフトウェアプラットフォーム技術開発部主査。SoC設計開発環境の研究・開発に従事。電子情報通信学会会員。  
Center for Semiconductor Research & Development



鈴木 晃治郎 SUZUKI Kojiro

セミコンダクター社 半導体研究開発センター デジタルメディアSoC技術開発部主査。デジタルメディアSoCの研究・開発に従事。  
Center for Semiconductor Research & Development



堀川 和成 HORIKAWA Kazunari

セミコンダクター社 システムLSI事業部 システムLSI設計技術部参事。システムLSI設計メソッドロジ技術の開発に従事。  
System LSI Div.