

# モバイル用途向けマルチメディア SoC

Multimedia SoC for Mobile Applications

高橋 真史

野村 周央

■ TAKAHASHI Masafumi

■ NOMURA Shuo

携帯電話を中心とする携帯情報機器では機能と性能が著しく進化しており、これらをマルチメディア SoC (System on a Chip) が支えている。

東芝はマルチメディア SoC “Tシリーズ” の開発を進めており、今回開発した TC35295AXBG は、当社独自のプロセッサ技術をベースとした 3D (3次元) グラフィックス処理、ビデオ録画と再生、オーディオ再生、及び静止画処理機能を搭載している。

また、次世代のマルチメディア SoC 用として、様々な処理要求に対応し、要求性能と機能に応じてプロセッサ数を変更できるマルチプロセッサ技術を開発した。この技術はオーディオのデコード (復号) 処理を 9.7 mW という低消費電力で実行するとともに、HD (High Definition) 対応のオーディオ・ビデオ機能と更に高性能なグラフィックス機能の搭載を目指している。

In order to realize handheld devices such as cellular phones with high performance and functionality, Toshiba has been developing the T-series mobile multimedia system on chips (SoCs).

The TC35295AXBG (development code: T5GP) SoC, based on our proprietary reduced instruction set computer (RISC) processor technology, can handle the functions of 3D graphics processing, audiovisual recording/playback, and still picture processing. Moreover, we have developed a next-generation multimedia core with a scalable microprocessor to satisfy various processing demands and respond to a wide variety of performance and functionality requirements in future mobile applications. This multimedia core realizes a low power consumption of 9.7 mW in audio decoding, and offers video recording/playback functions of high-definition (HD) quality.

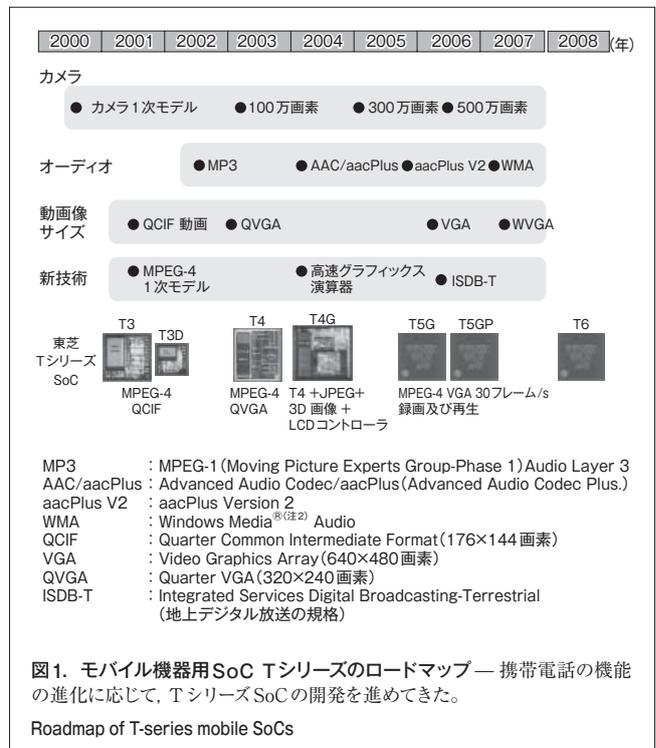
## 1 まえがき

近年の携帯情報機器、特に携帯電話の進化は目覚ましいものがある。液晶ディスプレイ (LCD) は、初期のころのテキスト数行が表示できるものから、既に WVGA (Wide Video Graphics Array: 800×480 画素) サイズを超えて、静止画及び動画やグラフィックスを美しく再生できるものになっている。また、デジタルテレビのワンセグ<sup>(注1)</sup> 受信をはじめ、カメラ、オーディオ再生、ビデオ録画と再生、3D ゲーム、及び大画面液晶など、機能と性能が著しい進化を遂げており、これらを支えているものの一つがモバイル用途向けマルチメディア SoC である。半導体の高集積化、高性能化や高速化、及び低消費電力化によって、これらの機能や性能を著しく強化・向上させながら、一方で薄い筐体 (きょうたい) や動作時間の向上を実現している。

携帯電話の機能の進化と、東芝のモバイル機器用マルチメディア SoC の商品ロードマップを **図 1** に示す。

ここでは、当社で開発しているモバイル機器用マルチメディア SoC の技術として、現在量産中の主力製品 TC35295AXBG と、次世代マルチメディアコア技術について述べる。

(注1) 地上デジタル放送は、一つのチャンネルが 13 セグメントに分割されている。このセグメントのうち、一つを使って行われる携帯電話などの移動体無線機器向けの放送。



(注2) Windows Media は、米国 Microsoft Corporation の米国及びその他における商標又は登録商標。

## 2 TC35295AXBG

TC35295AXBGの構成を図2に示す。TC35295AXBGは、当社独自の32ビットRISC (Reduced Instruction Set Computer) プロセッサであるMeP (Media Embedded Processor)<sup>1)</sup>を中心としたオーディオ・ビデオ処理ブロック、同じくMePを中心とした3Dグラフィックス処理ブロック、CPU、LCDコントローラ、ワンセグ対応のTS (Transport Stream) インタフェースとTS分離ブロック、36 MビットのeDRAM (Embedded DRAM)、及びその他インタフェース群から構成される。

TC35295AXBGに搭載されている3Dグラフィックスエンジンのブロック図<sup>2)</sup>を図3に示す。頂点計算を行うMePプロ

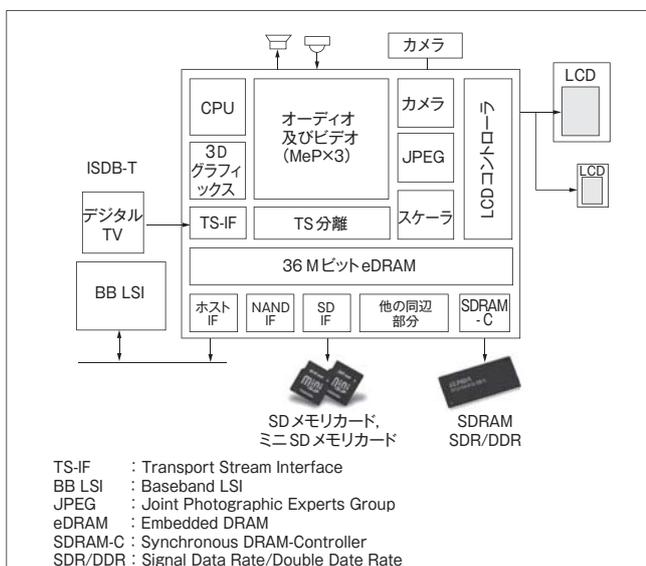


図2. TC35295AXBGのブロック図 — 東芝独自のプロセッサ MeP を中心とした3Dグラフィックスエンジンと、オーディオ及びビデオエンジンを搭載している。

Block diagram of TC35295AXBG

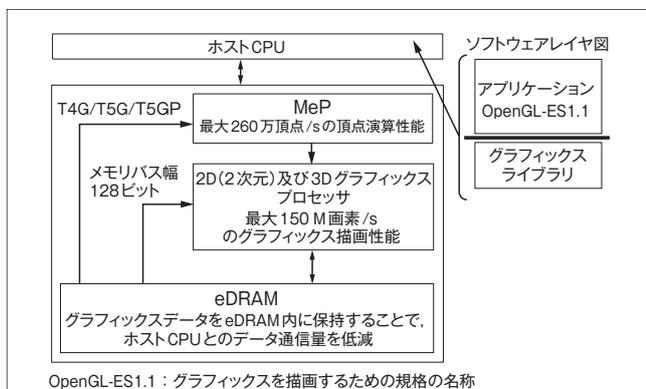


図3. 3Dグラフィックスエンジンのブロック図 — MePプロセッサと独自の3Dグラフィックスエンジンから構成されている。

Block diagram of 3D graphics engine

セッサと、ピクセル処理を行うグラフィックスプロセッサとから構成され、これらのプロセッサが内蔵DRAMにアクセスする構成をとる。これにより、2.6 M頂点/sのポリゴン性能と、150 M画素/sのピクセル性能を実現する。

TC35295AXBGのビデオエンジンのブロック図<sup>3)</sup>を図4に示す。MePプロセッサとハードウェアエンジンとから構成される。ハードウェアエンジンは、MPEG-4 (Moving Picture Experts Group-Phase 4) とITU-T H.264<sup>(注3)</sup>に対応したものが搭載され、MPEG-4 VGA (Video Graphics Array : 640×480画素) 30フレーム/sの録画・再生機能、及びH.264 CIF (Common

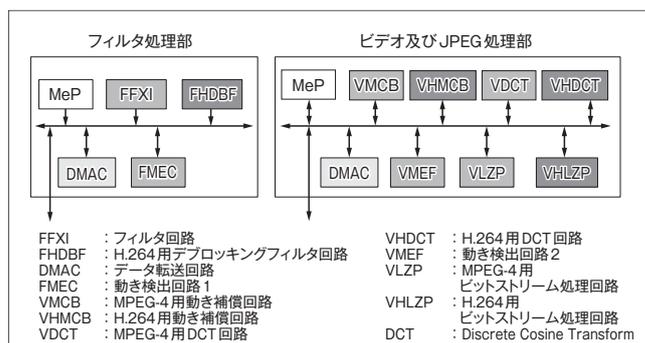


図4. ビデオエンジンのブロック図 — MePプロセッサとハードウェアエンジンとから構成される。

Block diagram of video engine

表1. TC35295AXBGの仕様

Specifications of TC35295AXBG

項目	仕様
プロセス	90 nm CMOS
機能	H.264ビデオデコード MPEG-4ビデオデコード及びデコード オーディオエンコード及びデコード 画像及び音声の多重分離 デジタルビデオ入出力インタフェース 2D及び3Dグラフィックス JPEGコーデック LCDコントローラ
電源電圧	IO : 1.8 ~ 3 V ロジック : 1.2 / 2.5 V
ビデオフレームレート	MPEG-4 VGA 画像 30フレーム/s エンコード/デコード H.264 QVGA15 フレーム/s デコード
画像入力フォーマット	YUV デジタル (8ビット) ITU-R BT.656 (8ビット)
画像出力フォーマット	RGB (24/18/16ビット) ITU-R BT.656 (8ビット), YUV デジタル (8ビット)
パッケージサイズ	12×12×1.2 mm

CMOS : Complementary Metal Oxide Semiconductor  
 IO : Input Output (入出力)  
 YUV : 輝度信号 (Y)、輝度信号と青色成分の差 (U)、輝度信号と赤色成分の差 (V) の三つの情報で色を表す形式。  
 ITU-R BT.656 : ITU-Rにより勧告された、TV放送向けコンポーネント信号のインタフェースに関する規格。  
 RGB : 赤、緑、青

(注3) ITU-T (国際電気通信連合—電気通信標準化部門) と ISO (国際標準化機構) が2003年に共同で勧告した動画画像圧縮符号化の国際標準規格。

Intermediate Format: 352×288 画素) 30 フレーム /s の再生に対応する。

TC35295AXBG の仕様を表 1 に示す。

### 3 次世代マルチメディアコア技術

携帯電話の通信技術の進歩により、携帯電話からインターネットに接続して、大容量のコンテンツをネットワーク経由でやり取りできるようになってきた。これにより、対応すべきマルチメディアコンテンツのフォーマットが格段に増加しており、2章で述べたようなハードウェアエンジンでの対応では限界が見えてきた。また、要求される処理性能も急激に増加するため、従来の設計資産の再利用という観点から、コアのスケラビリティ(拡張性)の実現も不可欠になってきた。そこで、ソフトウェアベースでマルチメディア処理を高速に実行するスケラブル(機能、性能に応じて拡張可能)な次世代コアを開発した。

次世代マルチメディアコアを搭載した実験チップのブロック図を図 5 に示す<sup>(4)</sup>。8 個の MPE (Media Processing Engine) が 512 K バイトの 2 次キャッシュを共有している。MPE の数

は、要求される性能と機能に応じて 1～8 個の範囲で増減できる。MPE はそれぞれ、32 ビット MeP と 64 ビット 2-way の SIMD (Single Instruction Multiple Data) コプロセッサ (補助プロセッサ) により構成される。コプロセッサは、画像認識用に開発したコプロセッサ<sup>(2)</sup>に、オーディオ用の命令セットを追加したものである。MPE と 2 次キャッシュ間の帯域幅のボトルネックを解消するために、2 次キャッシュにパイプライン化された制御ロジック、及び 512 ビットの内部バッファを持たせた。また、2 次キャッシュ内に、8 エントリーのキュー<sup>(注 4)</sup>を持たせることにより、仮に 7 個の MPE でキャッシュミスが生じて、残り 1 個の MPE は、停止することなく動作し続ける。キャッシュコヒーレンシ<sup>(注 5)</sup>をソフトウェアで実現し、スヌーピング(データの一致性の確認)による消費電力を削減している。128 ビットバス インタフェースはメインバスに接続される。

また、低消費電力化のため、次の三つの回路技術を搭載している。

- (1) 電源遮断スイッチとしても動作する、オンチップレギュレータ
- (2) プロセスに起因するリーク電流のばらつきを最小化できる FBB (Forward Body Biasing)<sup>(注 6)</sup>
- (3) しきい値電圧の低いトランジスタセル (low-Vtセル) 数

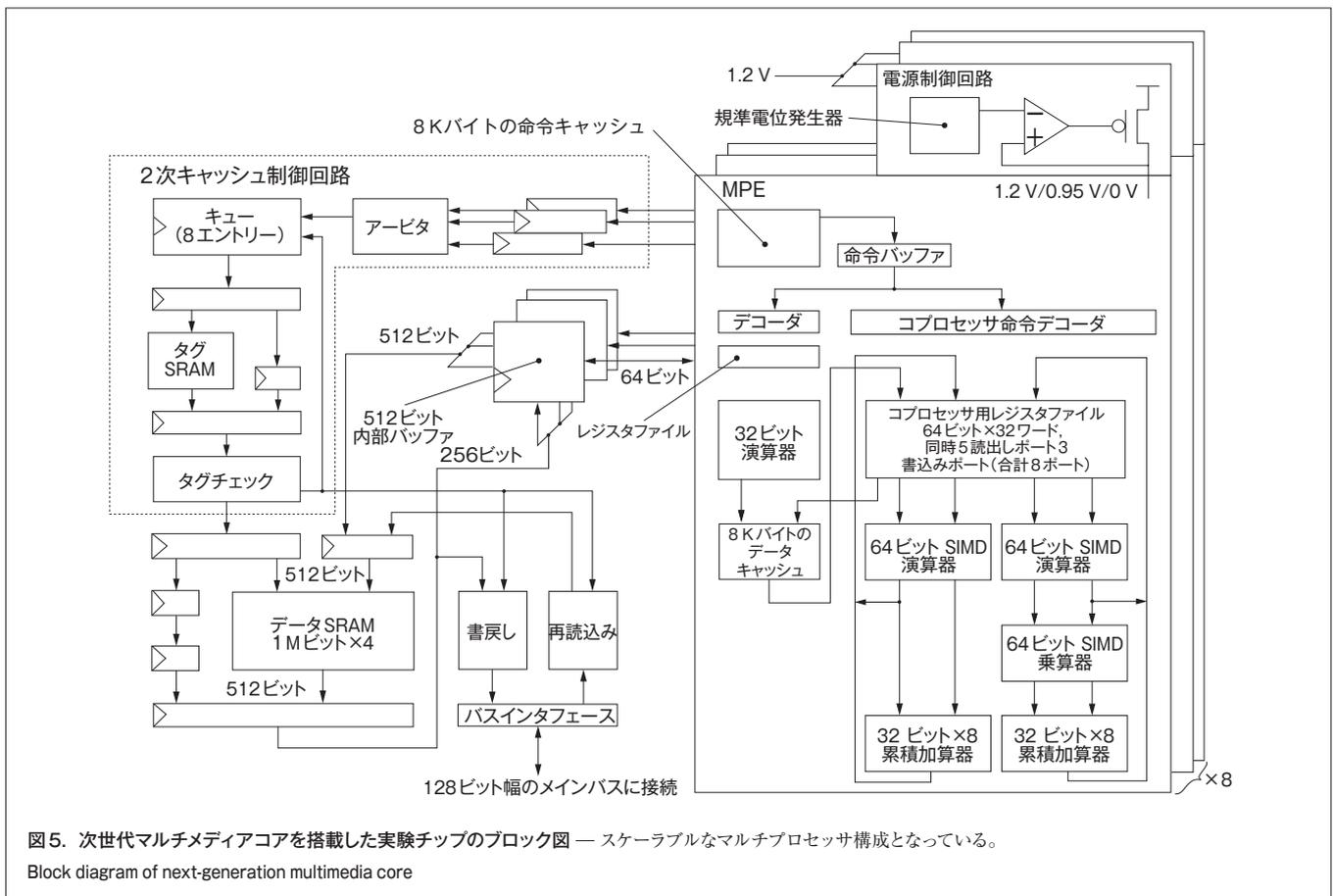
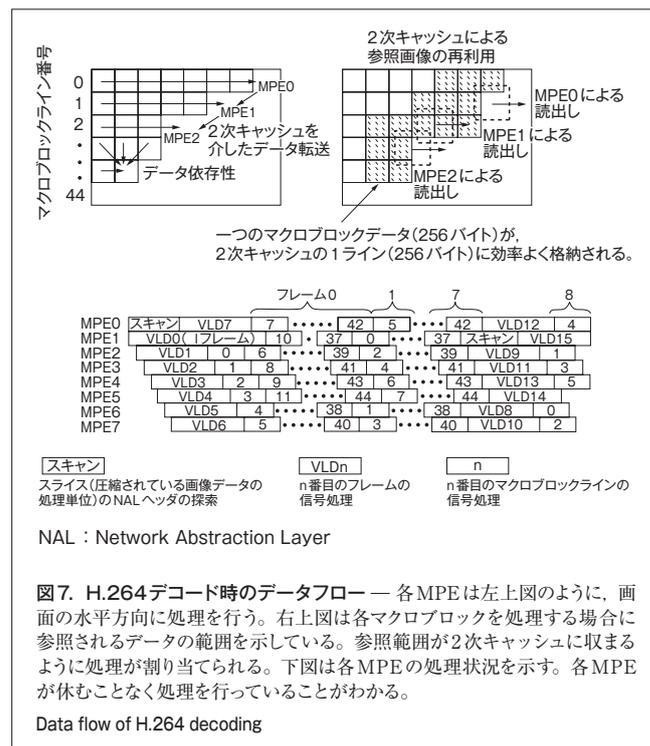
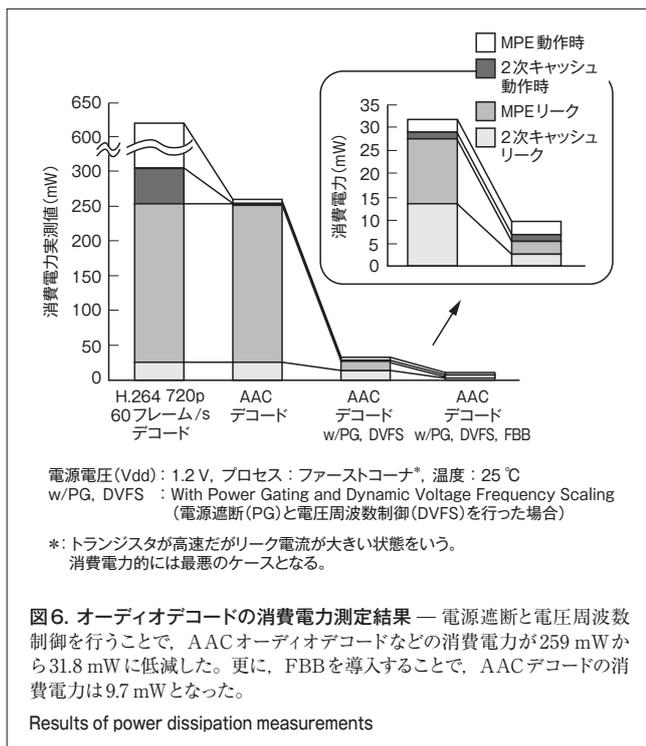


図 5. 次世代マルチメディアコアを搭載した実験チップのブロック図 — スケラブルなマルチプロセッサ構成となっている。

Block diagram of next-generation multimedia core

(注 4) 先に入力したデータが先に出力されるという特徴を持ったデータ構造。  
(注 5) マルチプロセッサ構成のシステムで、キャッシュの一貫性を保つための仕組み。

(注 6) トランジスタのバックゲートの電位を制御することで、トランジスタのしきい値電圧 Vt (スイッチング電圧) を変化させ、トランジスタのスイッチング速度やリーク電流を制御する技術。



を削減することにつながる、新しいデータ マッピング フリップフロップ

H.264 720p (1,280 × 720 画素) のビデオを60 フレーム /s でデコードした場合、AAC (Advanced Audio Codec) をデコードしたときの消費電力の内訳を測定した結果を図6に示す。

AACデコード時の消費電力は、電源遮断なしで253 mWであるが、電源遮断の適用で98%削減され9.7 mWになった。AACデコード時に用いるMPEは1個でよいから、動作しない7個のMPEに対しては、電源遮断を行った。また、AACデコードを行うために必要な動作周波数は30 MHzで十分であるため、AACデコードを実行するMPEについても供給する電圧を下げられる。低周波数動作時に供給する電圧を、オンチップレギュレータを用いて0.95 V ± 50 mVに低減して、AACデコード時のリーク量を50%削減できた。

H.264の並列デコード処理方法を図7に示す。並列化の方法として、フレーム単位でVLD (Variable Length Decoder) 処理をした後、逆量子化、直交変換、及びデブロッキングフィルタ<sup>(注7)</sup>などの演算をマクロブロックライン単位<sup>(注8)</sup>で並列化する方法を採用した。MPEG-2とは異なりH.264のデコード時には、

上部のマクロブロックの演算結果を用いる必要があるので、上部のマクロブロックラインの処理状況をモニタしておき、処理が終了次第デコード結果を取得する必要がある。特にH.264の特徴の一つであるデブロッキングフィルタ処理に必要なデータ量は非常に大きい。そこで、ほかのMPEが処理したデータを短時間に取得できるようにするため、大容量の共有2次キャッシュを用いた。H.264の動き補償予測で必要になる参照画像サイズは、MPEG-2と比較すると大きいため、2次キャッシュを用いることによって、参照画像が置かれているメインメモリへのアクセス回数を削減する効果もある。マクロブロックラインレベルの並列化と2次キャッシュを組み合わせることで、図7の右上図に示すように、MPEは自分が参照した画像だけでなく、ほかのMPEによって参照された画像も再利用できる。輝度情報のマクロブロック1個、若しくは色差情報のマクロブロック2個がキャッシュ1ラインに格納されるよう、2次キャッシュの1ラインのサイズは256バイトに設定されている。

性能のスケーラビリティを図8に示す。H.264 720pで60フレーム/sのストリームをデコードするのに必要となるMPEの個数は8個で、このときのバスの転送量は310 Mバイト/sである。これは、1フレームのデコード時に3.7フレーム分だけ転送すればよいことを意味する。この評価では、メインバスアクセス時のレイテンシ<sup>(注9)</sup>が80サイクルで、バスが同時多重トランザクション<sup>(注10)</sup>には対応していないため、MPEが5個

(注7) デジタル動画像圧縮では、その特性上、格子状のノイズが現れてしまう。これをブロックノイズという。このブロックノイズを除去するためのフィルタがブロッキングフィルタである。H.264では、規格の中に、デブロッキングフィルタ処理が規定されている。

(注8) デジタル動画像圧縮では、画面を16 × 16画素ごとに区切って処理を行い、この16 × 16画素の区画をマイクロブロックと呼ぶ。この回路では、マイクロブロックごとの処理を行うために、画面を16ラインごとに区切ってメモリから読み込んでいる。これをマイクロブロック単位と表している。

(注9) コマンド (命令) を発行してから、実際に最初のデータが到達するまでの時間。

(注10) 関連する複数の処理を一つの処理としてまとめて扱う単位。

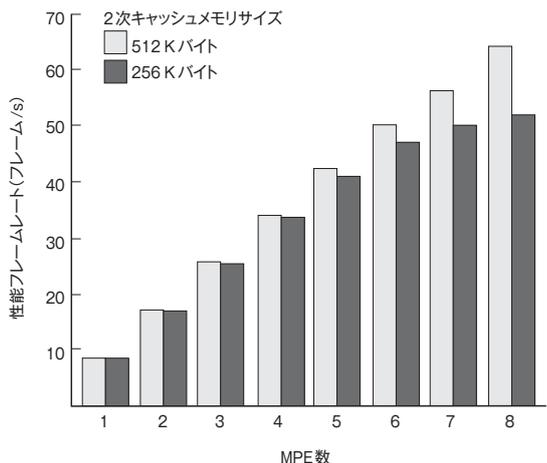


図8. H.264デコード時の並列度 — 2次キャッシュの容量が512 Kバイトの場合には、MPE数の増加にほぼ比例した性能向上が得られる。2次キャッシュの容量が256 Kバイトの場合は、バスのデータ転送能力がボトルネックとなり、512 Kバイトの場合と比較して性能が劣化している。

Parallelization of H.264 decoding

表2. 次世代マルチメディアコアを搭載した実験チップの仕様  
Specifications of next-generation multimedia core LSI chip

項目	仕様			
技術	65 nm CMOS, トリプルウェル, 8層の配線層			
チップサイズ	5.06×5.06 mm			
ゲート数	ロジック	3.6 Mゲート		
	SRAM	5.6 Mビット		
電源電圧	2.5 V (IO), 1.2 V (ロジック) 1.2/0.95/0 V (電源制御回路出力)			
クロック周波数	333 MHz (MPE, 2次キャッシュロジック), 166 MHz (2次キャッシュSRAM, バスインタフェース)			
性能	H.264 720p ベースライン	60フレーム/sデコード (8 Mビット/s)	333 MHz MPE×8	620 mW
		30フレーム/sエンコード (4 Mビット/s)	333 MHz MPE×8	597 mW
		30フレーム/sデコード (4 Mビット/s)	166 MHz MPE×8	209 mW
	MPEG-4 AAC 48 kHz	エンコード (符号化) (320 kビット/s)	70 MHz MPE×1	15.5 mW
デコード (符号化) (128 kビット/s)		30 MHz MPE×1	9.7 mW	
1次キャッシュ	8 Kバイト (命令)/8 Kバイト (データ), 2ウェイ, FIFO, 64バイトライン			
2次キャッシュ	512 Kバイト/256 Kバイト (統合された), 4ウェイ, LRU, 256バイトライン			
回路技術	電源電圧制御回路, 順方向基板バイアス発生回路, イネーブル付きデータマッピングフリップフロップ			

MPE×8 : 八つのMPEが同時に動作すること。  
FIFO : First In First Out  
LRU : Least Recently Used

以上の場合、スケーラビリティを得るためには2次キャッシュのサイズとして512 Kバイト必要である。

実験チップの仕様を表2に示す。H.264 720pで60フレーム/sのストリームをデコードするときの消費電力は393 mW (プロセスセンタ・ファーストコーナでは620 mW)であり、プロセッサをベースとした実装では最小値である。

## 4 あとがき

当社で開発しているモバイル用途向けマルチメディアSoCの技術について述べた。

バッテリーで駆動される携帯機器向けのSoCでは低消費電力化は必須であるが、同時に高機能・高性能化も要求されており、ここで述べたような技術によってマルチメディアSoCを実現してきた。今後、HDコンテンツへの対応や、高品質グラフィックスを実現するためのLSI開発を進める。

## 文献

- (1) Takemoto, T., et al. "T4G: media processor including 3D graphics for mobile set based on configurable processor". Proc. 2004 IEEE AP-ASIC. Fukuoka, 2004-08, IEEE. 2004, p.156 - 159.
- (2) Fujiyoshi, T., et al. "An H.264/MPEG-4 Audio/Visual CODEC LSI with Module-Wise Dynamic Voltage/Frequency Scaling". ISSCC Dig. Tech. Papers. San Francisco, USA, 2005-02, IEEE. 2005, p.132 - 133.
- (3) Nomura, S., et al. "A 9.7mW AAC-Decoding, 620mW H.264 720p 60fps Decoding, 8-Core Media Processor with Embedded Forward-Body-Biasing and Power-Gating Circuit in 65nm CMOS Technology". ISSCC Dig. Tech. Papers. San Francisco, USA, 2008-02, IEEE. 2008, p.12 - 13.
- (4) Tanabe, J., et al. "Visconti: Multi-VLIW Image Recognition Processor based on Configurable Processor". IEEE Custom-Integrated Circuits Conference. San Jose, USA, 2003-09, IEEE. 2003, p.185 - 188.



高橋 真史 TAKAHASHI Masafumi

セミコンダクター社 システムLSI事業部 マルチメディアSoC設計技術部グループ長。モバイル機器用SoC開発に従事。IEEE会員。  
System LSI Div.



野村 周央 NOMURA Shuo

セミコンダクター社 半導体研究開発センター デジタルメディアSoC技術開発部。マルチメディアSoCの研究・開発に従事。  
Center for Semiconductor Research & Development