

世界最高の空間分解能 1 nm を実現する不純物解析技術

新たなナノ計測の力で LSI開発を加速する

近年、LSIデバイスの微細化はナノスケールの領域に突入し、高精度、高空間分解能、及び高次元の分析技術への要求が高まっています。その中でもっとも重要なテーマの一つは、不純物電荷キャリア(以下、キャリアと呼ぶ)の濃度分布を2次元的に計測する技術の開発であり、走査型広がり抵抗顕微鏡(SSRM)による計測が注目されています。東芝は、SSRMによる測定において、導電性プローブと試料間の接触抵抗の削減や測定回路全般の最適化により、1 nmの高空間分解能を実現しました。今回の技術は、45 nm以降の世代のプロセス開発へ既に利用されています。

LSIデバイスの微細化に伴う 計測技術への要求

LSIデバイスの微細化が急速に進むにつれ、プロセスはナノテクノロジーの領域に突入し、プロセス制御の難しさや構造の多様化から、高精度、高空間分解能、高次元の分析技術への要求が高まりつつあります。しかし、このようなナノデバイスの開発現場からのニーズに対し、計測技術の開発は遅れていました。とりわけ、LSIデバイスの性能を左右するキャリア濃度分布のナノスケール2次元計測技術の開発が急務となっています。

ナノスケールトランジスタの断面構造を図1に示します。

接合位置やキャリア分布のわずかなずれが、デバイス特性のばらつきをもたらすことから、接合位置やキャリア

分布を高精度で計測することが、高性能デバイスを開発するうえでたいへん重要となります。その代表的な計測技術として、走査型広がり抵抗顕微鏡(SSRM)による計測が挙げられます。

SSRMによる計測の原理

SSRMによる計測は、LSIデバイスの断面に導電性プローブを当てて内部抵抗を精査する手法で、キャリアの分布を2次元的に短時間で解析できます。

測定概念を図2に示します。

プローブと試料間に電圧を印加し、得られた2次元の電流分布像からキャリア濃度の2次元分布が得られます。高空間分解能でのキャリア濃度の評価にもっとも有力な手法と言われてきましたが、その空間分解能は約5 nmにとどまり、45 nm以降世代のLSIデバ

イスの解析には不十分でした。

そこで東芝は、導電性プローブと被測定試料間の電気的接触抵抗に注目し、プローブと試料間の良好な接触が高分解能像を得るための必須条件であることを突き止め、現有の装置に改良を施しました。具体的には、それまでの大気中での測定を改め、真空中でSSRM測定を行うことにより、プローブと試料間に介在する水蒸気や吸着物などの影響を抑えました。更に、プローブと試料間の接触圧力の最適化や、測定回路全体の寄生抵抗の削減など、計測にかかわるプロセス全般を最適化し、1 nmという世界最高^(注1)の空間分解能を持つSSRM観察技術を確認しました。

(注1) 2007年4月現在、当社調べ。

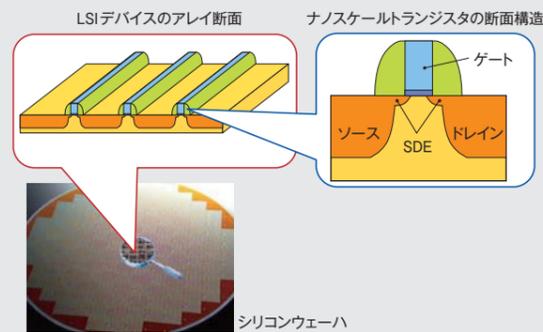


図1. ナノスケールトランジスタの断面構造(概念図) — SDE領域の接合深さや横の位置がデバイス特性を左右するため、高精度な計測や制御が必要です。

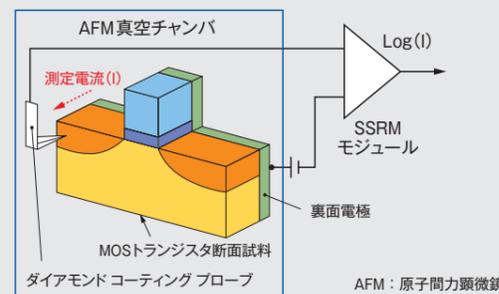
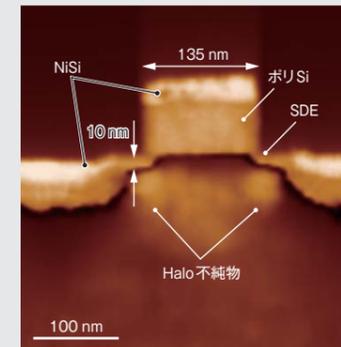
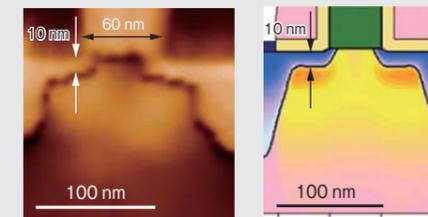


図2. SSRMによる測定概念 — ダイヤモンドをコーティングした導電性プローブでLSIデバイスの断面を精査します。得られる2次元の電流分布像がキャリア分布に対応します。

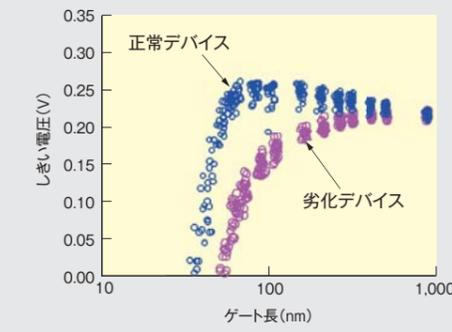


(a) トランジスタ(ゲート長: 135 nm)のSSRM像

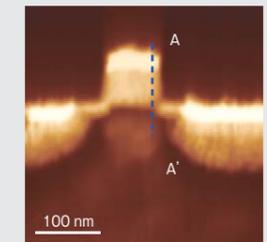


(b) トランジスタ(ゲート長: 60 nm)のSSRM像 (c) デバイスシミュレーション結果のSSRM像

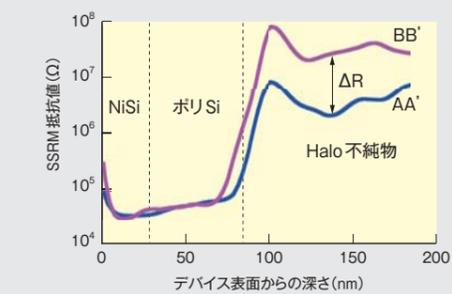
図3. 45 nm世代トランジスタのSSRM像及びシミュレーション結果 — 10 nmのSDE接合深さが高精度で再現性よく測定でき、1 nmの高空間分解能を確認しました。Halo領域の細かなキャリア分布の濃淡も観察できました。



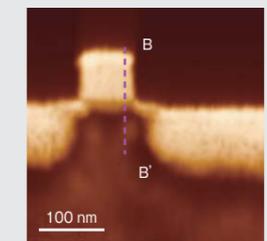
(a) 正常デバイスと劣化デバイスの特性比較



(b) 正常デバイスのSSRM像



(d) SSRM抵抗プロファイル



(c) 劣化デバイスのSSRM像

図4. SSRM技術をLSIデバイス特性の劣化解析に応用した例 — LSIデバイス特性の劣化とHalo不純物の高抵抗値の間に相関が観察されました。

45nm以降世代トランジスタ のSSRM解析

ゲート長が異なる、深さ10 nmの極浅pn接合を持つトランジスタのSSRM像と、デバイスシミュレーションの結果を図3に示します。

SSRM像(図3(a))からは導電性の高いニッケルシリサイド(NiSi)の金属相ゲート領域、ポリシリコン(Si)ゲート領域、ソース/ドレインエクステンション(SDE)領域、及びHalo不純物領域など、すべての領域を高感度で識別できました。従来はほとんど検出できなかったHalo不純物のキャリア分布を細かな濃淡で観察できることや、ゲート長に依存しないSDE接合深さ測定の再現性が得られたことから、高精度が確認されました。

また、デバイスシミュレーション

(図3(c))による検証から、プローブ接触面積の有効半径が0.5 nm以下であることが確認され、約1 nmの高い空間分解能が示されました。

先端LSIプロセス開発への適用

45nm以降の世代のLSIデバイスでは、漏れ電流の増加が特性劣化の要因となりますが、漏れ電流を抑制できるのはHalo不純物のキャリア分布の高精度な制御です。正常に動作するデバイスと漏れ電流の増加により劣化したデバイスの特性を図4(a)に示します。また、その正常特性と劣化特性を示すデバイスのSSRM像をそれぞれ図4(b)、(c)に、SSRMの抵抗プロファイルを図4(d)に示します。ここでは正常デバイスに対して劣化デバイスのHalo不純物の抵抗値は1けた高くなっており、このことから劣化デバイスのキャリア

濃度は1けた以上低くなっていることがわかります。当社は、このキャリア濃度の差異がLSIデバイス特性の劣化に影響していることを実証しました。

今後の展望

今後のLSI技術には、微細化と共に、新しい構造やシリコン以外の新材料の探索も要求されています。微細な領域で何が起きて、どのようなメカニズムが働いているのかなど、現象を直接観察できれば、プロセスや材料の本質に対する理解が進み、ブレークスルーが期待されます。更なる分析の力で、LSI技術の革新や飛躍に貢献していきます。

張 利

研究開発センター
LSI基盤技術ラボラトリー主任研究員