

ポストCMOSのための新ナノアーキテクチャ

New Nanoarchitectures for Post-CMOS Era

藤田 忍 安部 恵子 安田 心一

■ FUJITA Shinobu

■ ABE Keiko

■ YASUDA Shinichi

Si-MOSFET (シリコン-金属酸化膜半導体型電界効果トランジスタ) を土台としたCMOS (相補型金属酸化膜半導体) 回路が、10年以内に限界を迎える可能性が強まっている。それにもかかわらず、ポストCMOS時代を担える技術はまだ提案すらされていない。

東芝は、できるだけ実現可能性の高い方法で、ポストCMOSに必要な新しいナノアーキテクチャの構築を目指しており、ポストシリコンメモリとトランジスタを用いた回路、3次元回路、エラー耐性回路、及びネットワーク回路など、ナノアーキテクチャの土台となる要素技術を開発している。なかでも、高いバンド幅を持つ3次元メモリと、ポストシリコントランジスタ用エラー耐性回路の設計が、特に重要である。

The complementary metal-oxide semiconductor (CMOS) based on the silicon metal-oxide semiconductor field-effect transistor (Si-MOSFET) may reach its limit within 10 years. However, no new solution has been proposed yet for the post-CMOS era.

Toshiba has been working on building new nanoarchitectures for the post-CMOS era using the most realistic methods possible. For this purpose, we have developed new circuitry using post-silicon memory and transistors, three-dimensional (3D) circuitry, fault-tolerant circuitry, network circuitry, and so on. Among these, the design of high-bandwidth 3D memory and fault-tolerant circuitry is the most important.

1 まえがき

ナノエレクトロニクスの中心的な存在であるSi-MOSFET (シリコン-金属酸化膜半導体型電界効果トランジスタ) を土台としたCMOS (相補型金属酸化膜半導体) 回路が、微細化プロセスやデバイス物理、消費電力、及びコストなどの諸問題から、10年以内に限界を迎える可能性が強まっている。ナノテクノロジー分野において、ポストシリコンデバイスやポストCMOSの可能性について、量子効果デバイス、分子デバイス、スピンドデバイスなど、ナノエレクトロニクス素子の様々な研究が行われている。しかし、これらは素子単体では1T (テラ: 10^{12}) Hzに近い周波数でOn-Off動作するMOSFETに比べて、本質的に動作速度が遅く、数けた以上の開きがある。この欠点を補うために、回路設計やアーキテクチャのレベルでの検討が必要と言われているが、遅すぎる速度をカバーすることはとうてい不可能である。これらのナノエレクトロニクス素子は、現状ではポストCMOSというよりも、新しいエレクトロニクス分野の探索というべきものである。つまり、ほんとうの意味でポストCMOS時代を担える技術は、限界が近づいているにもかかわらず、まだ提案すらされていない。

東芝は、できるだけ実現可能性の高い方法で、新しいナノアーキテクチャを描きながら、ポストCMOS時代の素子や回路の技術を開発している。現状のCMOSを土台とした大規模LSIの設計環境は、複雑であるが完成度が高い。これらを

すべて別の手法で置き換えるのは現実的でない。そのため、これらの設計資産を生かし、LSIのシステム設計者やソフトウェア技術者が、これまでと同じ手法を違和感なく使えるようなナノアーキテクチャが望ましい。当社は、それを基本にしつつ、ポストCMOSのナノアーキテクチャは3次元積層回路を土台とすべきものであることを報告してきた^{(1), (2)}。

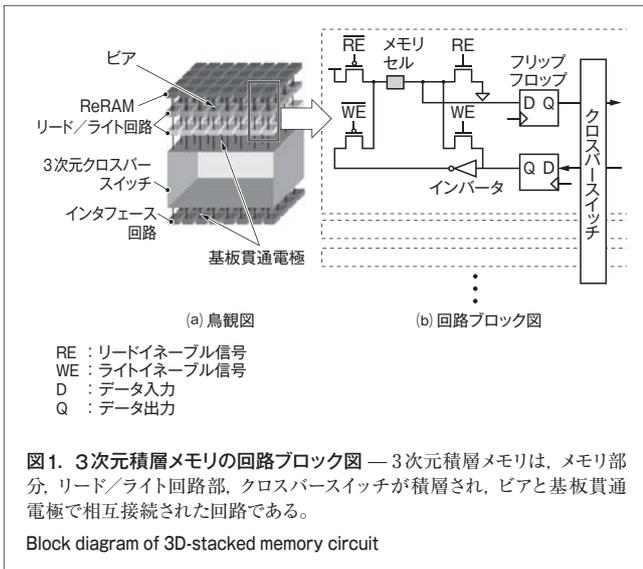
ここでは、システム全体の性能を上げるために、もっとも重要なメモリ回路部の詳細について述べる。更に、ポストシリコンデバイスは、欠陥やばらつきがCMOSよりけた違いに増えることが予想されている。そのため、大規模なLSIを実現するには、それらを補完する回路やシステムが必要であると言われている。当社は、素子特性のばらつきに起因した論理回路のエラーに注目し、エラーを自己修復することが可能な回路を開発した。これについても併せて述べる。

2 高いバンド幅を持つ3次元積層メモリ

ポストシリコンの高速論理回路が実現すると、それに比べて相対的に遅くなるのは、主記憶メモリやプロセッサ内部のメモリ、更に、メモリの出入り口となるネットワーク回路である。特に主記憶メモリは、現状でさえシステムのメインクロック周波数の10分の1以下の周波数でしか動かせない。その理由は、①メモリとプログラムを処理する演算回路の距離が遠く、転送に時間を要すること、②並列に転送できるデータ幅が小さい

こと、③メモリ回路が肥大化しアクセス時間を上げられないこと、が主な理由である。メモリの速度、つまりデータ転送速度はバンド幅 (=データ幅×転送クロック周波数) で定義されるが、このバンド幅が増加しないという状況になる。

当社は、演算回路部に3次元積層する形で、メモリのバンド幅を増加させることを狙っている。3次元積層による効果は、メモリと演算回路の距離が近づく(①の解)、空間的に配線の本数を増やせるため並列度を上げられる(②の解)、メモリ回路を小さく分割することでアクセス時間を短縮できる(③の解)ことである。メモリ回路のブロック図の一例を図1に示す。



メモリセルは、ポストシリコンメモリの一つであるReRAM (Resistive RAM) と呼ばれる素子を用いる。これは2端子型メモリ素子で、ある特定の電圧を印加することで、素子の電気抵抗が可逆的に変わる。ReRAMはストロンチウムチタンオキサイド (SrTiO_x)、ニッケルオキサイド (NiO_x)、チタンオキサイド (TiO_x) などの金属酸化物で作製する。これらの酸化物は、CMOS回路の上にスパッタ法などで容易に3次元積層できる。メモリとCMOS回路は、ビアと呼ばれるCMOS回路の垂直方向配線で結線されている。メモリセルの下にあるCMOS回路は、メモリへのアクセス回路、つまりメモリセルにデータを書き込むための回路と読み出すための回路を構成している。このように、メモリセルとメモリアクセス用の回路が1対1で、かつ短距離でつながっているため、メモリへのアクセス時間は非常に短くなる。その分、回路面積が大きくなるが、多層化することで実効的な面積増加にはつながりにくい設計になっている。ただ、それでもトータルの回路面積が大きくなりすぎるため、実際には、メモリセルが16個、64個、128個...に対して一組のアクセス回路を設けることになるが、既存のメモリ回路、例えば256 K個でアクセス回路1組という回路に比べれば、格

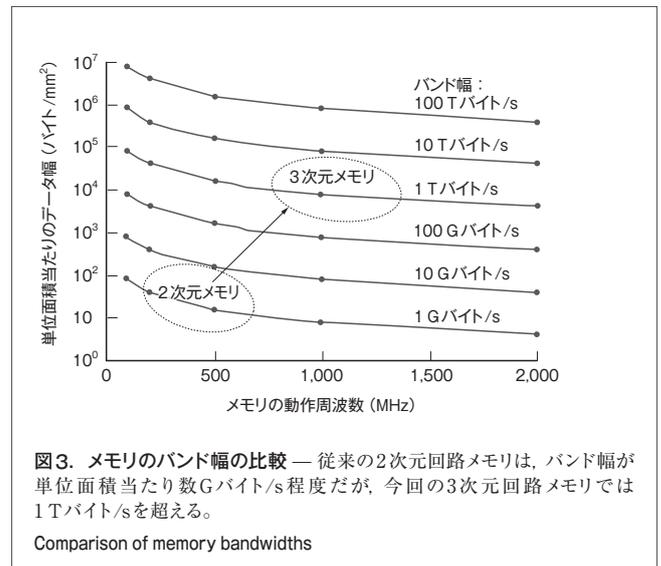
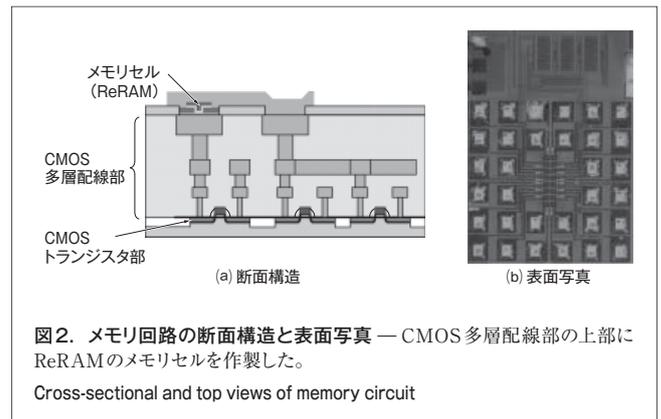
段にアクセス時間は短縮される。

更に、その下には、シリコン基板の貫通電極を介して、CMOSから成るクロスバー回路が設置されている。クロスバー回路は、メモリと演算回路部を行き来するデータの転送ルートを変更するための回路であり、この更に下側に演算回路部(プロセッサコア)が設けられる。

3 3次元積層メモリの試作

当社は、この設計をもとにメモリ回路を試作した。まず、メモリアクセス回路とクロスバー回路を0.25 μmのCMOSプロセスで作製し、次に、その上にReRAMのメモリセルを作製した。その断面構造と表面写真を図2に示す。今回はCMOS多層配線部の上部にメモリセルを作製した。ただし、メモリセルは多層配線層の内部、すなわち配線と配線の間に作ることも可能である。

試作したメモリ回路は、16個のメモリセルから成るテスト回路である。各メモリセルの読み出しや書き込みの動作を確認できた。



また、16ビットを同時にクロスバー回路を介してアクセスできることを確認した。

今回設計したメモリ回路をもとにバンド幅を見積もった結果を図3に示す。各曲線が同じバンド幅を示している。従来の2次元回路のメモリは、単位面積当たり数Gバイト/s程度であるが、今回の3次元回路のメモリでは、バンド幅が単位面積当たり1Tバイト/sを超える。つまり3けたもメモリ速度が増加することになり、もはやメモリがLSI性能のボトルネックになることはない。

4 ポストシリコンのためのエラー自己修復回路

MOSFETを上回る動作速度を持つトランジスタとして、現行品の代替候補と考えられるのは、ゲルマニウムなどの半導体ナノワイヤトランジスタやカーボンナノチューブ(CNT)トランジスタだけである。理想的に構成されたp型とn型のCNTトランジスタを用いて回路を構成すると、CMOSの約5倍の演算速度になる⁽³⁾。これらは、数nmの精度で寸法制御や位置制御が必要であるため、MOSFETよりも欠陥が多く、素子特性のばらつきが大きくなることが予想される。この問題を解決するには、素子作製プロセスの改良だけでなく、回路レベルでばらつきを吸収する技術が必要不可欠である。

当社は、このばらつきから生じるエラーを修正することができる“エラー自己修復回路”を開発した。そして、この自己修復回路自身がばらついたり、欠陥を含んだりすることを避けるため、自己修復回路はポストシリコンでなく、“シリコンCMOS”で設計している。つまり、ポストシリコン回路とシリコンCMOS回路の混載回路となる。速度が速い前者と信頼性が高い後者が相補的につながって、高速で高信頼性の論理回路

が実現できる。以下に詳細を述べる。

一般に、論理回路はクロック信号に同期して動作する。この場合、図4(a)のように、クロック信号に応じてデータを受け渡す順序論理回路と、データを使って演算を行う組合せ論理回路とから成る。当社が提案している設計思想では、図4(b)に示すように、組合せ回路にポストシリコンデバイスを、順序論理回路にCMOSを用いる。

ある演算を行う場合、クロック周波数を f 、順序論理回路自身の遅延時間を D_1 、組合せ回路の遅延時間を D_2 、ばらつきに対するマージンを M とすると、従来の論理回路では、これらの間に次のような関係が成立する。

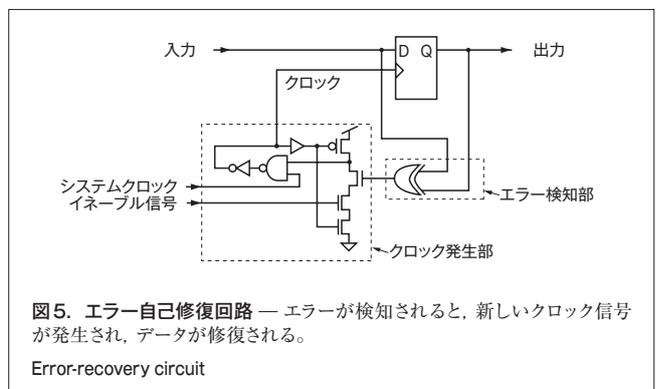
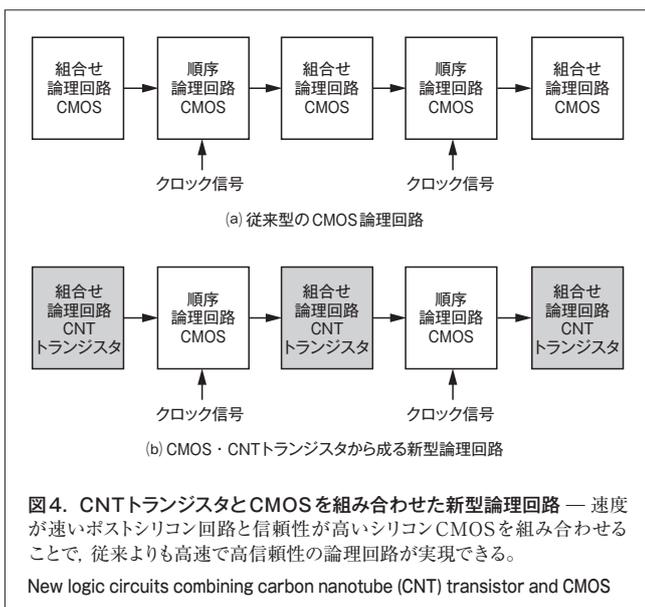
$$1/f = D_1 + D_2 + M \quad (1)$$

M は D_1 、 D_2 に比例すると考えて、すべての論理回路をCNTトランジスタ回路で構成させれば、原理的には、クロック周波数は、CMOS回路の5倍に上げられることになる^(注1)。しかし、前述したようなばらつきの問題から、 M を非常に大きくとらなければならないため、結局はクロック周波数を十分に上げられない。

当社が提案している設計思想(図4(b))では、 D_1 は若干のオーバーヘッドはあるがほぼ変わらず、 D_2 を大幅に短縮し、 M を増加させないということになる。通常、 D_2 は D_1 に比べてかなり大きいため、CNTトランジスタ回路を組合せ論理回路に用いることのクロック周波数増加への効果は、かなり大きい。又は、クロック周波数を上げる代わりに、組合せ論理回路内のNAND、NOR、NOT回路などの数を増やして、スループットを増加させるという効果を得ることもできる。

5 エラー自己修復回路の試作

新しく開発したエラー自己修復回路を図5に示す。この回路の基本機能はD型フリップフロップで、順序回路として動き、



(注1) 消費電力や発熱の問題がない場合。CNTトランジスタはMOSFETに比べて低消費電力であり、電力と遅延時間の積も大幅に改善されると期待されている⁽³⁾。

エラーを検知する回路と、エラーを検知した場合にデータを修復するための新しいクロック信号を発生する回路から成る。CNTトランジスタのようにばらつきが多い場合、組合せ論理回路の計算結果が、1クロック内で次の順序論理回路まで到達できない場合が生じて、ある確率でタイミングエラーを起こす。エラーの検知は、順序論理回路を構成するフリップフロップの入出力を比較することで行う。組合せ論理回路の計算結果が遅れてフリップフロップに到達すると、エラー検知回路では、クロック発生部から、システム全体のクロックとは別に、新たなクロックが作られる。これにより、計算結果が再び出力部に転送されて、エラーが修復される。

エラー自己修復のデモンストレーションの結果を図6に示す。この実験では、組合せ回路にCMOSを用いており、多くのノイズを外部から入力することで意図的にエラーを起こし

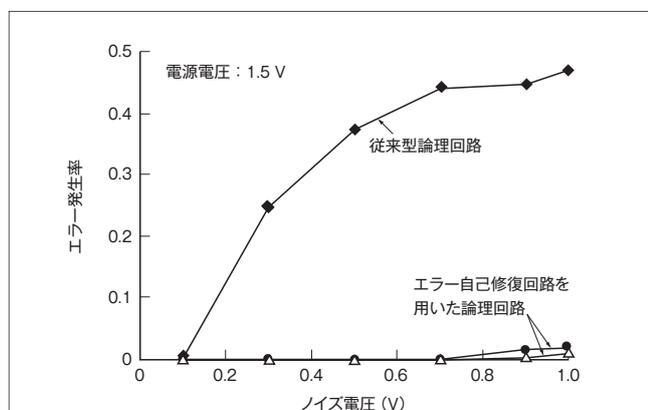


図6. エラー自己修復回路のデモンストレーション結果 — 試作した回路で評価した結果、従来の論理回路に比べ、エラー発生率は20分の1となった。
Results of error-recovery circuit demonstration

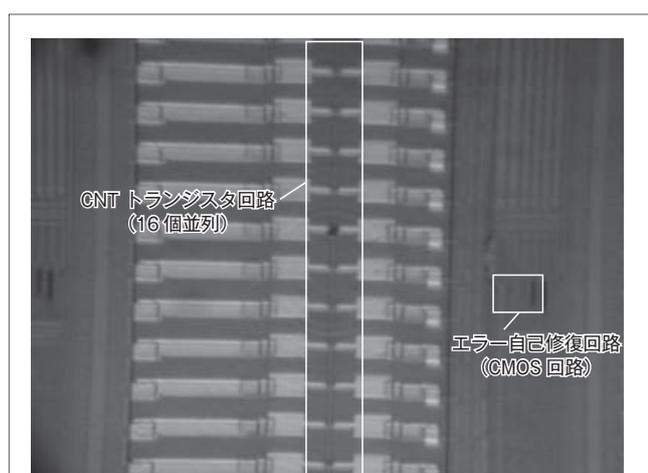


図7. CNTトランジスタとCMOSの混載によるエラー自己修復回路(表面写真) — 中央部にCNTトランジスタで作られた論理回路があり、右側にCMOSで作られたエラー自己修復回路がある。
CNT/CMOS hybrid circuit with error-recovery circuit using CMOS

た。その結果、従来の論理回路に比べエラー発生率は20分の1となり、効果的な修復効果が確認された。

実際に、CNTトランジスタ回路とエラー自己修復回路(CMOS回路)の混載回路を試作した。その表面写真を図7に示す。CNTトランジスタ回路は非常にばらつきが大きいが、回路を測定した結果、この場合でもエラー自己修復回路の有効性を確認することができた。

6 あとがき

当社は、ポストシリコンメモリとトランジスタを用いた回路、3次元回路、エラー自己修復回路、及びネットワーク回路など、ポストCMOS時代のナノアーキテクチャの土台となる要素技術を開発している。

この研究の一部は、米国スタンフォード大学のThomas Lee教授、西 義雄教授、Philip Wong教授らと共同で行ったものである。

今後は、これらを更に改良してLSI全体の性能を向上させ、ポストCMOS時代に向け実用化を目指していく。

文 献

- 藤田 忍, ほか. ポストシリコン素子の3次元ナノアーキテクチャ. 東芝レビュー, 61, 2, 2006, p.35 - 38.
- Fujita, S.; Nomura, K., et al. 3D-Nanoarchitectures with Carbon Nanotube Mechanical Switches for Future On-Chip Network Beyond CMOS Architecture. IEEE Transactions on Circuit and Systems I, 54, 11, 2007, p.2472 - 2479.
- Deng, J., et al. "Carbon Nanotube Transistor Circuits: Circuit-Level Performance Benchmarking and Design Options for Living with Imperfections". International Solid State Circuit Conference, Technical Digest, San Francisco, 2007-02, IEEE, p.70 - 71.



藤田 忍 FUJITA Shinobu

研究開発センター LSI基盤技術ラボラトリー研究主幹。
システムLSI用の半導体ナノデバイス、回路、及びアーキテクチャの研究・開発に従事。IEEE会員。
Advanced LSI Technology Lab.



安部 恵子 ABE Keiko

研究開発センター LSI基盤技術ラボラトリー。
システムLSI用の半導体ナノデバイス、回路、及びアーキテクチャの研究・開発に従事。
Advanced LSI Technology Lab.



安田 心一 YASUDA Shinichi

研究開発センター LSI基盤技術ラボラトリー。
システムLSI用の半導体ナノデバイス、回路、及びアーキテクチャの研究・開発に従事。IEEE会員。
Advanced LSI Technology Lab.