

二重接合を用いた 25 nm SONOS 型メモリ素子

25 nm SONOS Type Memory Device Using Double Tunnel Junction

大場 竜二

■ OHBA Ryuji

単電子トンネルを扱う分野で“二重接合”と呼ぶ、ナノメートルスケールの導電性微小粒子を薄いトンネル抵抗で挟んだ構造を SONOS (Silicon Oxide Nitride Oxide Semiconductor) 型メモリのトンネル膜に応用することで、ゲート長 25 nm のメモリ素子は良好な特性を示す。また、25 nm 領域では、二重接合トンネル膜が、高速書込・消去と長時間記憶保持の両立において通常の酸化膜よりも非常に有利である。

A 25 nm gate length bulk-planar silicon oxide nitride oxide semiconductor (SONOS) type memory, which has a Si nanocrystalline layer between double tunnel oxides, shows excellent memory characteristics due to the Coulomb blockade and quantum confinement functions of Si nanocrystals.

Toshiba has experimentally shown direct evidence of the great advantage in trade-off between charge retention and write/erase (w/e) speed using this device, suggesting that further device scaling and improvement are possible by Si nanocrystal size scaling. We have been developing the double tunnel junction SONOS type memory as a strong candidate for use in the smaller than 25 nm region.

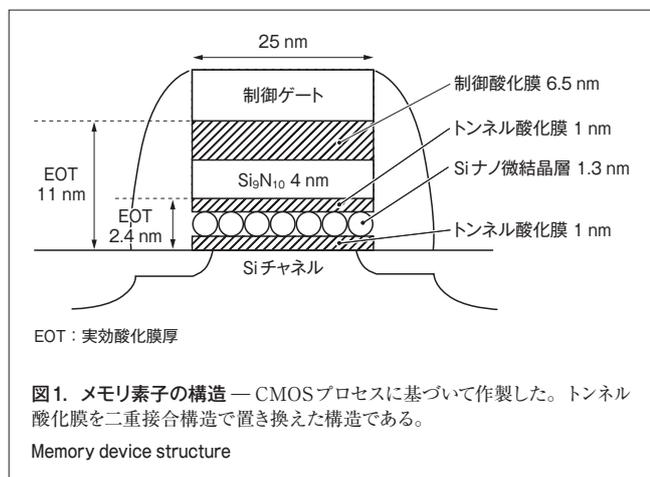
1 まえがき

フラッシュメモリの大容量化のため、不揮発メモリ素子の微小化が望まれている。情報電荷をシリコン窒化膜 (SiN) に蓄積する SONOS (Silicon Oxide Nitride Oxide Semiconductor) 型メモリ (以下、SiN メモリと呼ぶ) は有力候補の一つである。単電子トンネルを扱う分野では、ナノメートルスケールの導電性微小粒子を薄いトンネル抵抗で挟んだ構造を、“二重接合”と呼んでいる⁽¹⁾。二重接合 SiN メモリは、図 1 に示すようにトンネル絶縁膜部を、通常のシリコン (Si) 酸化膜一層の構造でなく、酸化膜、Si ナノ微結晶、及び酸化膜の三層構造で構成することが特徴である。個々の情報電子は、チャネルと SiN トラップ間を、Si ナノ微粒子を挟む薄いトンネル酸化膜で構成

される二重接合を介して出入りすることになり、Si ナノ微結晶中におけるクーロンブロックと量子閉込めにより、高速書込・消去を維持しつつ長時間記憶保持が可能になる^{(2), (3)}。

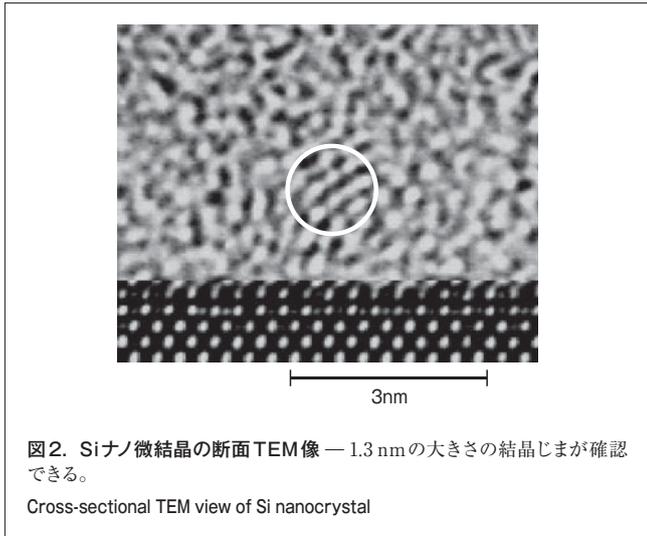
もう一つの特徴として、SiN 部に通常の原子比率の Si_3N_4 ではなく、非化学量論的 Si_9N_{10} を用いた。これにより、SiN 中の Si ダングリングボンドによる電子トラップが増え、短いゲート長でも対応可能な電子トラップ密度を確保することができる⁽⁴⁾。このような特徴を持つ二重接合型 SiN メモリ素子で、ゲート長 35 nm での単体素子動作を検証した結果、良好な特性を示した⁽⁵⁾。

今回、ゲート長 25 nm の二重接合 SiN メモリに関して、優れた単体素子特性について述べる。このメモリは、10 V を下回る書込・消去電圧では、4.5 けた以上の ON/OFF 比を 10 年間保持する。また 25 nm スケールでは、二重接合トンネル膜は、高速書込・消去と長時間記憶保持の両立に酸化膜一層のトンネル膜よりも非常に有利である。このことは更なる Si ナノ微結晶の微小化による、よりいっそうの特性改良や素子微細化が可能であることを示しており、二重接合 SiN メモリは、25 nm 以下の領域での次世代メモリ候補であることを意味する。



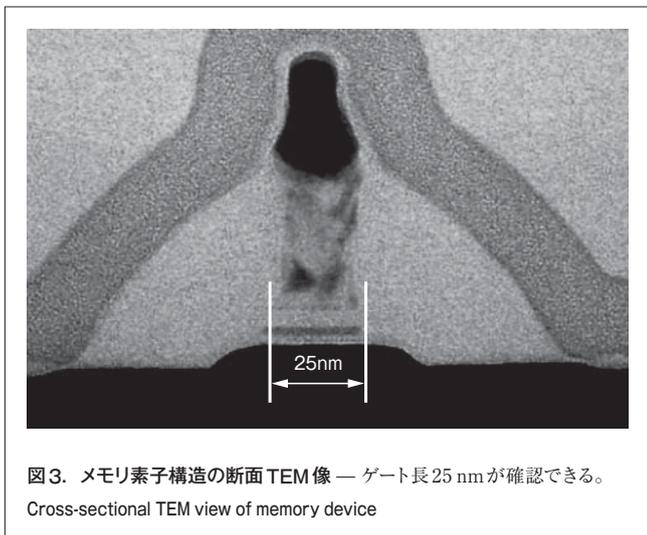
2 デバイスの試作

トンネル膜部は、1 nm 酸化膜、1.3 nm Si ナノ微結晶層、及び 1 nm 酸化膜の三層構造で形成した。Si ナノ微結晶層での粒径 1.3 nm は、CVD (化学気相成長法) で形成する際の Si 膜厚と、デバイスプロセス中の熱履歴で調整ができる。Si ナノ微結晶の断面 TEM 像 (透過型電子顕微鏡) を図 2 に示す。電荷蓄積部の SiN は、非化学量論的組成を持った Si_9N_{10} であ



る。トンネル膜構造の実効酸化膜厚は2.4 nmで、チャネルと制御ゲート間の実効酸化膜厚11 nmである。

ゲート長25 nmの二重接合SiNメモリは、14 nm CMOS (相補型金属酸化膜半導体) プロセスをベースに作成した⁽⁶⁾。25 nmのゲート長はレジスト描画パターンニングとトリミングによる細線化で作製した。図3に示すメモリ素子断面TEM像から、25 nmのゲート長が確認できる。CMOSプロセスで、短チャネル効果抑制のためしばしば用いられるオフセットスペーサは形成していない。

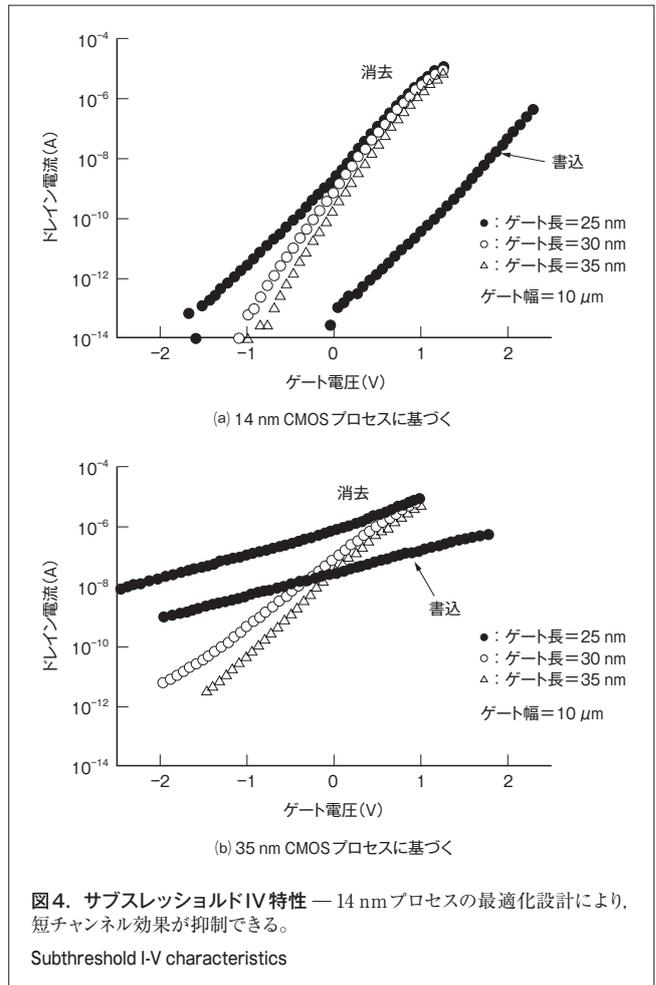


ソース及びドレインとチャネルプロファイルは14 nm CMOS プロセスに基づいており、浅いソース及びドレインは極低加速インプラと短時間活性化アニールで形成され、短チャネル効果抑制のため高濃度なチャネル不純物分布を形成している。寄生抵抗低減のため、ゲート側壁形成後、サリサイド構造を形成している。

3 メモリ素子特性

3.1 短チャネル効果抑制

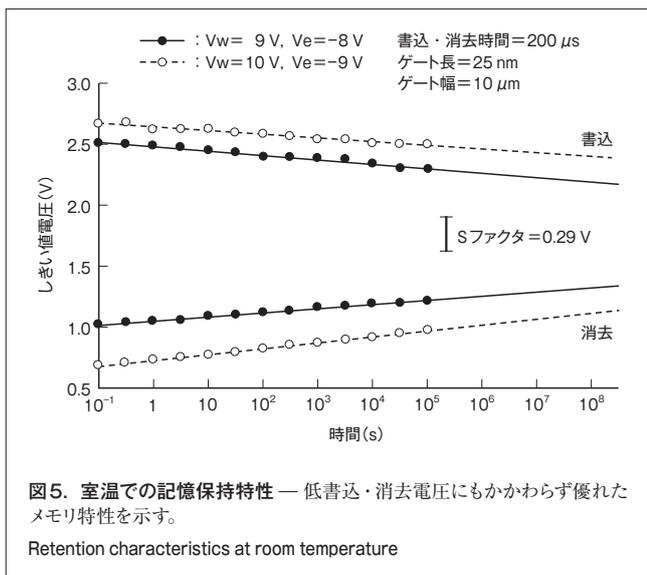
ゲート長25 nmでのサブスレッショルド電流電圧 (IV) 特性を図4に示す。比較のため、14 nm CMOSプロセスによるもの(a)と、35 nm CMOSプロセス^{(5), (7)}によるもの(b)を示す。35 nmプロセスによる場合、ゲート長25 nmでは短チャネル効果抑制は不十分で、顕著なパンチスルーが現れる。一方、14 nm CMOSプロセスでは、より最適化されたソース及びドレインとチャネル設計により、25 nmでも短チャネル効果が抑制できていることがわかる。



3.2 記憶保持

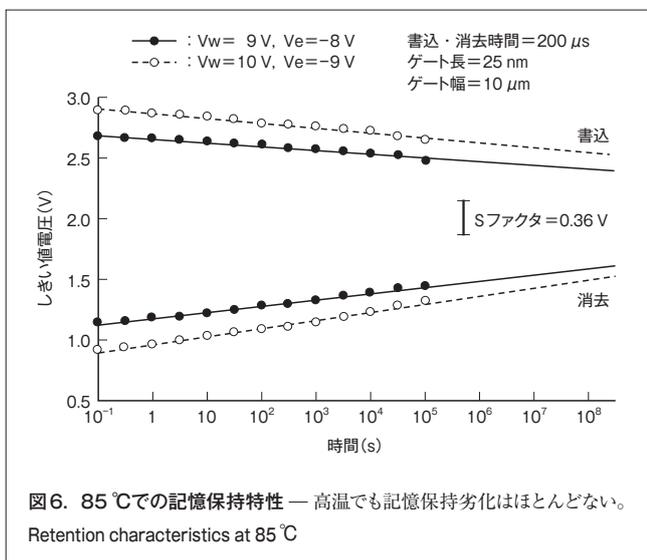
ゲート長25 nmの二重接合SiNメモリの室温での記憶保持特性を図5に示す。図中に縦線でSファクタ^(注1)を示してあり、これがメモリ幅1けたに相当する。低書込・消去電圧 $V_w = 9$ V, $V_e = -8$ Vそれぞれに対し3けた以上, $V_w = 10$ V, $V_e = -9$ V

(注1) 電流変化1けたに対応する電圧変化分で、例えば図5では、しきい値電圧シフト0.29 Vごとに電流ON/OFF比1けたのメモリ保持となる。



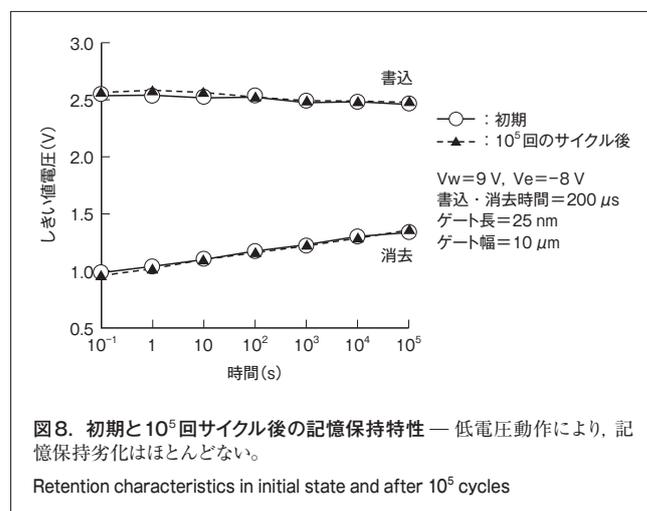
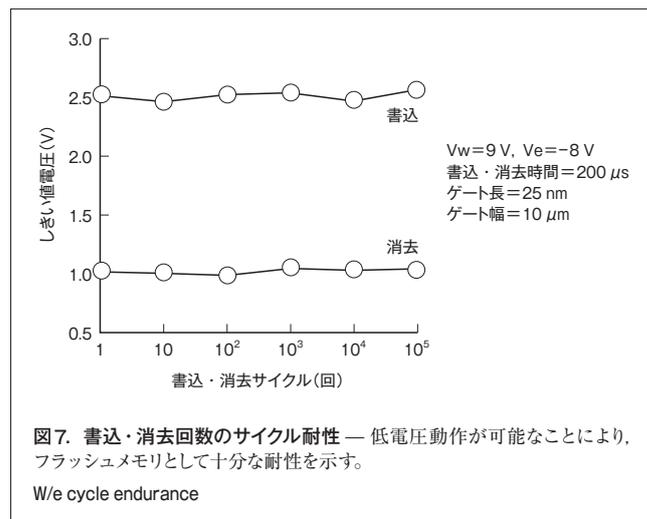
それぞれに対し4.5けた以上の情報電荷を10年間保持することがわかる。

次に、 85°C の高温での記憶保持特性を図6に示す。高温でも顕著な記憶保持の劣化は見られない。25 nmという微細ゲート長と、10 V以下の低書込・消去電圧にもかかわらず、優れた記憶保持が達成できていることがわかる。これは1.3 nm Si微結晶における、クーロンブロッケイドと量子閉込めによる高いエネルギー障壁による。



3.3 サイクル耐性

書込・消去回数に対するサイクル耐性を図7に示す。低書込・消去電圧 $V_w = 9\text{ V}$, $V_e = -8\text{ V}$ は、書込・消去時の典型的なチャンネルと制御ゲート電極との間の電位差、 $(V_w - V_e - (Si\text{バンドギャップ}))/2 = 7.95\text{ V}$ に相当し、チャンネルと制御ゲートとの間の実効酸化膜厚11 nmを考慮すると、典型的書込・消去



電界は $0.7\text{ V/nm} = 7\text{ MV/cm}$ に相当する。この低書込・消去電界により、図7に示すような優れた書込・消去回数耐性が可能になる。図8に示すように 10^5 回のサイクル後でも、ほとんど記憶保持に劣化がないことがわかる。

4 書込・消去特性と記憶保持特性のトレードオフ

3章で、二重接合 SiNメモリは25 nmゲート長でも優れたメモリ特性を示すことを述べた。この特性は、二重接合による高速書込・消去と長時間記憶保持の両立によるものと考えられる。25 nm領域での書込・消去特性、記憶保持特性の間のトレードオフについて以下に述べる。

4.1 記憶保持時間の改善

二重接合における記憶保持改善について述べる。Siナノ微結晶の大きさに対する、ゲート長25 nmでの記憶保持特性の変化を図9に示す。Siナノ微結晶の微小化とともに、著しく記憶保持が改善されることがわかる。図10の理論モデル^{(1), (2)}に示すように、Siナノ粒結晶の粒径微小化に対し指数関数的に

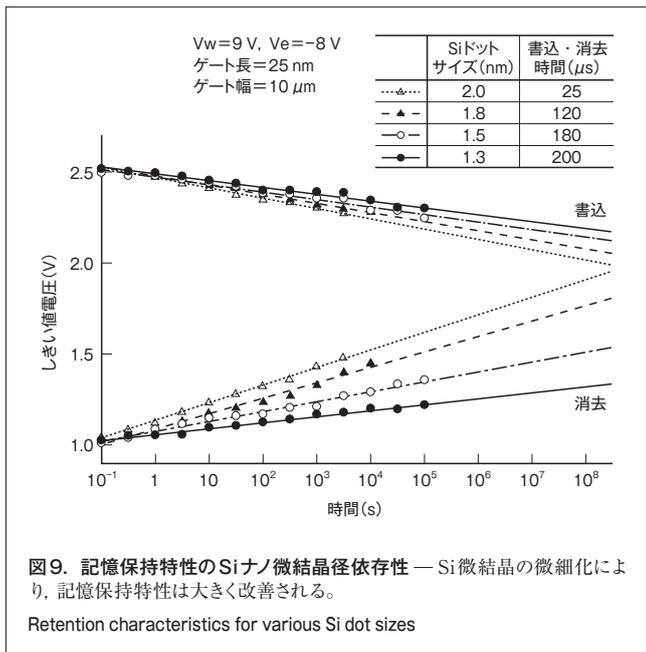


図9. 記憶保持特性のSiナノ微結晶径依存性 — Si微結晶の微細化により、記憶保持特性は大きく改善される。
Retention characteristics for various Si dot sizes

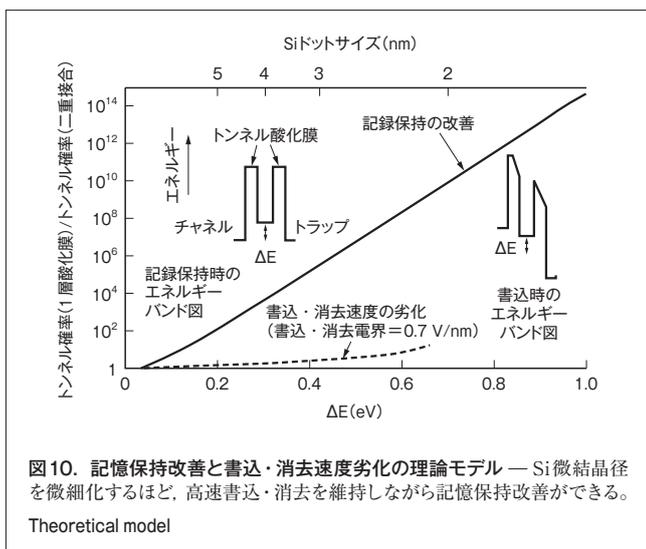


図10. 記憶保持改善と書込・消去速度劣化の理論モデル — Si微結晶径を微細化するほど、高速書込・消去を維持しながら記憶保持改善ができる。
Theoretical model

改善していることと符合する結果である。クーロンブロッケイドと量子閉込めによるエネルギー障壁 ΔE がSiナノ微結晶が小さいほど大きくなり、記憶保持は $\exp(\Delta E/T)$ で変化するためである。ここで、 T は温度である。25 nm領域での優れた保持特性は、1.3 nm Siナノ微結晶での高いエネルギー障壁 ΔE によるもので、Siナノ微結晶を更に微細化することで、よりいっそうの保持力改善が期待できる。

一方、書込・消去速度は、図10に示すように、記憶保持時間と異なり、Si微結晶の微細化に対し指数関数的依存性がない^{(1),(2)}。これにより、書込・消去特性と記憶保持特性の間でトレードオフ優位性が発生する。

4.2 トレードオフの優位性

二重接合SiNメモリ素子は、25 nmスケールで大きなトレー

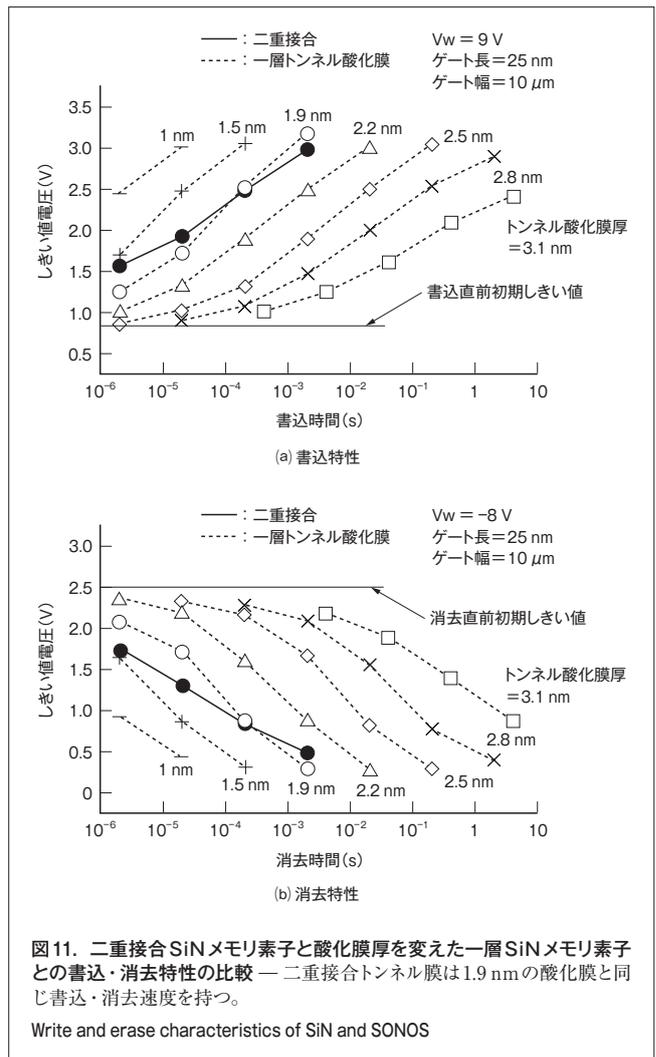
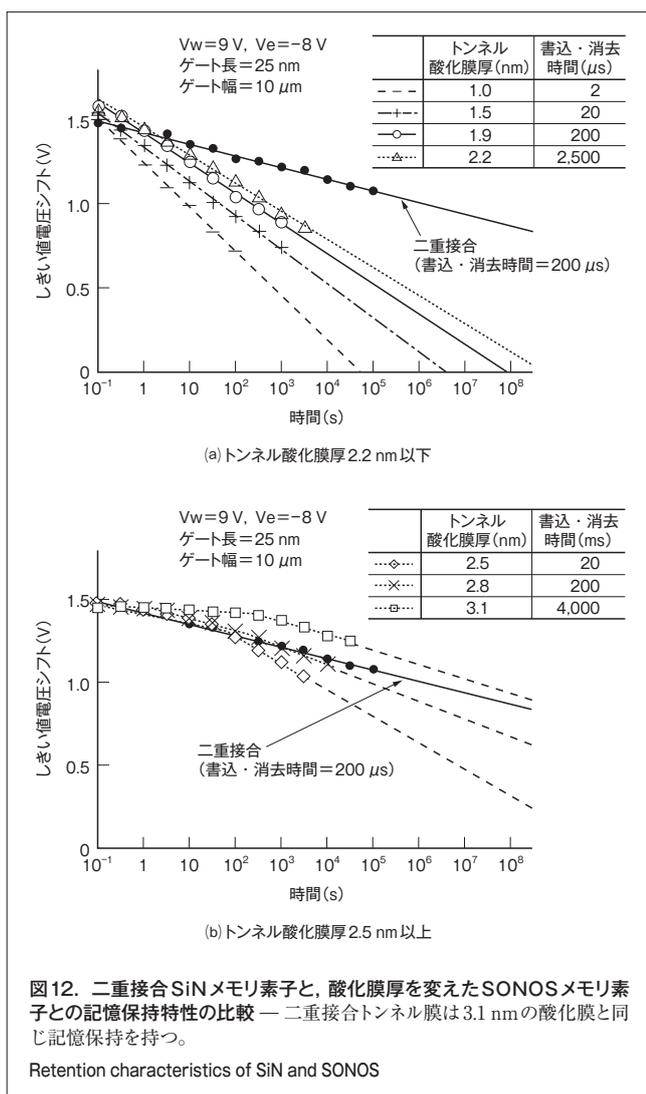


図11. 二重接合SiNメモリ素子と酸化膜厚を変えた一層SiNメモリ素子との書込・消去特性の比較 — 二重接合トンネル膜は1.9 nmの酸化膜と同じ書込・消去速度を持つ。
Write and erase characteristics of SiN and SONOS

ドオフ優位性を持つことを述べる。図11は、二重接合SiNメモリと普通の一層トンネル酸化膜のSiNメモリにおける書込特性及び消去特性である。すべてのメモリ素子は、チャネルと電荷蓄積部 Si_3N_{10} 間のトンネル膜構造を除けば同一である。二重接合SiNメモリ素子（トンネル膜部の実効酸化膜厚2.4 nm）は、書込・消去速度がトンネル酸化膜厚1.9 nmの一層トンネル酸化膜SiNメモリ素子とほぼ同じ速さを持つことがわかる。

図12は、二重接合SiNメモリ素子と一層トンネル酸化膜のSiNメモリ素子との記憶保持を比較したものである。書込・消去速度1.9 nm相当の二重接合SiNメモリ素子が、記憶保持ではトンネル酸化膜厚3.1 nmの一層トンネル酸化膜SiNメモリ素子とほぼ同じことに注目すべきである。すなわち、実効酸化膜厚2.4 nmの二重接合トンネル膜は、1.9 nmの書込・消去速度を持ち、3.1 nmの記憶保持を持つ。このことは、二重接合トンネル膜がトレードオフ優位性を示す実験的証拠であり、Siナノ微結晶の微細化によりいっそうの素子微細化と特性改良が可能であることを示している。



5 あとがき

二重接合SiNメモリは、ゲート長25 nm、書込・消去電圧10 V以下で優れた不揮発メモリ特性を示すことを実証した。また、Si微小結晶でのクーロンブロッケイドと量子閉込めにより、25 nm二重接合SiNメモリ素子は、大きなトレードオフ優位性を持つことを実証した。これらのことは、Siナノ微結晶の更なる微小化により、いっそうの素子微小化や特性改善が可能であり、二重接合SiNメモリは25 nm以下の次世代不揮発メモリ候補であることを示している。

文献

- (1) Grabert, H., et al. Single charge tunneling. New York, Plenum, 1992, 313p.
- (2) Ohba, R., et al. "Silicon nitride trap memory with double tunnel junction". Digest of Symposium on VLSI Technology, 2003, p.35 - 37.
- (3) Ohba, R., et al. Nonvolatile Si quantum memory with self-aligned doubly-stacked dots. IEEE Trans. Electron Devices, 49, 8, 2002, p.1392 - 1398.
- (4) Ohba, R., et al. "Impact of Stoichiometry Control in Double Junction Memory on Future Scaling". Technical Digest of International Electron Devices Meeting, 2004, p.897 - 900.
- (5) Ohba, R., et al. "35 nm floating gate planar MOSFET memory using double junction tunneling". Technical Digest of International Electron Devices Meeting, 2005, p.853 - 856.
- (6) Hokazono, A., et al. "14 nm gate length CMOSFETs utilizing low thermal budget process with poly-SiGe and Ni salicide". Technical Digest of International Electron Devices Meeting, 2002, p.639 - 642.
- (7) Inaba, S., et al. "High performance 35 nm gate length CMOS with NO oxynitride gate dielectric and ni SALICIDE". Technical Digest of International Electron Devices Meeting, 2001, p.641 - 645.



大場 竜二 OHBA Ryuji

研究開発センター LSI基盤技術研究所。
次世代半導体素子の開発業務に従事。応用物理学会会員。
Advanced LSI Technology Lab.