

組み込みソフトウェア向け仮想ボードシミュレータの有効性検証

Virtual Platform Simulator for Verification of Embedded Software

石井 正悟 由良 浩司 荒木 大

■ ISHII Shogo ■ YURA Koji ■ ARAKI Dai

組み込みシステム開発には、ハードウェア (HW) とソフトウェア (SW) を並行開発するという特徴があり、HW 試作機が完成するまで本格的な SW 検証を行えず、HW 工程の遅延が SW 工程の、更には全体工程の圧迫につながるという問題がある。また、SW 開発の各サイクルで未検証のまま次のサイクルに進むことは、品質上問題がある。

東芝ソリューション (株) は、組み込み SW の生産性と品質の向上を目的として、HW 試作機を待たずに SW 先行検証を可能とする仮想ボードシミュレータ構築キット VPDK™ (Virtual Platform Development Kit) を開発した。VPDK™ Ver.1.0 をデジタル家電製品のスパイラル型^(注1) SW 開発に適用し、SW 検証能力を定量評価して、その有効性を確認した。

The development of embedded systems is characterized by the concurrent development of hardware and software. However, software engineers are unable to use a test bed for their work until the hardware prototype is produced. This may cause a delay in the development schedule and result in a deterioration in the quality of the final product.

Toshiba Solutions Corporation has developed VPDK™, a virtual platform development kit comprising a simulator for verifying embedded software, in order to enhance software development productivity and quality. We quantitatively evaluated the embedded software verification capability of VPDK™ Ver. 1.0 by applying it to the development of a commercial software product, and confirmed its effectiveness.

1 まえがき

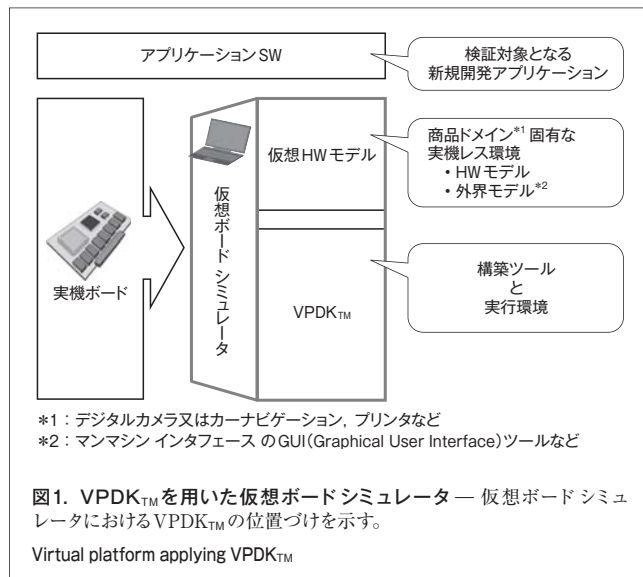
組み込みシステム開発では、一般的に SW と HW を同時に開発 (コンカレント開発と呼ぶ) するが、HW 試作機が完成するまで SW の本格的な検証ができないという問題を抱えており、その問題が組み込み SW の生産性・品質向上への阻害要因の一つとなっている。

コンカレント開発で、HW をシミュレーションすることにより実機開発完了前の SW 先行検証が可能になれば、HW 開発工程の影響を極小化し、生産性・品質向上に大きく寄与することができる。しかし、これまで組み込み SW 検証用として実用に耐えるシミュレータは市場に見当たらなかった。そこで東芝ソリューション (株) では、組み込み SW 開発のイノベーションを目指して、組み込み SW 検証に適用可能な仮想ボードシミュレータ構築キット VPDK™ の開発を行っている⁽¹⁾。VPDK™ は Ver. 1.0 の開発が完了し、2007 年度上期に効果測定のための評価を行った。

ここでは、VPDK™ の紹介とその評価結果、今後の課題について述べる。

2 VPDK™ の概要

VPDK™ とは、仮想ボードシミュレータ構築キットであり、構築ツールと実行環境から成る (図 1)。VPDK™ の構築ツ



ルを用いてアプリケーションドメイン (業務領域) に特化した外界モデルと HW モデルを VPDK™ 実行環境にアドオン (SW に追加される拡張機能) して、そのドメイン向けの仮想ボードシミュレータを構築する。

次に VPDK™ Ver.1.0 の特長を述べる。組み込み SW 検証を

(注1) 最初の試作品で動作を確認し、それを基に修正を重ねて精度を高め、完成品に近づけていく手法。

シミュレータ上で行うには、次に示す時間に関する二つの課題がある。

- (1) シミュレーションの高速実行 大規模化してきた組込みSWを現実的な時間内でシミュレートするには、これまでの一般的なHW検証用シミュレータ製品より100倍以上の高速実行性能が必要である。
- (2) シミュレーション環境の短期間構築 デジタル家電などの組込みシステムは開発サイクルが短いので、HW試作機ができる前にSW先行検証を行うには、シミュレーション環境を短期間で構築できなければならない。

VPDK_{TM}はこの二つの課題を克服し、組込みSW検証に適用可能な仮想ボードシミュレータを構築することができる。

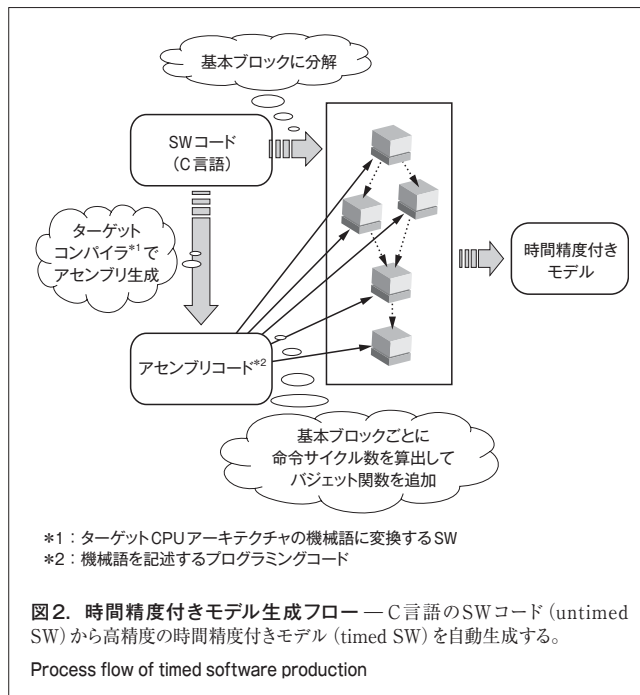
2.1 シミュレーションの高速実行

ほとんどのシミュレータがシミュレーションエンジンの実装方式として採用しているのは、命令セットシミュレーション方式(ISS方式)である。一般的なISS方式では、ターゲットCPUの1命令をホストCPU上でシミュレートするために、ホストCPUのネイティブ命令(機械語)を100から1,000命令実行する必要がある。そのため、実機での実行時間に比べ、シミュレーション実行が非常に遅く、現実的な時間内でSWの検証ができないという問題がある。ISS方式のシミュレーション実行を高速化するために、例えば、複数命令による実行結果だけをシミュレートする方法がある。しかし、この方法には時間精度^(注2)が粗くなるという欠点がある。このように、ISS方式では“高速実行”と“時間精度保証”がトレードオフ(二律背反の状態)の関係にあり、両立させることが困難であった。

もう一つの実装方式として、非ISS方式のネイティブコードシミュレーション方式がある。ネイティブコードシミュレーション方式は、一般的なISS方式に比べ100倍以上の高速シミュレーション実行が可能であるが、時間精度が保証できないという問題があった。

VPDK_{TM}では高速シミュレーションの実行を可能とするため、シミュレーションエンジンとしてネイティブコードシミュレーション方式のVisualSpec_{TM} for Embedded (VSE)^(注3)を採用した。VSEは、時間精度を保証するために、“バジェット追加技術”^(注4)を用いている。バジェット追加技術とは、**図2**に示すように、C言語(プログラミング言語)で記述されたSWのソースコードに時間情報を追加⁽²⁾して、そのSWをターゲットCPU上で実行した場合の命令実行時間を模擬する技術である。時間情報が追加された時間精度付きモデルをホストCPU

(注2) タスク切替えや割込み発生などのタイミングが実機とどの程度等価であるかを示す尺度である。
 (注3) 東芝グループ会社である(株)インターデザイン・テクノロジーの製品で、時間精度を保証しつつ高速シミュレーションの実行が可能である。
 (注4) 東芝などの国内半導体メーカー11社が設立したSTARC(半導体理工学研究センター)で開発された。



のネイティブコードで模擬することにより、数百MHz以上の速度でSWを仮想実行することができる。

しかし、実際の組込みシステムに用いられているSWをネイティブコードでシミュレーション実行するにはバジェット追加技術だけでは課題があり、実開発環境への適用が難しいことが判明した。オリジナル方式では、シミュレータの核において使用するSpecCあるいはSystemCといった拡張C言語が持つスレッド機能にタスクを割り付けることで、マルチタスク基本SW(OS)の動作を模擬するが、タスクの動的生成や、タスクコンテキストスイッチングを正確にシミュレートできないなどの課題があった。

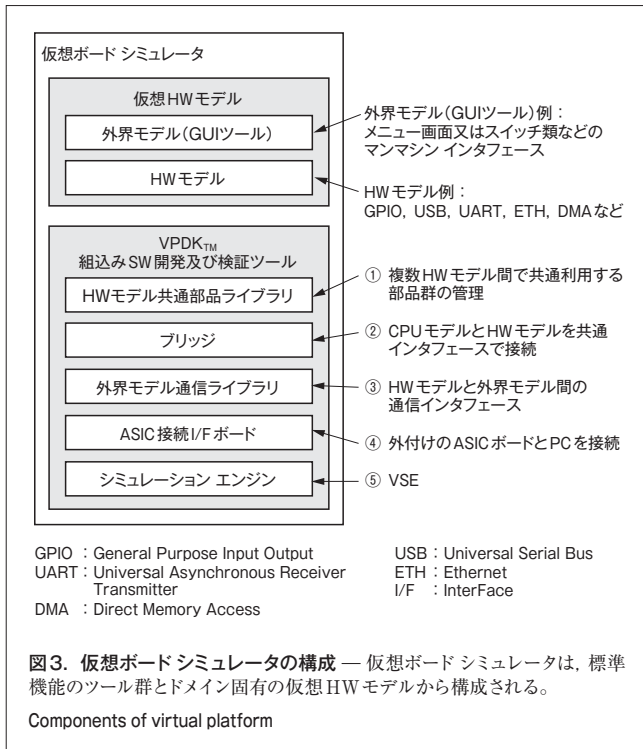
実開発環境に、そのような課題や機能制約を持ち込むことはできない。これらの課題を解決するため、拡張C言語の機能を用いずにコンテキストスイッチングを正確にシミュレートする技術を考案してVPDK_{TM}に実装した。これら、バジェット追加技術を補完する技術は、東芝ソリューション(株)と(株)インターデザイン・テクノロジーから特許出願中である。

2.2 シミュレーション環境の短期間構築

開発サイクルの短い組込みSW開発にシミュレータを適用するには、“短期間でシミュレーション環境を構築できなければならない”という課題がある。VPDK_{TM}では、その課題を以下の施策で解決した(**図3**)。

- (1) HWモデル共通部品ライブラリ HWモデル共通部品を再利用可能とし、HWモデル作成時間を短縮する。

(注5) すべての構成要素をSWで模擬実行するシミュレータ構成。
 (注6) 実CPUと仮想HWが連携実行するシミュレータ構成。



- (2) ブリッジ VPDK™ Ver.1.0は、フルシミュレーションモデル^(注5)とビフレストモデル^(注6)という二つのシミュレータ構成をサポートする。ブリッジ機能は、異なるシミュレータ構成においてHWモデルを共通に利用できるようにし、HWモデル作成時間を短縮する。
- (3) 外界モデル通信ライブラリ 外界モデルの通信処理を容易に作成できるようにし、外界モデル作成時間を短縮する。

2.3 ビフレストモデル

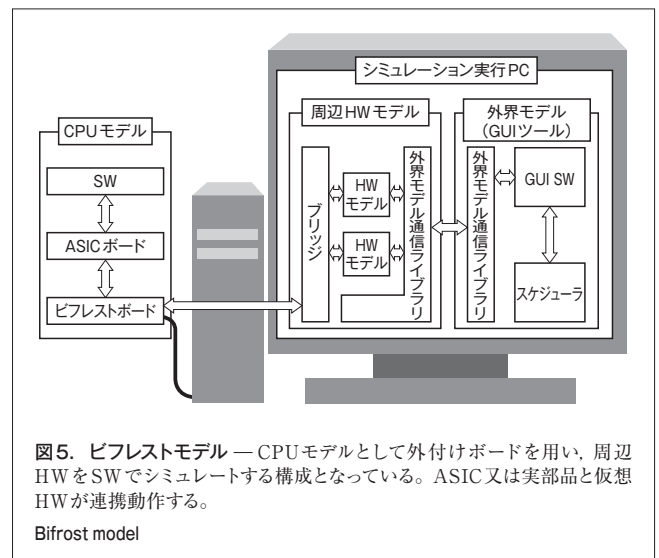
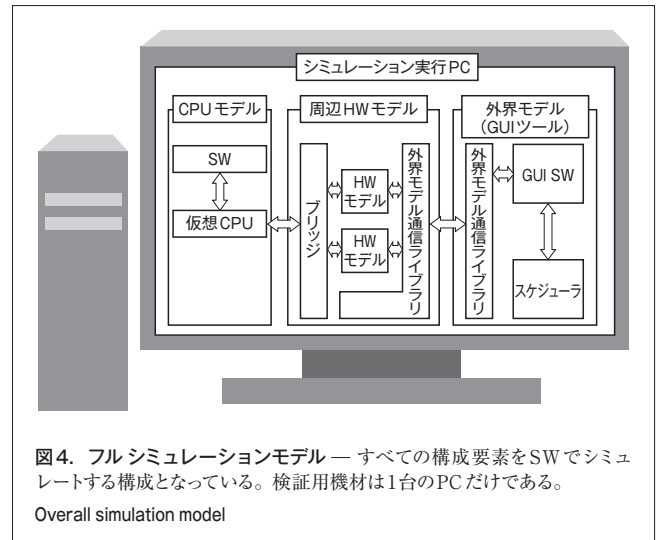
ここではビフレストモデルについて述べる。前節で述べた施策を行ってもなお次の課題がある。

- (1) サポートCPUのバリエーションの整備
- (2) 大規模ASIC (Application Specific IC : 用途特定IC) のモデリング

CPUモデル開発は短期間でできるものではないため、必要なCPUモデルが事前に整備されていなければ、シミュレーション環境構築を短期間で行うことができない。

そして、大規模・複雑化した組み込み機器では非常に多くの機能をASICに搭載している。それらASICに搭載された機能をすべてモデリングするには、やはり多くの時間を要し、シミュレーション環境の短期間構築が困難になる。

これらの課題を解決するのがVPDK™のビフレストモデルである。図4がすべてをSWでシミュレートするフルシミュレーションモデルで、図5がビフレストモデルである。ビフレストモデルは、図4のCPUモデルの部分を外付けのASICボードに置き換えた構成となり、次開発対象機器



で使用するASIC (又はCPU) を外付けのボードに搭載し、ASIC以外の周辺HWはSWでモデル化する。

SWは、外付けボードのASIC上で実行する。そして、ASIC (実部品) とSWで実装したHWモデル (仮想HW) をシームレスに接続するのがビフレストボード^(注7)とビフレストドライバ^(注8) (図3の④ASIC接続インタフェース) である。複数機種の開発で再利用するASICは外付けボードに搭載し、機種ごとに異なる周辺HWはSWでモデル化するので、多数の機種を開発するドメインにおいて、シミュレーション環境構築の期間を大幅に短縮することができる。

ASICボードは、新ASICが開発されるタイミングで作成することになるが、ASICボードとHWモデルとの接続部分は作成不要なので、ASICボードを短期間で作成することができる。

(注7) ASICとPCを接続するインタフェースボード。
 (注8) ビフレストボードを制御するデバイスドライバ。

3 実開発環境での評価

2007年度上期にVPDK_{TM} Ver. 1.0の能力と効果を判断するため、VPDK_{TM}で構築した仮想ボードシミュレータをデジタル家電製品の組み込みSW開発に適用し評価を行った。

3.1 HWモデルの実装範囲

シミュレータを適用する際、シミュレータを開発プロセスのどの領域で利用するかを明確にしてシミュレーション環境を構築する必要がある。東芝ソリューション(株)では、VPDK_{TM}を用いた仮想ボードシミュレータの目的をHW試作機を用いずにSW先行検証(SW設計検証及びデバッグ^(注9))することとしているので、HW試作機が持つ機能をシミュレーション環境として構築すべき範囲とし、その範囲のHWモデルを実装した。

3.2 評価指標

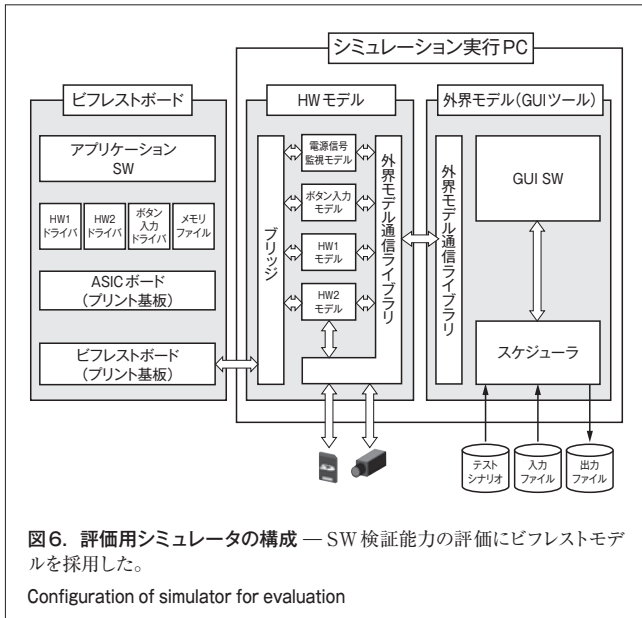
仮想ボードシミュレータのSW検証能力として、実機HWとの等価性がどれほどかを評価した。定量的に評価するため不適合再現率^(注10)を測定した。

3.3 評価用シミュレータの構成

評価用シミュレータの構成はビフレストモデルとし、デジタル家電製品用仮想ボードシミュレータを構築した(図6)。

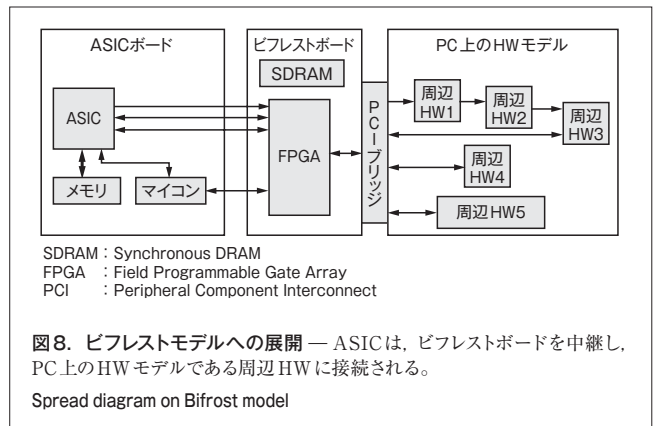
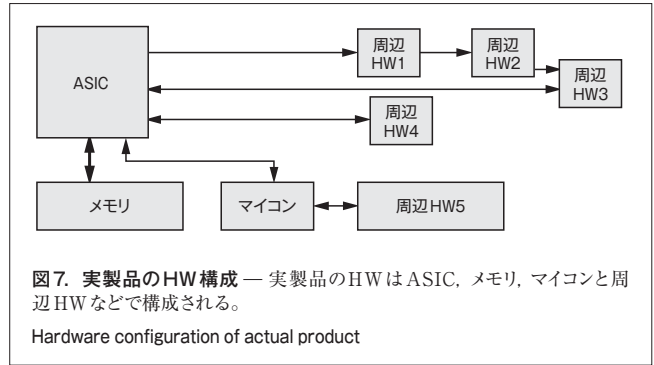
実製品のHW構成を図7に、その実機HWをビフレストモデルへ展開した構成を図8に示す。

実機HWではASIC側の処理と周辺HWの処理が非同期実行になっており、ビフレストモデルでもASIC側の処理とPC側で実行されるHWモデルの処理を非同期実行として実装した。



(注9) プログラムの誤りや欠陥であるバグを探し、取り除くこと。

(注10) 現実の試験で既に報告されている不適合を、現実の試験で使われたものと同じバグ付きSWと仮想ボードシミュレータで再検証し、不適合を再現できた確率。



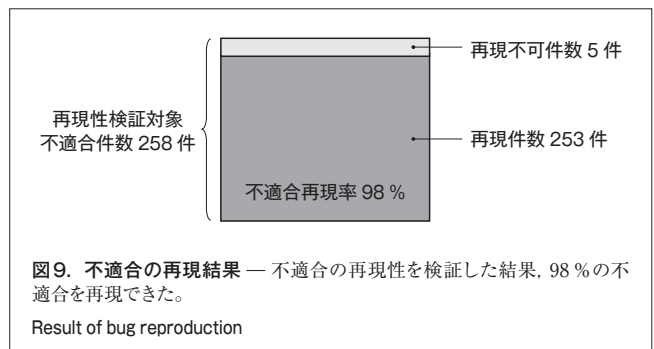
3.4 評価結果

現実の試験で報告された不適合のうち、HW試作機単体で再現可能なものは258件であったので、再現性検証対象を258件とした。図9に示すように、258件を仮想ボードシミュレータで再検証した結果、253件が再現可能であり、不適合再現率は98%であった。

再現できなかった5件は次のとおりである。

- (1) 複合条件下での画面遷移時に一瞬(0.1s程度)不正な画面となり、直後、正常な画面に遷移するものが4件
- (2) 発生現象がつかず異なり、かつ一瞬(0.1s程度)の異常動作であるため、異常と認識しにくいものが1件

前節で述べたように、ASIC側の処理とPC上のHWモデルの処理を非同期実行するように実装したが、ビフレストボード



とPC間のデータ転送速度の限界により、HWモデルの処理実行回数が実機HWに比べて1/4程度になっていた。その結果、ASIC側からHWモデルにデータを連続出力する際に、HWモデルが処理して外界モデルに渡す画面更新データの3/4がフレーム落ちすることになり、外界モデルのGUI (Graphical User Interface) 画面上で一瞬の画面変化を認識しにくくなっていった。再現できなかった5件はいずれもこの原因のため、不適合現象を異常と判断できないものであった。

なお、ASIC側からのデータ出力自体は正常に行われるのでSW処理への影響はなかった。また、VPDK_{TM}の大きな特長であるシミュレーション実行性能については、非常に高速であり、実機と同等との評価を得た。

3.5 課題と今後

今回の評価において、5件の不適合を再現できず、ビフレストボードとPC間のデータ転送能力がシミュレーション実行の制約となっていることが課題として判明した。この課題を解決するため、データ転送能力の向上が必要である。かつ、ASIC側の処理とHWモデル間の同期制御を行うことも必要である。

ASIC側は実時間で動作しており、一方、HWモデルはシミュレータが持つ時計で時間精度を保つように動作している。つまり、時間の進みかたが異なる時計を持っていることになる。同期制御により、この二つの時計の進みかたを合わせるという対策である。この対策実現に必要な同期制御方式を開発し、ビフレストモデルへの実装を行う必要がある。

前述した課題を克服するほか、VPDK_{TM}の要素技術の強化、ユーティリティの強化、組込みSW開発現場からのフィードバックを重ね、VPDK_{TM}を真に組込みSW検証に適用可能な仮想ボードシミュレータへとしていく。

なお、今回評価対象とした製品の開発では、仮想ボードシミュレータを本格活用するよう準備を行っている。

(注11) 製品優位性を確保するための中核となる能力又は技術。

4 あとがき

VPDK_{TM}を用いた仮想ボードシミュレータの評価を行った結果、不適合再現率98%であったが、100%に近づけるための課題が明らかになり、その対策を行うことによってHW試作機を使わずに組込みSW検証が可能となることを確認した。

組込みSW開発のイノベーションを実現し、VPDK_{TM}を東芝ソリューション(株)組込みSW開発事業でのコアコンピタンス^(注11)とするため、VPDK_{TM}を更に機能強化していく。

文献

- (1) 石井正悟, ほか. 実機レス検証によるハードウェア依存開発からの脱却. 東芝ソリューションテクニカルニュース. 10, 夏季号, 2007, p.6-7.
- (2) 荒木 大. "High-Speed Hardware/Software Co-Verification with CPU Model Generator from Software Code". <http://www.nascug.org/5th_NASCUG_agenda.html>, (参照2007-09-16).



石井 正悟 ISHII Shogo

東芝ソリューション(株) エンベデッドソリューション事業部 要素技術開発担当主査。組込みソフトウェア検証用シミュレータの研究・開発に従事。情報処理学会会員。
Toshiba Solutions Corp.



由良 浩司 YURA Koji

(株) インターデザイン・テクノロジー 技術企画グループ部長。組込みシステム設計ソリューションの開発に従事。電子情報通信学会会員。
InterDesign Technologies, Inc.



荒木 大 ARAKI Dai, Ph.D.

(株) インターデザイン・テクノロジー ESLグループ部長, 工博。システムレベル設計ツールの企画・開発・推進に従事。IEEE, 情報処理学会会員。
InterDesign Technologies, Inc.