

動的再構成が可能な画像処理向けハードウェアエンジン

画像処理LSIのプログラマビリティと高性能・低消費電力を両立

デジタルテレビなどでは、受信した動画の復号や画質改善などに様々な画像処理技術が用いられています。画像処理において中心的な機能を担う画像処理LSIには、高性能と低消費電力に加えてプログラマビリティも要求されますが、従来のLSI設計手法での実現は困難でした。

そこで東芝は、これらすべての要求を満たすLSIとして、当社の独創的技術であるパイプライン型動的再構成方式を用いた画像処理向けハードウェアエンジンを開発しました。

実験の結果、プロセッサと比べ、約4倍の単位消費電力当たりの性能を達成できることがわかりました。今後、動的再構成が画像処理を含む様々な用途のLSIへ展開されることが期待されます。

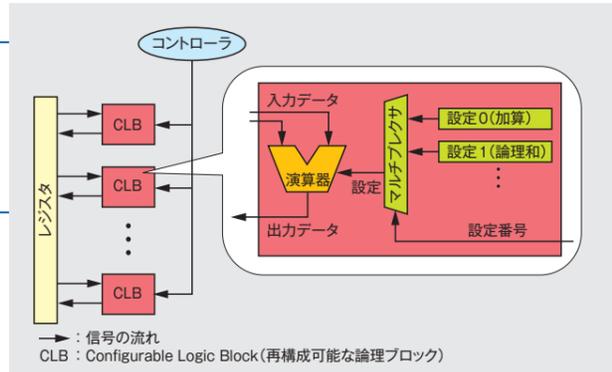


図1. 動的再構成の方法 — メモリにあらかじめロードしておいた設定情報をマルチプレクサで切り替えることで、論理ブロックの再構成を行います。

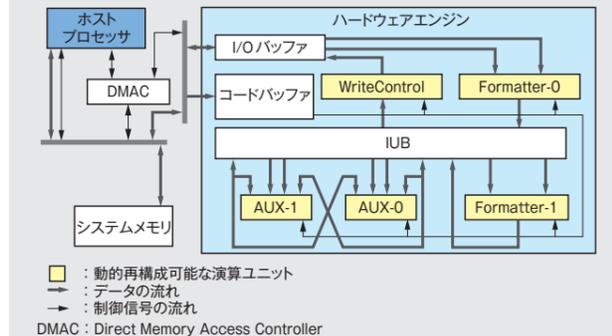


図2. ハードウェアエンジンの全体構成 — 動的再構成が可能な五つの演算ユニットが、I/Oバッファに格納された入力データを処理し、結果をI/Oバッファに書き戻します。

プログラマビリティの重要性

画像処理には高い演算能力が必要なため、画像処理LSIへの要求では高性能が第一ですが、携帯機器での利用では低消費電力も重要です。そのため、ほとんどの画像処理LSIは専用のハードウェアで実現されてきました。

ところが、標準規格のない画質改善処理などが画像処理LSIの付加価値となるにつれ、プログラマビリティも重要となってきました。各社のノウハウに基づく画質改善では頻繁な処理変更が予想され、そのつどハードウェアを設計し直すLSIの開発コストが増大するからです。ソフトウェアの修正で処理を変更できれば、同一の画像処理LSIで継続的に画質を向上できます。

動的再構成とは

動的再構成では、再構成が可能な論理ブロックの設定を、全体の動作を止めずに変更します。そのために、内部のメモリ上に複数の設定情報をあらかじめロードしておき、設定を切り替えるなどの方式が用いられます(図1)。

設定変更をソフトウェアで制御できる動的再構成LSIは、プログラマビリティを備えながらプロセッサより消費電力当たり性能が優れており、プログラマブルな画像処理LSIに最適です。

動的再構成LSIのプログラムでは、設定変更順などの制御情報と設定情報とが分離されているため、プロセッサのように重複する命令は存在しません。したがって、プログラム用メモリを小さくできます。メモリアクセス時

の消費電力はメモリの記憶容量が小さいほど低いため、動的再構成LSIはプロセッサより低消費電力になります。

ハードウェアエンジンの構成

東芝は、このような動的再構成の特長を生かした画像処理向けハードウェアエンジンを開発しました(図2)。

このハードウェアエンジンは、ホストプロセッサがI/O(Input/Output)バッファに書いたデータを動的再構成が可能な五つの演算ユニットで処理し、結果をI/Oバッファに書き戻します。処理の過程で、IUB(Inter-Unit Buffer: ユニット間バッファ)というデータバッファを介して、中間結果が演算ユニット間で受渡しされます。設定情報と制御情報はコードバッファから各演算ユニットに供給されます。

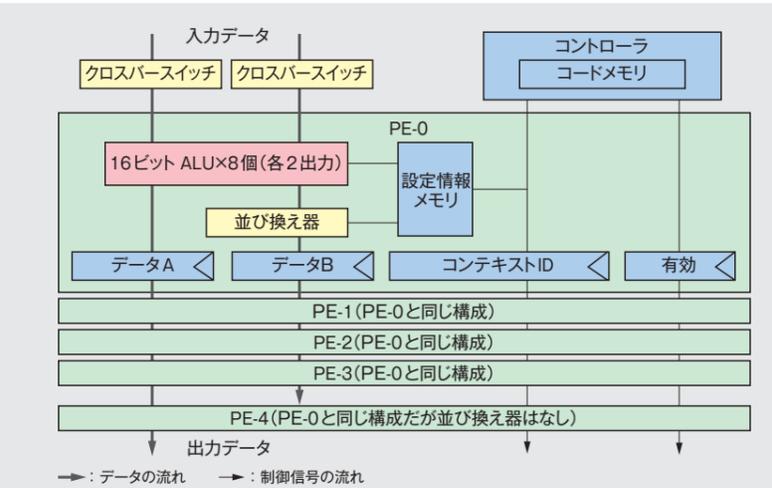


図3. Formatterの構成 — PEが5段階接続され、PEごとに演算の種類やデータの並び順を変更できます。

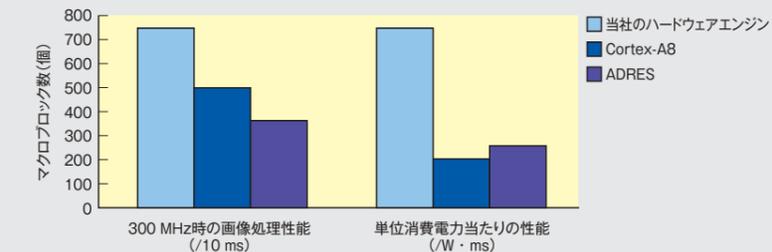


図4. H.264で符号化した動画復号時の性能と単位消費電力当たり性能の比較 — 性能はほかのLSIの約1.5~2倍、単位消費電力当たりの性能は約2.9倍~3.8倍という結果になりました。

AUXやWriteControlと同等の演算ユニットはプロセッサにもありますが、最大の特長はFormatterにあります(図3)。Formatter内部ではPE(Processing Element: 処理要素)が5段階接続され、PE単位で八つのALU(Arithmetic and Logic Unit)それぞれの演算内容と、次のPEに渡すデータの並び順を変更できます。

五つのPEの設定変更は、コントローラが発行するコンテキストID(識別番号)により制御します。しかしながら、このIDは単位時間に一つのPEへ順に到達し、PEはIDを受理した時間にそれぞれ設定を変更します。

この制御方式は、パイプライン型動的再構成方式という当社独自のものです。この方式により、Formatterのような単純な構造でも高い演算能力を出

すことが可能になります。

他のLSIとの性能比較

細かな演算変更とこの制御方式は、画像処理のような流れ作業式の並列処理に適しています。画像処理性能と単位消費電力当たりの性能を、プロセッサ(Cortex-A8)及びほかの動的再構成LSI(ADRES)と、ITU(国際電気通信連合)のH.264規格で符号化した動画の復号処理を用いて比較しました(図4)。

その結果、当社のハードウェアエンジンはプロセッサの約1.5倍、ほかの動的再構成LSIの約2倍の性能を示しました^{(1), (2)}。単位消費電力当たり性能は、それぞれ約3.8倍及び約2.9倍となりました。動的再構成の適用に加え、その構成も画像処理に適するよう工夫

されているため、画像処理の消費電力効率は、プロセッサはもちろん、ほかの動的再構成LSIをも上回りました。

このように、パイプライン型動的再構成方式を用いることで、他社よりも消費電力効率の良いプログラマブルなLSIの開発が可能になります。

動的再構成LSIの今後の展望

評価結果から、プログラマビリティが必要な画像処理においては、プロセッサの代替として当社のハードウェアエンジンは有望であると言えます。また、動的再構成を異なる形で適用すれば、画像処理以外でもプロセッサの代替が可能であり、現在ほかの分野への応用を研究中です。

しかしながら、プロセッサを動的再構成LSIに実際に置き換えるためには、課題がいくつかあります。最大の課題はソフトウェア開発の容易化です。

プロセッサでは、コンパイラ技術の進歩により、Cなどの高級言語で処理内容を記述したプログラムから実行時コードを自動生成できます。一方、動的再構成LSIでは、設定情報を自動生成する標準的な技術はまだありません。そのため、コードの自動生成についても並行して研究しています。

文献

- ARM Limited. "Architecture and Implementation of the ARM Cortex-A8 Microprocessor". <http://www.arm.com/pdfs/Tiger_Whitepaper_Final.pdf>, (accessed 2007-10-9).
- Veredas, F.-J., et al. "Custom implementation of the coarse grained reconfigurable ADRES architecture for multimedia purposes". IEEE ICFPT, Singapore, 2005-12, IEEE, p.106 - 111.

吉川 宜史

研究開発センター
コンピュータ・ネットワークラボラトリー研究主務