

# 次世代高誘電率ゲート絶縁膜HfSiONのしきい値劣化機構と寿命予測技術

Degradation Mechanism and Lifetime Projection of HfSiON as Alternative High-k Gate Dielectric

平野 泉      山口 豪      関根 克行

■ HIRANO Izumi      ■ YAMAGUCHI Takeshi      ■ SEKINE Katsuyuki

LSIの高性能化のため、従来ゲート絶縁膜として使われてきたシリコン酸化膜(SiO<sub>2</sub>膜)に替わる高誘電率ゲート絶縁膜として、窒素添加ハフニウムシリケート膜(HfSiON膜)の開発が進められている。従来とは異なる材料であるHfSiONをLSIに適用する際に、長期信頼性保証は重要な課題の一つであり、これを評価するための測定手法や寿命予測方法を確立することは急務である。

信頼性の問題の中でも、しきい値劣化に関する負バイアス温度不安定性(NBTI: Negative Bias Temperature Instability)に着目して、SiO<sub>2</sub>膜とHfSiON膜の劣化機構の違いについて検討した結果、HfSiON膜にもともと含まれる初期欠陥によりNBTIが付随的に影響され、寿命の見積もりを誤る危険性があることを見いだした。このことから、NBTI寿命予測を行うための加速試験では、初期欠陥の影響を考慮して評価する必要がある。

Nitrided hafnium silicate (HfSiON) is one of the most promising gate dielectrics for further miniaturization of large-scale integrated circuits (LSIs). Before highly reliable LSIs can be realized, however, it is necessary to establish reliability assessment in terms of device degradation including measurement techniques, as well as a lifetime prediction method.

Toshiba has clarified that pre-existing traps strongly affect the negative bias temperature instability (NBTI) of HfSiON. It is important to be able to estimate the NBTI lifetime, especially taking pre-existing bulk trap effects into consideration.

## 1 まえがき

LSIの高性能化と高集積化に伴い、トランジスタの微細化が進められている。しかし、微細化に伴うゲート絶縁膜の薄膜化により、従来使われてきたシリコン酸化膜(SiO<sub>2</sub>膜)では漏れ電流が増大し、消費電力の増大が問題となる。そこで、漏れ電流を少なくするために、SiO<sub>2</sub>膜に替わる次世代高誘電率ゲート絶縁膜として窒素添加ハフニウムシリケート膜(HfSiON膜)の実用化に向けた開発が進められている。

従来とは異なる材料であるHfSiONをゲート絶縁膜として使用するには、様々な課題をクリアする必要がある。中でも、長期信頼性保証は重要な課題の一つである。絶縁膜の信頼性には、主に絶縁破壊としきい値シフトの問題がある。東芝は、しきい値シフトの中でも、pMOS(p-channel Metal Oxide Semiconductor)で問題となる負バイアス温度不安定性(NBTI: Negative Bias Temperature Instability)に着目し、HfSiON膜とSiO<sub>2</sub>膜では劣化のふるまいが異なることを見いだした。

ここでは、HfSiON膜とSiO<sub>2</sub>膜につきNBTIの劣化機構の違いを明確にし、それに基づいたHfSiON膜の寿命予測方法を提案する。

## 2 NBTI特性と従来の寿命予測方法

NBTIとは、pMOSトランジスタをオン状態にした際に、絶

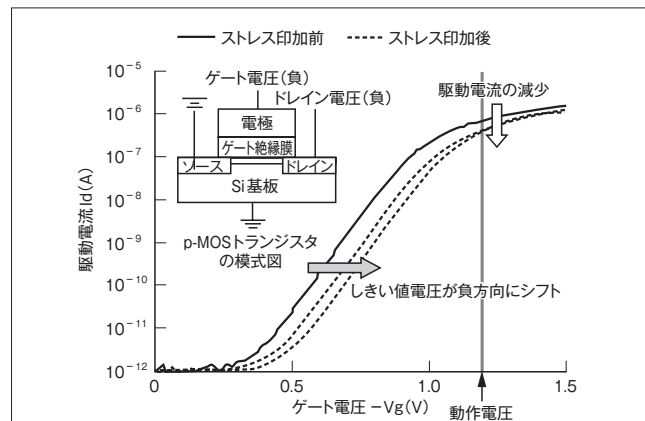
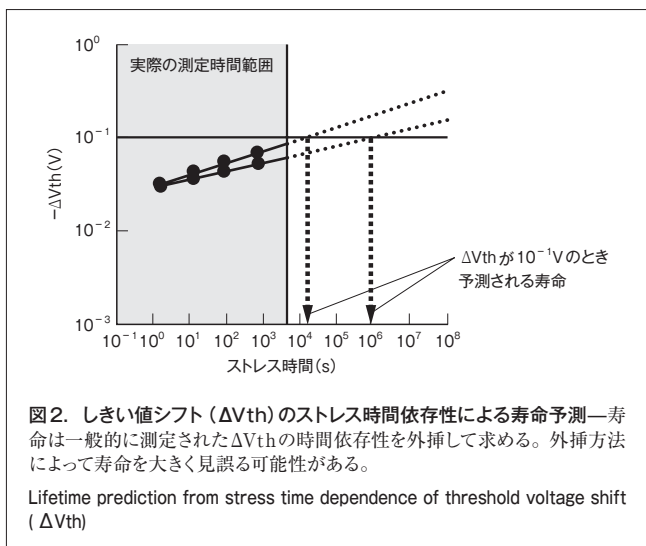


図1. MOSトランジスタの模式図とNBTI特性 — 負バイアス温度(NBT)ストレスによってId-Vg特性が負方向にシフトするため、駆動電流が低下してしまう。  
Schematic view of metal-oxide semiconductor (MOS) transistor and its NBTI characteristics

縁膜自身及び絶縁膜とSi基板の界面が劣化しトランジスタのしきい値電圧が負側にずれてしまう現象である(図1)。しきい値電圧のシフトによってトランジスタ動作時の駆動電流が減り、性能が劣化することが問題となっている。従来のSiO<sub>2</sub>膜では、このしきい値シフト(ΔV<sub>th</sub>)はストレス時間、温度、及びSiO<sub>2</sub>膜にかかる電界に依存することがわかっており、このことを利用して加速試験から実動作条件下での劣化量を見積もり、素子の寿命を予測している<sup>(1)</sup>。

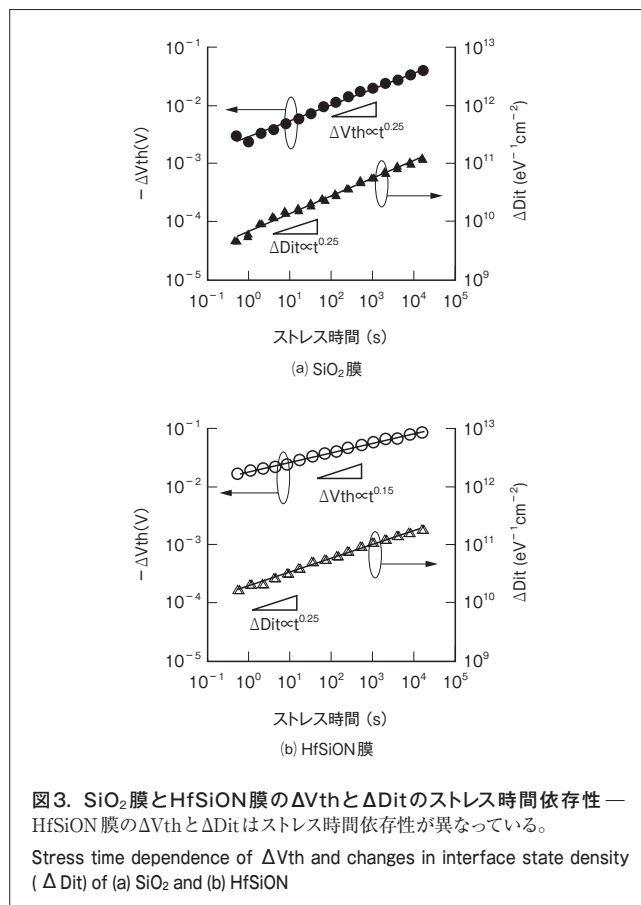


$\Delta V_{th}$  のストレス時間依存性の傾きの差が寿命予測に与える影響を図2に示す。ここで、 $\Delta V_{th} = V_{th_{stress}} - V_{th_0}$  ( $V_{th_0}$  : ストレス印加前のしきい値電圧,  $V_{th_{stress}}$  : ストレス印加後のしきい値電圧) と定義する。通常、測定可能な時間範囲での  $\Delta V_{th}$  のストレス時間依存性から長時間の領域を外挿して、ある一定量の  $\Delta V_{th}$  となる時間を寿命として求めている。図2に示すように、外挿を行う際の時間依存性の傾きが小さいと予測寿命は長くなり、傾きが大きいと予測寿命は短くなる。このことから、傾きの見積りをまちがえると寿命を大きく見誤る可能性があり注意が必要である。

### 3 HfSiON膜とSiO<sub>2</sub>膜のNBTI特性の違い

SiO<sub>2</sub> と HfSiON をゲート絶縁膜として用いたトランジスタについて、現実的な測定時間範囲 (約 10<sup>4</sup> s) における  $\Delta V_{th}$  と界面準位密度 (Dit) の増加 ( $\Delta Dit = Dit_{stress} - Dit_0$  ( $Dit_0$  : ストレス印加前の界面準位密度,  $Dit_{stress}$  : ストレス印加後の界面準位密度)) の時間依存性を図3に示す。SiO<sub>2</sub> 膜については、 $\Delta V_{th}$  及び  $\Delta Dit$  とストレス時間の間に、“べき”の相関 ( $\Delta V_{th}, \Delta Dit = a \cdot t^\beta$ ) があり、その傾き  $\beta$  は  $\Delta V_{th}$  と  $\Delta Dit$  のどちらにおいても 0.25 となる。これは、SiO<sub>2</sub> 膜における  $\Delta V_{th}$  の起源が界面準位によるものであり、SiO<sub>2</sub> 膜と Si 基板の界面の弱い結合 (Si-H) が切れて界面準位が生成していくモデルで説明されている<sup>[2]</sup>。これに対し、HfSiON 膜についても  $\Delta V_{th}$  及び  $\Delta Dit$  とストレス時間の間に“べき”の相関があり、 $\Delta Dit$  の  $\beta$  は約 0.25 で SiO<sub>2</sub> 膜と同じ値であるが、HfSiON 膜の  $\Delta V_{th}$  の  $\beta$  は約 0.15 と小さい値であることがわかった。

このように、HfSiON 膜では  $\Delta V_{th}$  と  $\Delta Dit$  のストレス時間依存性が異なっており、 $\Delta V_{th}$  の起源が界面準位だけではないことが示唆される。HfSiON 膜の  $\Delta V_{th}$  の起源は SiO<sub>2</sub> 膜と異なる可能性があるため、この  $\beta$  を用いた外挿で寿命を予測するこ



とは危険である。

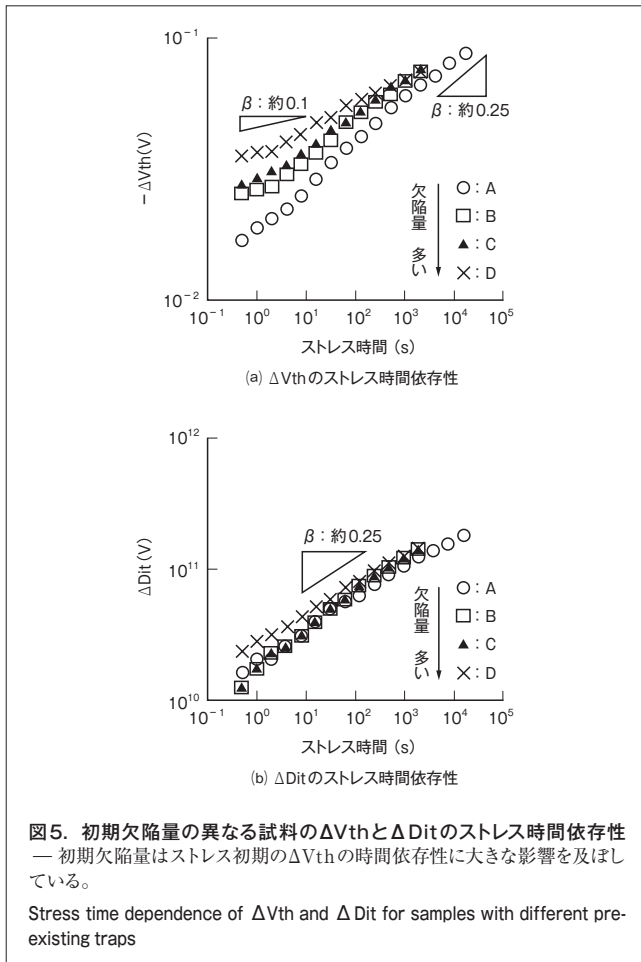
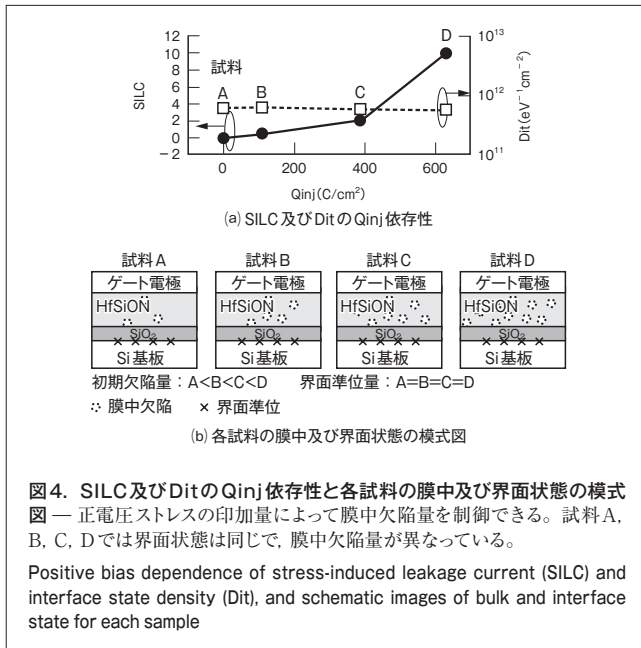
### 4 HfSiON膜中の初期欠陥がNBTI特性に与える影響

高誘電率膜には、膜中に初期欠陥が多く存在することが報告されている<sup>[3]</sup>。3章で示した HfSiON 膜と SiO<sub>2</sub> 膜の NBTI 特性の違いは初期欠陥による影響であると推測し、実際に膜中の初期欠陥量が異なる試料を用いて、NBTI 特性や寿命予測に対して初期欠陥がどのような影響を与えるかを検証する。

#### 4.1 初期欠陥量の異なる試料の作成

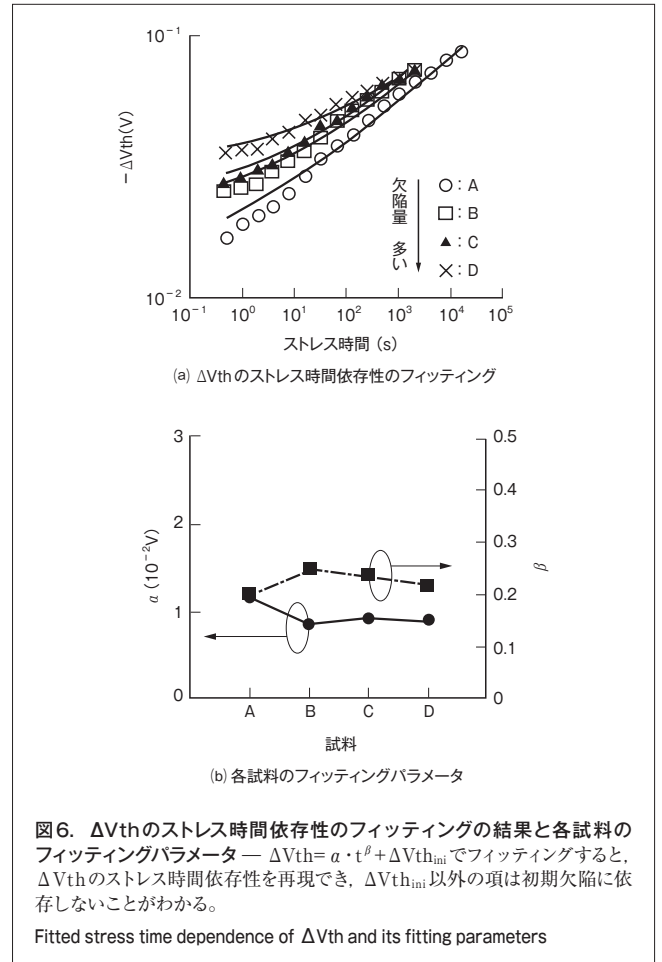
HfSiON 膜に正電圧ストレスを一定時間印加することによって、意図的に膜中に欠陥を生成させることができる。膜中の欠陥の量は正電圧ストレスによる注入電荷量 ( $Q_{inj}$ ) を変化させて制御し、膜中欠陥量の異なる四つの試料 A, B, C, D を作成した。各試料の  $Q_{inj}$  とストレス誘起リーク電流 (SILC: Stress Induced Leakage Current) 及び Dit の関係を図4(a)に示す。SILC は膜中の欠陥を介して流れる電流であるため、SILC 量の違いは膜中欠陥量の違いを表していると考えられる。また、Dit は界面欠陥の量を表している。正電圧ストレスによる  $Q_{inj}$  が多い試料ほど SILC は多くなるが、Dit はほとんど変化しないことがわかる。このことから、正電圧ストレスを印加した各試料は、 $Q_{inj}$  に依存して膜中欠陥量が  $A < B < C < D$

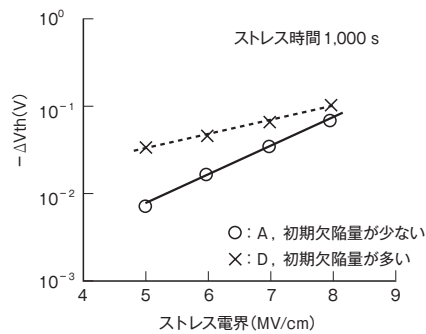
の順に多くなっているが、界面の状態は正電圧ストレスによる  $Q_{inj}$  に依存せず一定であると考えられる。図4(b)に各試料の膜中及び界面の状態の模式図を示す。



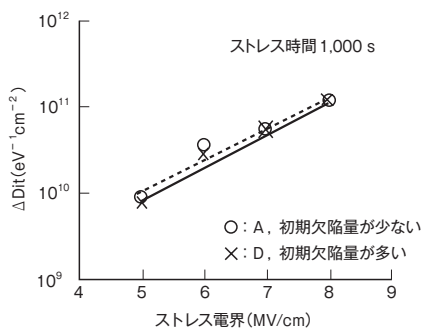
## 4.2 時間依存性への影響

図4で示した初期欠陥量が異なる試料A, B, C, Dの負バイアス温度 (NBT) ストレス下での $\Delta V_{th}$ と $\Delta Dit$ のストレス時間依存性を図5に示す。特にストレス時間が短い領域では、初期欠陥量が多い試料ほど $\Delta V_{th}$ の時間依存性の“べき”の $\beta$ が小さくなる傾向があり、長時間ストレスを印加すると、 $\beta$ が0.25に漸近していくことがわかる。また、 $Dit$ については初期欠陥量によらず同様の時間依存性を示し、その $\beta$ は約0.25となる。この結果から、膜中初期欠陥量は、ストレス初期の領域での $\Delta V_{th}$ の時間依存性に強く影響を及ぼすことがわかる。そこで、ストレスを印加した直後に初期欠陥に電荷が捕獲されると考え、それによる $V_{th}$ の変化量を $\Delta V_{th}_{ini}$  (時間依存性を持たない項)として、 $\Delta V_{th} = a \cdot t^\beta + \Delta V_{th}_{ini}$ でフィッティングを行った結果を図6(a)の実線で示す。ここで、 $\Delta V_{th}_{ini}$ はストレス印加直後の $\Delta V_{th}$ を用いた。一方、図6(b)に示すように、初期欠陥量の異なる各試料において、 $a$ 及び $\beta$ の値はほとんど変わらない。このように、各パラメータ $a$ 及び $\beta$ を変えずに、 $\Delta V_{th}_{ini}$ を導入することで $\Delta V_{th}$ の時間依存性を再現できることから、図3で示した現実的な測定時間(約 $10^4$ s)での見かけの時間依存性の $\beta$ は、主に膜に含まれた初期欠陥に起因して小





(a)  $\Delta V_{th}$ のストレス電界依存性



(b)  $\Delta Dit$ のストレス電界依存性

図7. 初期欠陥量の異なる試料の $\Delta V_{th}$ と $\Delta Dit$ のストレス電界依存性 —  $\Delta Dit$ は初期欠陥の量に依存せずどの試料も同じ電界依存性を示すが、 $\Delta V_{th}$ は初期欠陥が多い試料の電界依存性が小さくなる傾向を示す。

Electric field dependence of  $\Delta V_{th}$  and  $\Delta Dit$  for samples with different pre-existing traps

さいと考えられる。

### 4.3 電界依存性への影響

次に電界依存性について述べる。実際のトランジスタのNBTI寿命は、電界加速試験における電界依存性から見積もられるため、 $\Delta V_{th}$ の電界依存性は重要である。図4で示した初期欠陥量が異なる試料A、DにNBTストレスを1,000 s印加した後の、 $\Delta V_{th}$ と $\Delta Dit$ のストレス電界依存性を図7に示す。 $\Delta Dit$ は初期欠陥の量に依存せず、どの試料も同じ電界依存性を示すが、 $\Delta V_{th}$ は初期欠陥が多い試料の電界依存性が小さくなる傾向を示すことがわかる。

このように初期欠陥が電界加速係数の見積もりにも影響を及ぼすため、電界加速試験による寿命予測では、膜の初期欠陥量に応じて測定結果を慎重に取り扱う必要がある。

## 5 初期欠陥の影響を取り除いた寿命予測方法

4章で、HfSiON膜中の初期欠陥が、測定可能な時間領域でのNBTI特性に影響を及ぼすことを示した。そこで、実験的に初期欠陥の影響を取り除くための方法を提案する。図6に示すように、初期欠陥量の異なる試料の $\Delta V_{th}$ の時間依存

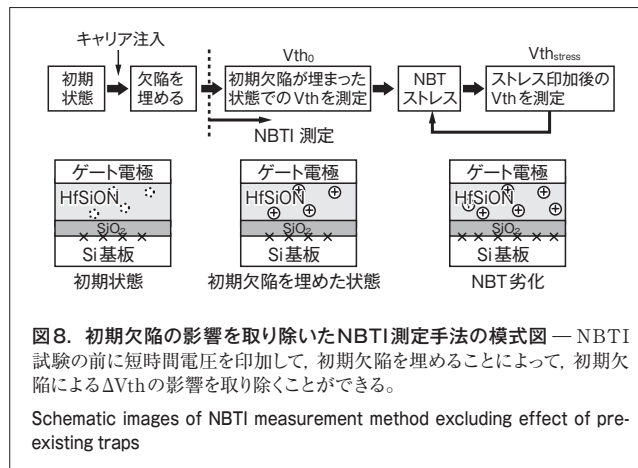


図8. 初期欠陥の影響を取り除いたNBTI測定手法の模式図 — NBTI試験の前に短時間電圧を印加して、初期欠陥を埋めることによって、初期欠陥による $\Delta V_{th}$ の影響を取り除くことができる。

Schematic images of NBTI measurement method excluding effect of pre-existing traps

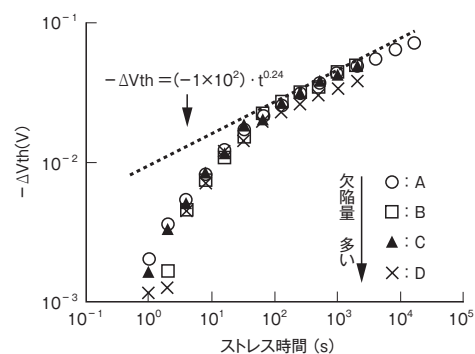


図9. 初期欠陥を埋めた後の $\Delta V_{th}$ のストレス時間依存性 — 図8の方法で初期欠陥影響を取り除くと $\Delta V_{th}$ のストレス時間依存性は初期欠陥量に依存しない。

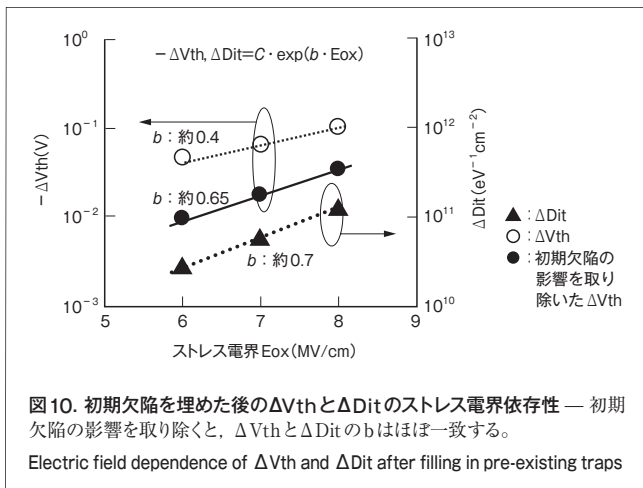
Stress time dependence of  $\Delta V_{th}$  after filling in pre-existing traps

性は $\Delta V_{th_{ini}}$ を導入することで再現できる。そのため、NBTI試験を行う前に、非常に短時間の電圧印加によりキャリアを注入して初期欠陥を埋め、その状態でのしきい値電圧を $V_{th0}$ として試験を行うことにより、初期欠陥の影響を少なくしたNBTI特性を得ることができる(図8)。

図4の各試料に図8の方法でNBTI試験を行って得られた $\Delta V_{th}$ の時間依存性を図9に示す。初期欠陥を埋めた後の $\Delta V_{th}$ の時間依存性はどの試料も同じになり、初期欠陥量による影響を取り除けたことがわかる。100 sよりも長い時間領域では、 $\Delta V_{th}$ の時間依存性は“べき”の依存性を持ちその $\beta$ は約0.24であり、 $\Delta Dit$ の時間依存性の“べき”の $\beta$ と近い値であることから、初期欠陥の影響を取り除いたNBTIは、 $SiO_2$ 膜と同様にDitの増加が主な原因であると推測される。また、100 sよりも短い時間領域で $\beta$ が0.24から外れているのは、今回の初期欠陥を埋めるためのキャリア注入が同時に劣化を引き起こしているためであり、キャリア注入プロセスの最適化により解決できると考えている。

通常の測定を行った場合及び膜中の欠陥を埋めた場合に

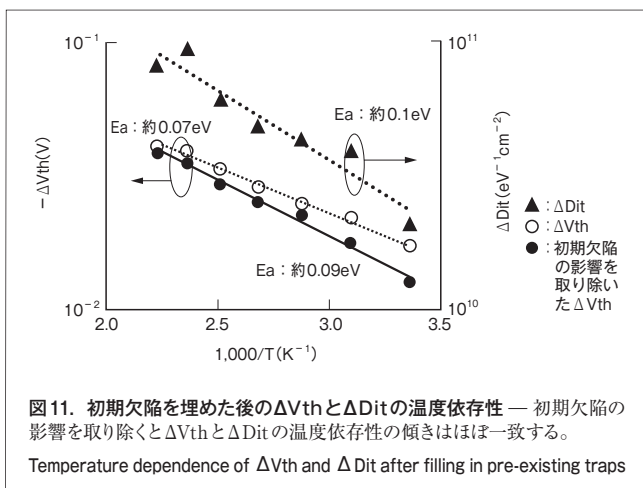




ついて、 $\Delta V_{th}$ と $\Delta Dit$ の電界依存性を図10に示す。 $\Delta V_{th}$ と $\Delta Dit$ は、電界に対して指数関数的に増加する傾向にある。ここで、初期欠陥による $\Delta V_{th}$ を考慮に入れないと電界依存性の傾き $b$ は約0.4となり、 $\Delta Dit$ の $b$ の約0.7と比べて小さな値となる。一方、初期欠陥を埋めた後の $\Delta V_{th}$ の $b$ は約0.65となり、 $\Delta Dit$ の $b$ と近い値となる。

また、HfSiON膜に対して通常のNBTI測定を行った場合及び膜中欠陥を埋めてNBTI測定を行った場合の $\Delta V_{th}$ と $\Delta Dit$ の温度依存性を図11に示す。SiO<sub>2</sub>膜では、 $\Delta V_{th}$ と $\Delta Dit$ は同様の温度依存性を示し、活性化エネルギー ( $E_a$ ) は約0.2eVである。これは、SiO<sub>2</sub>膜の $\Delta V_{th}$ と $\Delta Dit$ の機構が同じことを示唆しており、界面のSi-HからのHの脱離拡散が原因であると報告されている<sup>(2),(4)</sup>。HfSiON膜に対して通常の測定を行った場合、 $\Delta V_{th}$ の $E_a$ は約0.07eVとなり、 $\Delta Dit$ の $E_a$ と比べて小さな値となる。しかし、初期欠陥を埋めた後にNBTI試験を行った場合、 $\Delta V_{th}$ の $E_a$ は約0.09eVとなり、 $\Delta Dit$ の $E_a$ とほぼ同じ値になる。

この結果から、初期欠陥による $\Delta V_{th}$ の影響を取り除くと、



$\Delta V_{th}$ と $\Delta Dit$ の起源は同じであり、SiO<sub>2</sub>膜の場合と同様の劣化機構であると考えられる。HfSiON膜とSiO<sub>2</sub>膜の $\Delta V_{th}$ の劣化(NBTI)の差は、膜中の初期欠陥に起因するものが主であると考えられ、加速試験を行う寿命予測において、初期欠陥の影響を取り除けばSiO<sub>2</sub>膜と同様に予測可能であることが示唆される。

## 6 あとがき

HfSiON膜は実用化にもっとも近い高誘電率ゲート絶縁膜として開発が進められているが、まだ解決すべき課題が残されている。

当社は、信頼性の問題の一つであるNBTIにおいて、SiO<sub>2</sub>膜との相違点としてHfSiON膜にもともと存在する初期欠陥が大きく影響していることを示した。この影響を取り除く評価プロセスを用いることによって、従来のSiO<sub>2</sub>膜と同様の方法で寿命予測を行うことができる。HfSiON膜を用いたLSIのいち早い製品化を目指して、更に高精度な寿命予測方法の提案及び高信頼化技術の確立を目指していく。

## 文献

- (1) J.H.Stathis; S.Zafar. The Negative Bias Temperature Instability in MOS Devices. A Review. *Microelectronics Reliability*. **46** 2-4, 2006, p.270 - 286.
- (2) K.O.Jeppson; C.M.Svensson. Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices. *Journal of Applied Physics*. **48**, 5, 1977, p.2004 - 2014.
- (3) S.Zafar, et al. Charge Trapping in High-k Gate Dielectric Stacks. *Tech. Digs.IEDM 2004*. San Francisco, 2004-12, IEEE, p.517 - 520.
- (4) Y.Mitani, et al. NBTI mechanism in ultra-thin gate dielectric: Nitrogen-originated mechanism in SiON. *Tech.Digs. IEDM 2002*. San Francisco, 2002-12, IEEE, p.509 - 512.



平野 泉 HIRANO Izumi

研究開発センター LSI基盤技術ラボラトリー。高誘電率ゲート絶縁膜の信頼性技術の研究・開発に従事。応用物理学会会員。  
Advanced LSI Technology Lab.



山口 豪 YAMAGUCHI Takeshi, Ph.D.

研究開発センター 研究企画室参事, 工博。高誘電率ゲート絶縁膜のプロセス技術及び信頼性技術の研究・開発に従事後, 研究企画業務に従事。応用物理学会会員。  
Research Planning Office



関根 克行 SEKINE Katsuyuki, Ph.D.

セミコンダクター社 プロセス技術推進センター プロセス開発第四部主務, 工博。次世代NAND用高誘電率絶縁膜の開発に従事。応用物理学会会員。  
Process & Manufacturing Engineering Center