

ランタンアルミネート直接接合ゲート絶縁膜

Lanthanum Aluminate Gate Dielectric Technology with Direct Interface

鈴木 正道

■ SUZUKI Masamichi

山口 豪

■ YAMAGUCHI Takeshi

小山 正人

■ KOYAMA Masato

将来のSi(シリコン)-LSI高性能化のために、金属酸化膜半導体(MOS)トランジスタ用ゲート絶縁膜は1 nm以下への薄膜化が必要であるが、従来の材料である酸化シリコン(SiO₂)は薄膜化でその絶縁性が破綻(はたん)するため、より誘電率の高い(以下、High-kと記す)ゲート絶縁膜の導入が必須である。既存のハフニウム(Hf)系High-kゲート絶縁膜では、Si基板との界面に不可避免的に低誘電率層が形成され、これが更なる薄膜化を阻害していた。

東芝は、Si基板と、Hfを含まない新たなHigh-kゲート絶縁膜として、ランタンアルミネート(LaAlO₃)の直接接合形成に成功した。この結果、SiO₂換算厚さ0.31 nmという世界最高水準の薄膜化を達成し、更に漏れ電流をSiO₂膜に対して100万分の1にまで抑制することに成功した。

The further miniaturization of silicon large-scale integrated circuits (Si LSIs) has required the replacement of conventional silicon dioxide (SiO₂) gate dielectrics with a material having higher dielectric permittivity (i.e., high k), in order to realize thin gate dielectrics and suppress the gate leakage current.

Toshiba has proposed lanthanum aluminate (LaAlO₃) as a high-k gate material. We have succeeded in directly bonding LaAlO₃ film with Si substrate without any interface layer, thereby achieving an ultrathin equivalent oxide thickness (EOT) of 0.31 nm. Moreover, defects in the LaAlO₃ film were dramatically reduced at the same time, resulting in a remarkably low leakage current as small as one-millionth that of conventional SiO₂ gate dielectrics.

一般論文

1 まえがき

急速に発展する情報処理技術の進歩に対し、Si(シリコン)-LSI高性能化の寄与は極めて大きい。その高性能化は、LSIの基本構成単位であるMOSトランジスタ(図1)の微細化によって実現されてきた。

微細化に伴い、図1に示したMOSトランジスタのゲート絶

縁膜厚を段階的に薄膜化する必要がある。これにより、単位面積当たりの電気容量Cを大きくし、トランジスタの駆動電流を増加できる。Cは、ゲート絶縁膜の誘電率と膜厚をそれぞれε、dとして次式のように表される。

$$C = \frac{\epsilon}{d}$$

従来ゲート絶縁膜として用いられてきた酸化シリコン(SiO₂)膜の場合、膜厚が1 nm以下になると、量子力学的トンネル効果による漏れ電流が顕在化し、その絶縁性が破綻する。これにより、LSIの消費電力が許容範囲を大幅に超えてしまう。この問題を解決するのが高誘電率(以下、High-kと記す)ゲート絶縁膜技術である。SiO₂よりもεが大きい絶縁膜材料を用いれば、dを薄くしないでCを大きくさせることができ、漏れ電流を低減させながら駆動電流を増加できる。

半導体製品技術の世代ごとの進歩を予測する半導体国際技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors)⁽¹⁾によれば、High-kゲート絶縁膜が初めて搭載される2008年ごろの製品では、ハフニウムシリケート(HfSiO)₂、窒化ハフニウムシリケート(HfSiON)などのHf系酸化物の適用が有力である。Hf系酸化物は耐

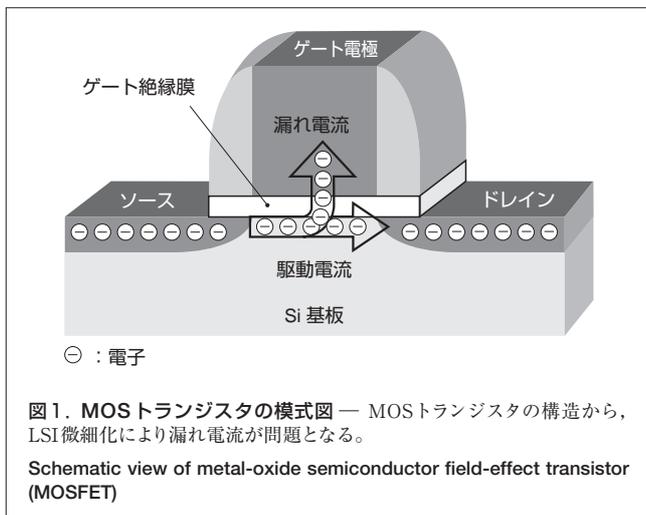
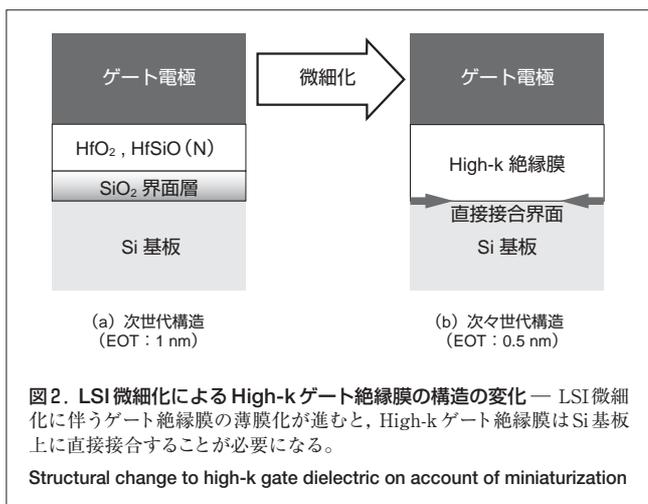


図1. MOSトランジスタの模式図 — MOSトランジスタの構造から、LSI微細化により漏れ電流が問題となる。

Schematic view of metal-oxide semiconductor field-effect transistor (MOSFET)

熱性が高く、従来LSIプロセスとの整合性が良い。また、この世代で要求されるSiO₂換算膜厚(EOT: Equivalent Oxide Thickness)は1 nm弱で、Hf系酸化物で達成できる。

一方、今から10年後、2016年ごろ量産予定製品のゲート絶縁膜は、EOT 0.5 nm以下の薄膜化が必須と予測されている。Hf系酸化物には、Si基板との界面にSi酸化物から成る遷移層が不可避免的に生じるという難点があり、この界面遷移層がEOT 0.5 nm以下の実現を強く阻害する。EOT 0.5 nm以下の性能を達成するには、界面遷移層の形成を排したHigh-kとSi基板の直接接合構造の実現が不可欠である(図2)。



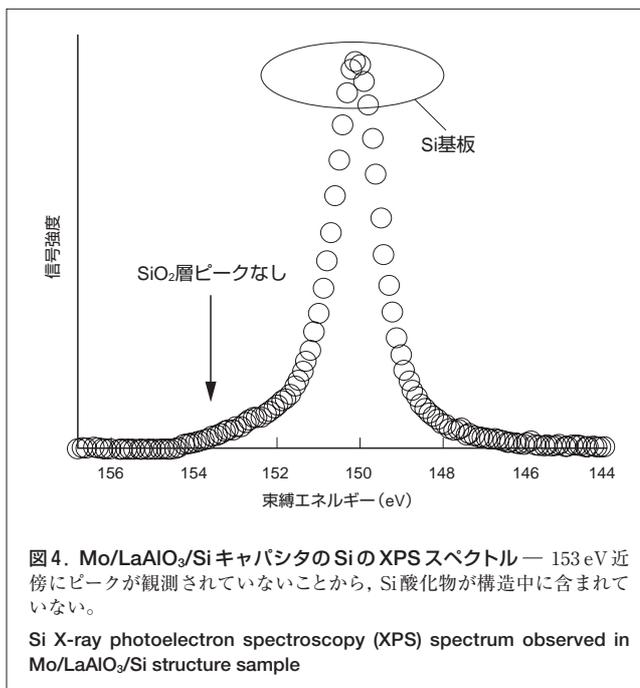
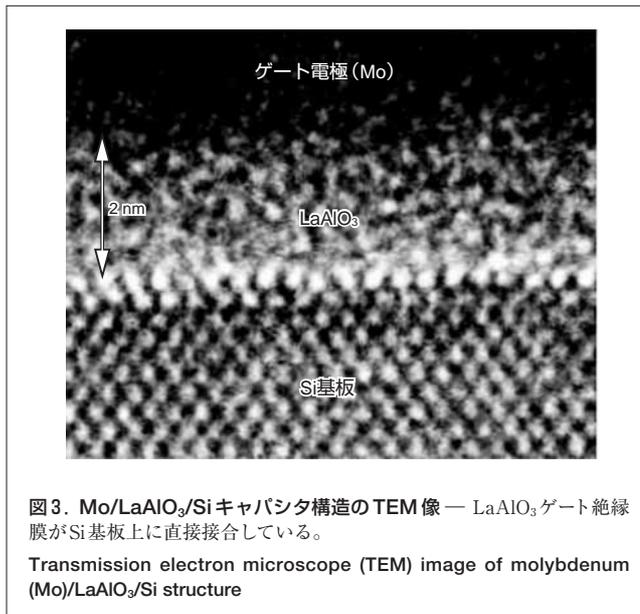
東芝は、High-k材料としてSiと反応を起こしにくいランタニアルミネート(LaAlO₃)に注目した。そして、その製造方法を工夫することで、Si基板と直接接合したHigh-kゲート絶縁膜を開発し、世界最高水準の性能を示すことに成功した。ここでは、この直接接合LaAlO₃ゲート絶縁膜の性能を示すとともに、その実現の鍵となった製造プロセスについて述べる。

2 直接接合LaAlO₃ゲート絶縁膜の実現と電気特性

ゲート電極にモリブデン(Mo)を用いたLaAlO₃-MIS(金属・絶縁体・半導体)構造の断面透過型電子顕微鏡(TEM)像を図3に示す。LaAlO₃とSi基板の界面にSi酸化物層が存在すると白いコントラストの層状構造として観測されるが、図3ではそれが観測されない。したがって、TEM像からは、LaAlO₃はSi基板と直接接合していると判断される。

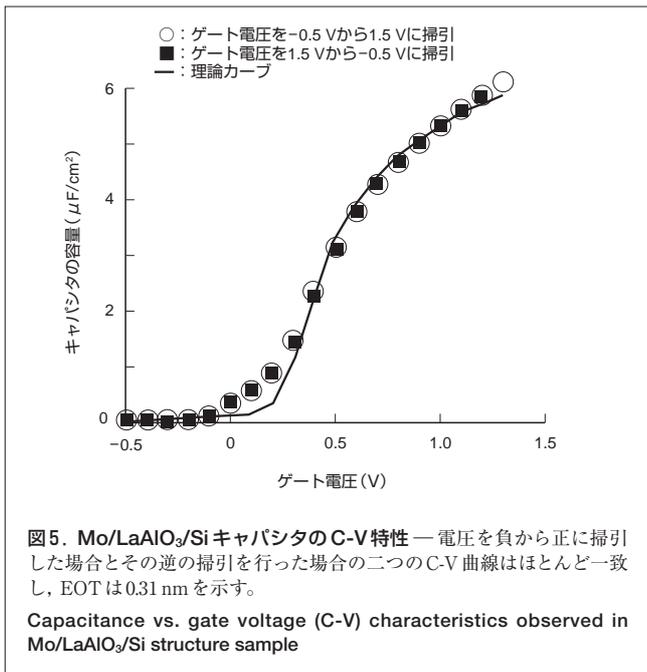
TEMによる構造観察だけでは、界面の極薄Si酸化物層を見落とす可能性がある。そこで厳密な確認のため、光電子分光法(XPS)による界面原子結合状態の評価を行った。

LaAlO₃/Si積層構造試料から検出された、Si原子の結合の情報を示すXPSスペクトルを図4に示す。図4において、



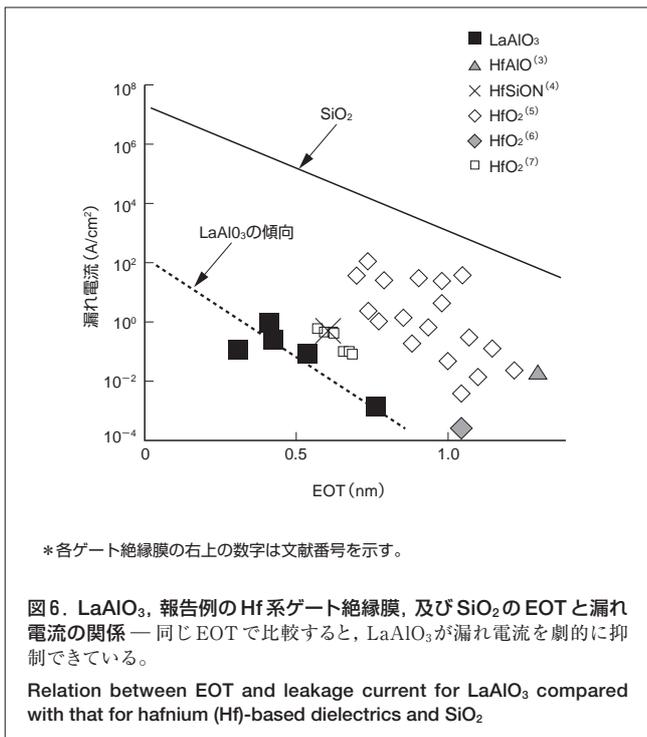
150 eV近傍に検出される強いピークは、Siどうしが結合している場合の信号であり、X線がSi基板中で励起した光電子がLaAlO₃を通過して検知されたものである。このようにSi基板からの信号が十分な強度で検出されていることから、LaAlO₃/Si基板界面にSi酸化物層が存在すれば、Si酸化物層由来のピーク(153 eV近傍)が十分な強度で観測されるはずである。しかし、図4にはそのピークを見いだすことはできない。これによりLaAlO₃/Si界面は、原子数層分のSi酸化物層も存在しない直接接合系であることが確認された。

図3のTEM像に示したMo/LaAlO₃/n-Si(n型Si)積層



キャパシタの容量-ゲート電圧 (C-V) 特性を図5に示す。ゲート正電圧側で容量が大きく、ゲート負電圧側で容量が小さいという、典型的なキャパシタのC-V特性が得られた。

C-V特性において、電圧を負から正に掃引した場合と、その逆の掃引を行った場合の曲線はほぼ一致した。絶縁膜中に電氣的に活性な欠陥が含まれれば、この2本のカーブはヒステリシスを示すことから、LaAlO₃が極めて良質な膜であることがわかる。ゲート正電圧側の容量はLaAlO₃のEOT



を反映していて、最大で6 μF/cm²という極めて大きい値を示した。実験で得られたC-V特性に図中実線で示した理論カーブをフィッティングした結果、EOTは0.31 nm、SiO₂では2原子層程度という、極めて薄い値を実現した⁽²⁾。

LaAlO₃のEOTとゲート電圧1 Vにおける漏れ電流量との関係を、Hf系酸化物の報告データ⁽³⁾⁻⁽⁷⁾とSiO₂の理論データとともに、図6に示す。この図では、横軸、縦軸とも小さいほど性能が高く、グラフの左下に存在するプロットほど、薄膜かつ低漏れ電流の高性能ゲート絶縁膜であると言える。

図6に示されるように、当社が開発したLaAlO₃/Si構造は、EOTが極めて小さいばかりでなく、SiO₂に対して100万分の1、Hf系酸化物に対しても10分の1以下の漏れ電流性能を示した。この優れた性能の最大の要因は、図3及び図4で明らかにしたSiO₂界面層の排除であり、直接接合によって高い性能が示されたと考えられる。

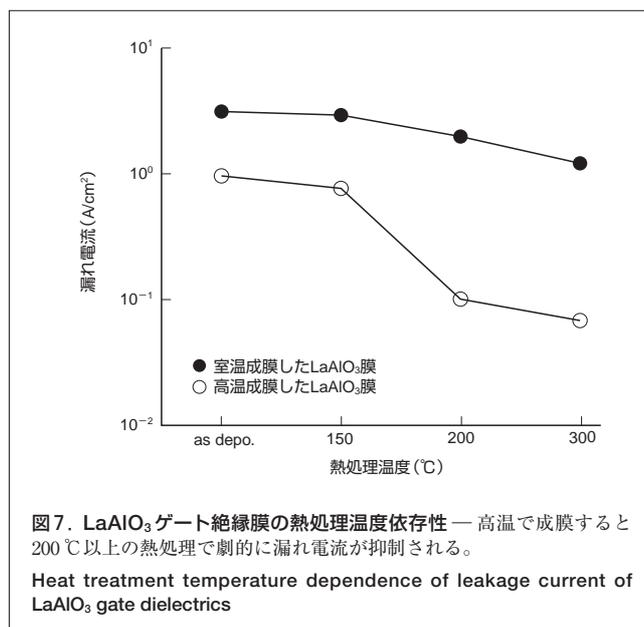
3 高温成膜プロセスの重要性

2章で説明した極めて高い性能を誇るLaAlO₃/Si直接接合の実現には、LaAlO₃/Siという本来的に優れた材料の選択に加え、その製造方法の最適化が不可欠であった。その詳細について以下に述べる。

3.1 高温成膜プロセスの漏れ電流抑制効果

室温及び700 °Cで成膜したLaAlO₃膜の、ゲート電圧1 Vにおける漏れ電流値の熱処理温度依存性を図7に示す。熱処理はすべて5分間実施した。

まず、as-depo. (たい積後熱処理なし) どうしを比較すると、室温成膜 LaAlO₃のほうが漏れ電流が大きい。今回のように比較的厚いLaAlO₃の漏れ電流は、膜中の構造欠陥を介して



電子が輸送されるメカニズムで支配されていると考えられる。したがって、 LaAlO_3 を高温で成膜することにより、膜中の欠陥が著しく低減することが示唆される。

一方、図7の漏れ電流値の熱処理依存性から、成膜時の温度によらず、熱処理温度の増加に伴い漏れ電流は低減した。たい積後熱処理はたい積時の膜中欠陥の回復のための工程であり、たい積温度によらずその効果が確認できる。ここで、熱処理による漏れ電流の改善幅は、高温成膜 LaAlO_3 のほうが大きい。すなわち、高温成膜条件でもたい積時点では LaAlO_3 中の構造欠陥を完全に取り除くことはできないが、これらの欠陥はたい積後熱処理で容易に回復可能であることがわかった。熱処理後の漏れ電流は、欠陥以外の要因が支配する機構であることが別途判明しており、熱処理後の高温成膜 LaAlO_3 膜の欠陥密度は極めて低いといえる。

このように、高温成膜とたい積後熱処理の適切な組合せに

よって、 LaAlO_3 中の欠陥を低減化することができ、その結果として極めて低い漏れ電流が実現できたものと考えられる。

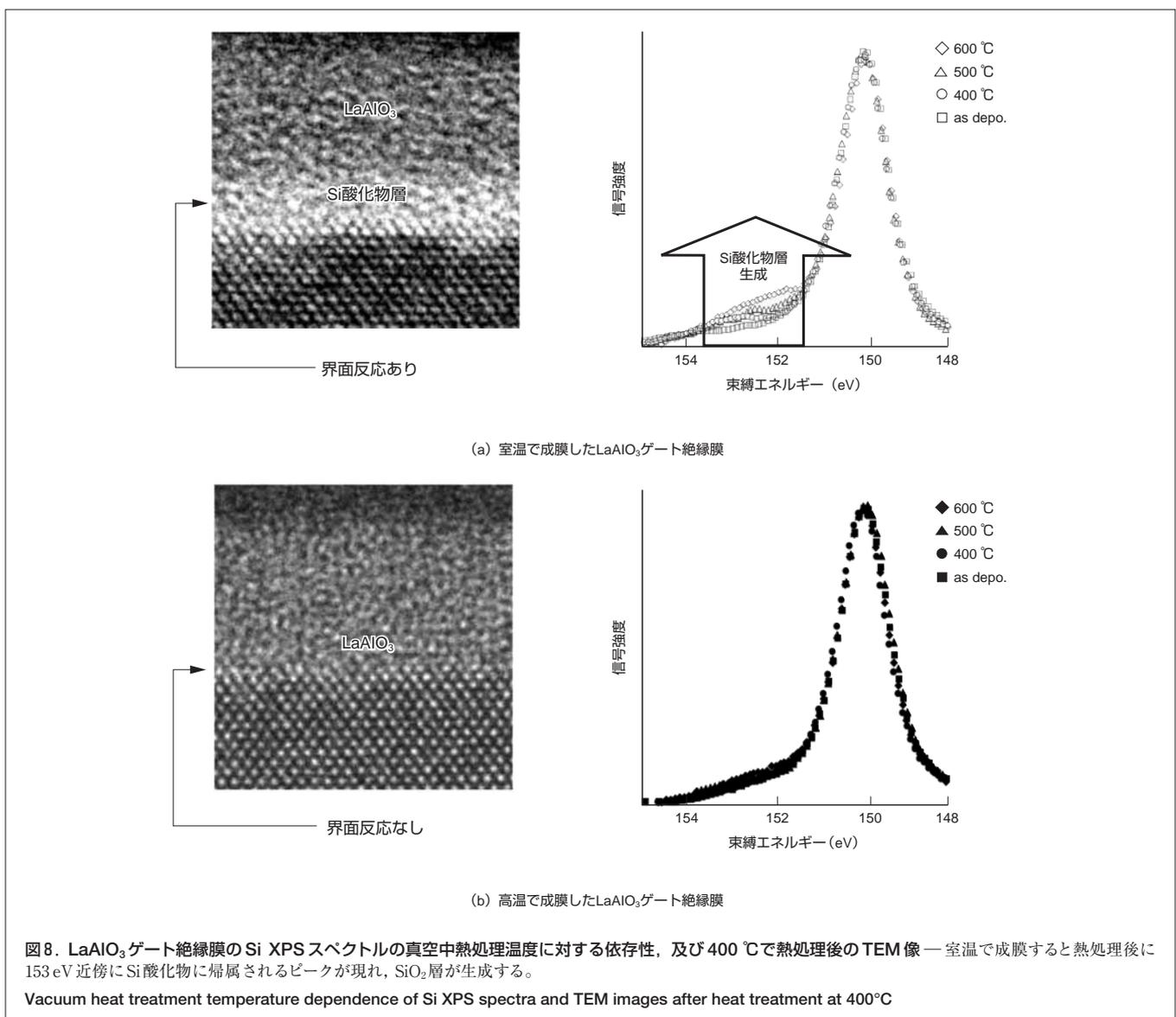
3.2 高温成膜プロセスの界面層抑制効果

EOT 0.5 nm 以下の実現のための、Si 酸化物界面層の完全抑制には、 LaAlO_3 膜中の余剰酸素の管理が鍵となる。

室温で成膜した LaAlO_3 膜と700℃で成膜した LaAlO_3 膜それぞれに対して、真空中(5×10^{-5} Pa)で、400℃~600℃の温度で5分間の熱処理を施し、その後SiのXPSスペクトルを測定することで、界面層生成の挙動を調べた。この実験では外部からの酸素供給は遮断されているため、 LaAlO_3 内部の余剰酸素の影響だけを調べることができる。

それぞれ室温及び700℃で成膜した LaAlO_3 膜のSiのXPSスペクトルの真空中熱処理温度依存性を、400℃の熱処理後のTEM像とともに、図8に示す。

図8において、as-depo.状態では、Si酸化物層に起因する



XPS ピークは両試料ともに観測されない。室温成膜 LaAlO₃ 膜では、熱処理により Si 酸化物層起因のピークの成長が確認された。これに対し高温成膜 LaAlO₃ 膜では、600 °C 熱処理においても Si 酸化物層起因のピークは観測されない。TEM 観察の結果から、室温成膜 LaAlO₃ 膜の真空熱処理後に観測された Si 酸化物層起因ピークは、LaAlO₃/Si 界面層に起因することが明らかとなった。

この実験では真空中熱処理を実施しているので、室温成膜試料で観測された Si 酸化物の界面層を構成する酸素は、LaAlO₃ 内部から供給されている。LaAlO₃ 中に La や Al と強固に結合していない、不完全な結合状態に置かれた酸素が熱処理により移動できる状態となり、その一部が Si 基板まで拡散し、界面酸化層の形成につながったと推定される。このような不完全な酸素結合は高温成膜により取り除かれ、成膜後熱処理を施しても界面 Si 酸化物層の形成を引き起こさない、高品質な LaAlO₃ を実現できたものと考えられる。

4 あとがき

10年後のLSI製品には、EOT 0.5 nm 以下級の極薄ゲート絶縁膜が不可欠である。当社では、その候補として直接接合した LaAlO₃/Si 積層構造の研究を行い、EOT が 0.31 nm でかつ漏れ電流が SiO₂ 比 100 万分の 1 という、極めて高い性能を得た。本質的な物性に優れた LaAlO₃ 材料を選択したことに加え、その製造方法を改善することによって LaAlO₃ 膜中の構造欠陥を劇的に低減化したことが大きな鍵となっている。

当社は、ここで述べた研究成果を基に、製品化に向けた更なる改良と集積化技術の開発を進めていく。そして、10年後の超高性能LSI実現に必要な最先端のゲート絶縁膜技術を提供し、情報化社会の発展に貢献していく。

文献

- (1) ITRS. ITRS. 2005 Edition.
< <http://www.itrs.net/Links/2005ITRS/Home2005.htm> > (accessed 2006-10-02).
- (2) M. Suzuki, et al. Ultra thin (EOT=3Å) and low leakage dielectrics of La-Aluminate directly on Si substrate fabricated by high temperature deposition. Tech. Dig. IEDM. 2005, p.445 - 448.
- (3) S. D. Gendt, et al. Implementation of high-k gate dielectrics-a status update. Ext.Abstr. IWGLI 2003, p.10 - 14.
- (4) M. Koike, et al. Effect of Hf-N Bond on Properties of Thermally Stable Amorphous HfSiON and Applicability of this Material to Sub 50nm Technology Node LSIs. Tech. Dig. IEDM. 2003, p.107 - 110.
- (5) M. I. Gardner, et al. EOT Scaling and Device Issues for High-k Gate Dielectrics. Ext.Abstr. IWGLI 2003, p.170 - 173.
- (6) S. J. Lee, et al. Characteristics of TaN gate MOSFET with ultrathin hafnium oxide. Tech. Dig. IEDM. 2000, p.39 - 42.
- (7) C. Choi, et al. Fabrication of TaN-gated Ultra-Thin MOSFETs (EOT <1.0nm) with HfO₂ using a Novel Oxygen Scavenging Process for Sub 65nm Application. Symp. VLSI tech. 2005, p.226 - 227.



鈴木 正道 SUZUKI Masamichi

研究開発センター LSI 基盤技術ラボラトリー。先端 LSI の材料、プロセス、デバイスの技術開発に従事。応用物理学会会員。

Advanced LSI Technoloy Lab.



山口 豪 YAMAGUCHI Takeshi, Ph.D.

研究開発センター 研究企画室 企画担当参事, 工博。高誘電率ゲート絶縁膜のプロセス技術・信頼性技術の研究・開発に従事後, 研究企画業務に従事。応用物理学会会員。

Corporate Research & Development Center



小山 正人 KOYAMA Masato, Ph.D.

研究開発センター LSI 基盤技術ラボラトリー主任研究員, 工博。先端 LSI の材料、プロセス、デバイスの技術開発に従事。応用物理学会会員。

Advanced LSI Technoloy Lab.