

テラビット光電気 LSI パッケージ

Optoelectronic LSI Package with Bandwidth Capacity Exceeding 1 Tbps

古山 英人

■ FURUYAMA Hideto

浜崎 浩史

■ HAMASAKI Hiroshi

沼田 英夫

■ NUMATA Hideo

次世代のパソコンや高性能ゲーム機に使用される超高性能プロセッサなど、大容量データを扱うシステム オン チップ (SoC) に適応可能な、高性能 LSI パッケージを開発した。今回開発した LSI パッケージは、1 ライン当たり 10 Gbps (ビット/s) 以上の光配線を高密度集積しており、パッケージ全体で 1T (テラ: 10^{12}) bps 以上のデータ転送が可能である。また、ボード実装時に光配線部を分離できる構造としているため、標準の FR-4 (ガラスエポキシ基板 難燃性グレード 4) 実装ボードと量産ラインのはんだリフロープロセスがそのまま適用でき、量産性と信頼性に優れる特長を持っている。

この LSI パッケージにより、大容量光電気混載システムが経済的に構築可能となる。

Toshiba has developed a novel high-performance large-scale integrated circuit (LSI) package that is adaptable to ultrawide-bandwidth system-on-chip (SoC) technology, which will be used for next-generation PCs or next-generation high-performance game consoles. The novel LSI package allows data transfer exceeding 1 Tbps because it has a densely integrated optical interconnection with a wiring bandwidth of more than 10 Gbps per line. In addition, the package has a structure that permits the optical interface module to be separated when the board is assembled. This means that the solder reflow process can be applied to standard FR-4 boards without requiring any change in the conventional mass-production line, thus securing mass-productivity and reliability.

The emergence of this type of optoelectronic (OE) LSI package will facilitate the realization of high-capacity systems that are reasonably priced.

1 まえがき

近年の電子機器の高性能化は、標準的な実装基板である FR-4 基板の配線速度を急激に高速化させており、東芝製 Cell 搭載ボードでは 5 Gbps/ch (チャンネル) の高速配線が用いられている⁽¹⁾。ところが FR-4 基板は、10 Gbps/ch を超えると材料損失や分散などで本質的に配線が難しくなり、距離制限も厳しくなる。現在、もっとも高速な汎用 FR-4 配線としては、8 Gbps/ch が発表されている⁽²⁾。また、高速化に伴う配線クロストークの増大で配線スペースが肥大化しやすく、電磁干渉 (EMI) の対策も深刻になってくる。

このような背景から、10 Gbps/ch 以上の高速化を目的とした光電気混載 LSI パッケージの発表が行われている⁽³⁾。光配線を用いると配線ピッチの縮小と高速化が両立できるほか、EMI 対策にも有利となる。しかしながら、これまで発表されてきた光電気パッケージでは、実装ボード搭載に一般的量産手法であるはんだリフローの適用が難しいという問題があり、実用化の大きな障壁となっていた。

ここでは、光配線部を LSI 搭載基板から分離できるようにし、はんだリフロー実装が適用でき、既存パッケージとの量産性や信頼性のコンパチビリティも確保した光電気混載 LSI パッケージ POST-PKG_{TM} (Post-reflow Optical-interface

Stacking Technique LSI Package)⁽⁴⁾と、そのテラビット級動作の検証について述べる。

2 POST-PKG_{TM} の概要

今回開発した POST-PKG_{TM} の基本コンセプトを図 1 に示す。POST-PKG_{TM} は、BGA (Ball Grid Array) インタポーザ

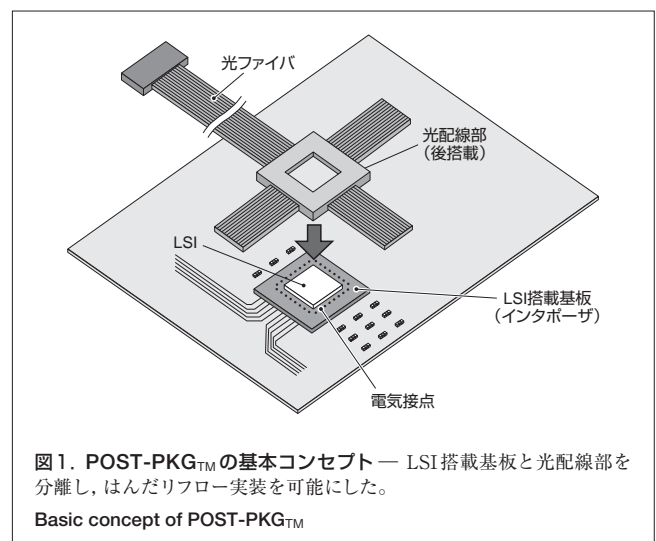


図 1. POST-PKG_{TM} の基本コンセプト — LSI 搭載基板と光配線部を分離し、はんだリフロー実装を可能にした。

Basic concept of POST-PKG_{TM}

などのLSI搭載基板と光配線部から成り、その間を電気的な差動デジタル配線で接続している。このためLSI搭載基板は、FR-4ボードへの接続端子(下面)のほか、光配線部への電極を上面の空きスペースに形成している。

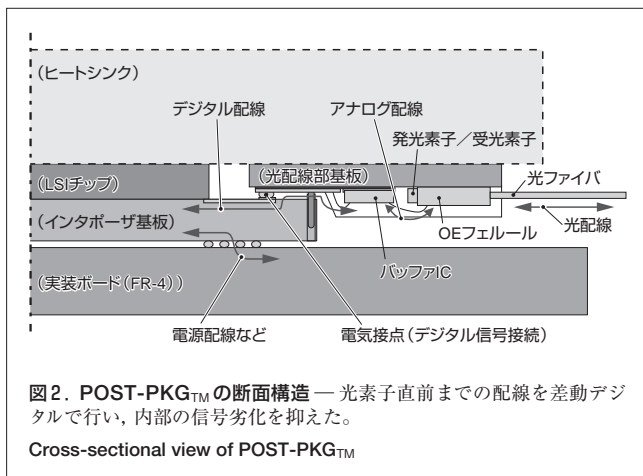
2.1 LSI搭載基板(インタポーザ)

LSI搭載基板は、上面にも電極を形成する以外は、一般的インタポーザ基板と同じものであり、工程途中のマスクパターンを一部変更するだけで作製が可能である。また、FR-4ボードへの実装は、一般的なはんだリフロー工程が適用でき、その量産性や信頼性、コストなどは、これまでのLSIパッケージと同等である。

2.2 光配線部

光配線部は、LSI搭載基板のはんだリフローが終了した後積層し、機械的な接触で電気接続を行う。このように構成することで光配線部をはんだリフローの熱工程から解放し、構成部品や適用材料の制限を大幅に緩和できるようにした。このため、POST-PKG™では後述するような樹脂の成型部品や接着剤を用いることができ、モジュール構成や構成部材の低コスト化にも有効なパッケージ方式となる。

POST-PKG™の断面構造を図2に示す。高速信号はLSIからインタポーザ配線と電気接点を通して光配線部に入り、バッファICで電圧/電流変換され、同時に波形整形が行われてOE(光電気)フェルール(光ファイバの保持部材)に送られる。このとき、電気接点を含む内部配線を光素子の直前まで差動デジタル配線で行い、アナログ配線をバッファICから光素子までのごく短い配線だけにする事で、信号の劣化を抑えている。もちろん、受信の場合には、その逆経路で信号が戻される。

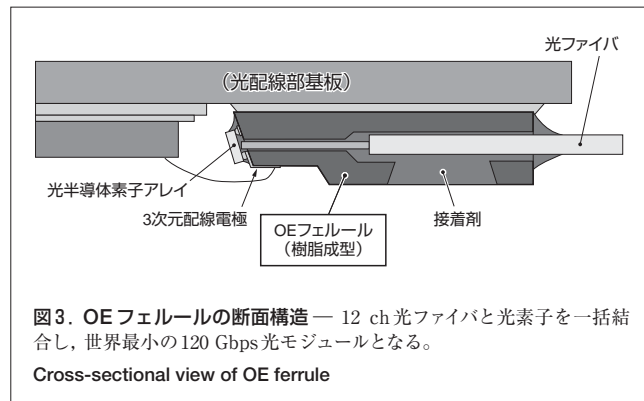


POST-PKG™は、内部配線や電気接点部での高速制限が懸念されるが、実際には内部配線距離が短く、また、差動デジタル配線を用いているため、LSI搭載基板から光配線部までの配線インピーダンス制御が±10%程度でも、10~20

Gbps/chの配線速度を実現できている。

2.3 OEフェルール

OEフェルールは、光半導体素子(VCSEL:面発光レーザ、PINPD:受光ダイオード)と光ファイバの光結合を行うとともに、光半導体素子の電極を引き出してワイヤボンディングができるようにするための部品である。OEフェルールの断面構造を図3に示す。OEフェルールは、樹脂のインジェクションモールドで作製しており、材料的にも製法的にも非常に低コスト化が可能である。構造として、内部に光ファイバリボンの整列孔と保持部を持っており、光ファイバ端面が露出する端部に光半導体素子の装着電極を形成し、更に、その電極を側面まで3次元メッキ配線で延長してボンディングパッドとしている。光半導体素子は、前記の装着電極にフリップチップ実装し、光ファイバ端面に対向するよう配置される。これにより、光半導体素子アレイと光ファイバリボンとの一括光結合と、光半導体素子の電気接続をコンパクトに実現している。また、光ファイバと光半導体素子の結合面は角度を持たせており、戻り光雑音を抑制するよう最適化してある。OEフェルールのサイズは4.4mm×4.5mm×1.0mmであり、12chのリボンファイバ及び光半導体素子が結合可能である。光素子として10Gbps/chの素子を用いた場合、120Gbpsのピグテール光モジュールが前記サイズで得られることになり、光ファイバ結合を含む光モジュールとしては世界最小と言える。



3 動作特性の検証

3.1 動作検証パッケージ

POST-PKG™は、10Gbps/ch以上の高速配線を多数配線可能なパッケージであるが、現在のところ、10Gbps/chの高速信号を扱うLSIがなく、ここでは細径同軸ケーブルをインタポーザ中央に引き込み、LSI入出力端子の代わりとした。この擬似入出力端子を配列するスペースのつごうで、光配線部は全体の1/4だけを実装した。今回の検証パッケージの概略仕様を表1に示す。

動作検証パッケージの外観を図4に示す。細径同軸ケー

ブル(φ 0.86 mmセミリジッド)は、高周波コネクタ(SMA)からインタポータ中央まで、実装ボード裏面で直接接続されて

表1. 動作検証パッケージの概略仕様
Specifications of prototype package

項目	仕様
インタポータ	40 mm × 40 mm, 4層FR-4 BGA
配線帯域	256 Gbps (1/4 エリア)
配線チャンネル構成	10.7 Gbps × 24 ライン(光)
光配線媒体	250 μm ピッチ 12 心リボンファイバ
光配線電力	3.5 W (3.3 V時) / 256 Gbps

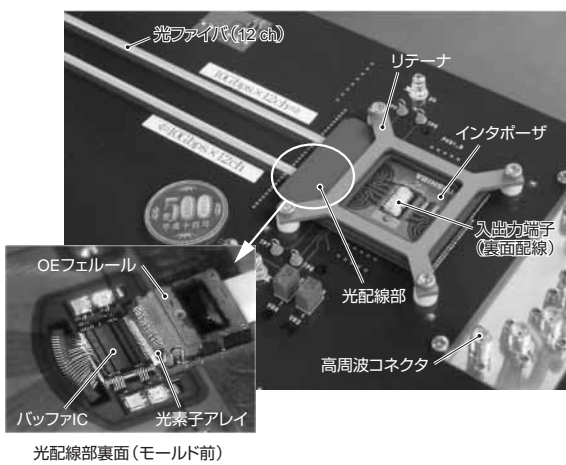


図4. 動作検証パッケージの外観 — 高速動作LSIの代わりに、細径同軸ケーブルでインタポータ中央に信号を入出力する。

Prototype package for operation test

いる。光配線部は、リテーナによりインタポータに押し当てられ、インタポータの表面電極と電氣的に接続されている。動作検証パッケージの評価は、評価ボード上の対向伝送により行った。

3.2 伝送評価結果

評価ボードの外観と10 Gbps/ch 伝送特性の評価結果を図5に示す。評価ボードには、光配線の対向セットとともに電気配線の対向セットを設けている。電気配線は、配線長200 mmの直線配線、同スルーホールを2回通した表面と裏面のスルー配線(直線)、配線長220 mmの1回蛇行配線、配線長400 mmの5回蛇行配線の4種類を用意した。評価ボードへのインタポータ搭載は、一般的なはんだリフロープロセスにより同時一括で行った。

伝送評価の結果として、電気配線は、直線配線、スルー配線、及び1回蛇行配線がほぼ同じ結果となり、スルーホールや蛇行の影響はあまり見られなかった。しかしながら、配線長400 mmの5回蛇行配線はアイパターンがつぶれてしまい、10 Gbpsの信号が配線できなかった。1回蛇行の結果から、5回蛇行の効果よりも配線長の効果でアイパターンがつぶれたものと考えられる。これに対し、光配線の効果は一目瞭然(りょうぜん)であり、別途行った配線長を10倍(2,000 mm = 2 m)及び100倍(20 m)とした伝送評価でも、まったく同様の結果が得られた。

3.3 エラーレート評価

前記評価ボードを用いて、光配線のエラーレート評価を行った。評価はPRBS(擬似ランダム信号)伝送により行い、 2^7-1 及び $2^{31}-1$ の2種類の信号について評価した。また、光配線長は200 mmと2,000 mmの2段階を評価した。

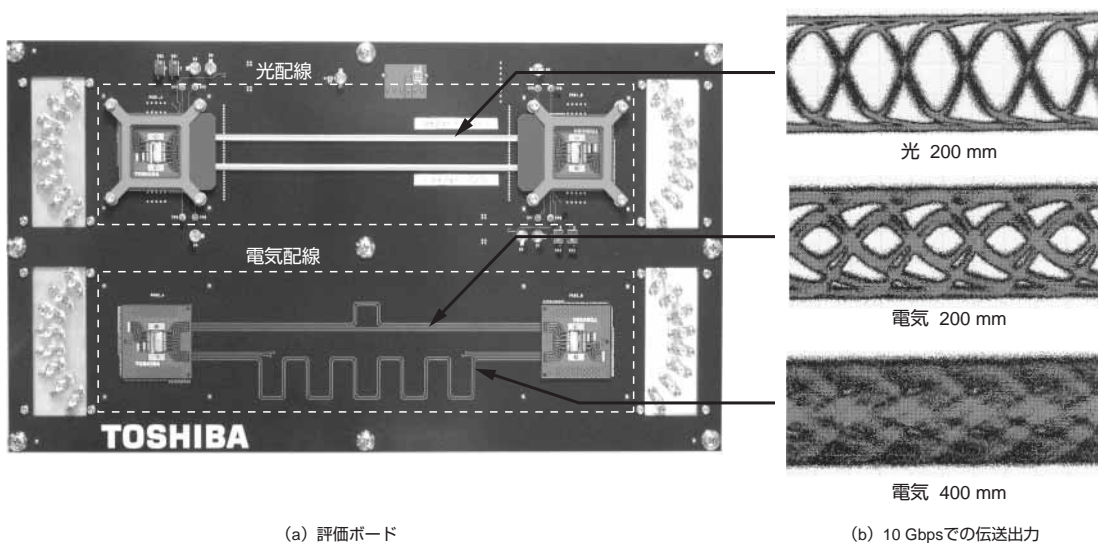


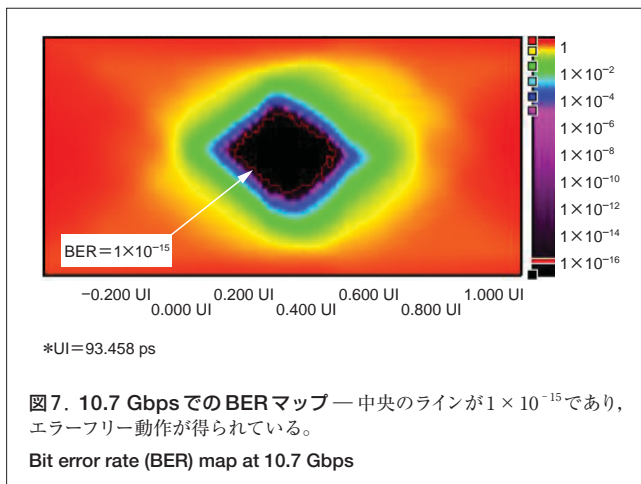
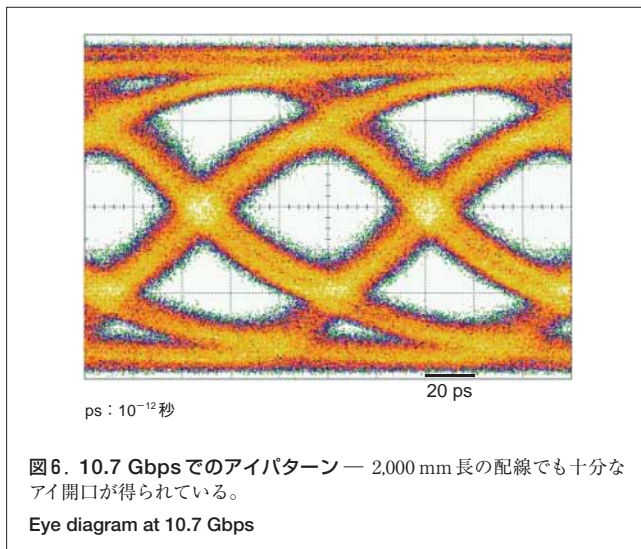
図5. 評価ボードの外観と伝送特性 — 電気配線と光配線のインタポータをはんだリフローで同時実装した。

Board for evaluation test and results

結果として、10 Gbps/ch伝送では、図5に示したようにきれいにアイが開いており、ビットエラーレート (BER) は、PRBS 2^7-1 , $2^{31}-1$ ともに実測値として 1×10^{-14} より小さかった。また、この結果は光配線長が200 mmと2,000 mmで同じであった。

4 POST-PKG_{TM}の配線能力

動作検証パッケージの光配線長を2,000 mm、配線速度を10.7 Gbps/chとした場合のアイパターンを図6に示す。10 Gbps/chに比べるとややアイ開口が小さくなっているが、十分な開口が得られていることがわかる。この条件でのBERマップを図7に示す。図7のBERマップ内側の線は、ガウス分布を仮定した推定値ではあるが、BER = 1×10^{-15} の境界ラインを示しており、今回用いたパッケージでBERが 1×10^{-15} 以下となる、ほぼエラーフリーの領域のアイ開口は、130 mV, 0.3UI (Unit Interval)であった。



このように、今回開発したPOST-PKG_{TM}では、パッケージ基板1辺当たり10.7 Gbps \times 24 (=256 Gbps)の配線能力を持っており、光配線チャンネルをすべての領域に搭載することにより、パッケージ全体で1 Tbps以上の配線能力を持たせることができる。

5 あとがき

最先端SoCの能力を十二分に引き出し、民生システムを高性能化するための量産対応型光電気混載LSIパッケージPOST-PKG_{TM}を開発した。その配線能力は、テラビット領域に達しており、将来の超高速チップ間配線の需要にも対応可能である。今後、更なる大容量化のための開発を進めるとともに、実用化に向けた信頼性の向上を進めていく。

謝 辞

この開発を進めるにあたり、ご協力いただいた住友電気(株)の関係各位に深く感謝の意を表します。

文 献

- (1) 佐藤勇一, ほか. Cell リファレンスセットのハードウェア構成. 東芝レビュー. **61**, 6, 2006, p.30-36.
- (2) W. T. Beyene, et al. "Performance analysis of multi-gigahertz parallel bus with transmit pre-emphasis equalization". MTT-S International Microwave Symposium, TH3G-3, 2005. IEEE.
- (3) T. Mikawa, et al. "Over 10Gbps/ch compact active interposer module for high-speed and high-density chip level optical interconnects". LEOS 2003 The 16th Annual Meeting, vol.1. IEEE. 2003, p.364-365.
- (4) H. Hamasaki, et al. "Novel optoelectronic LSI packaging suitable for standard FR-4 printed wiring board with bandwidth capability of over 1Tbps". Proc. 56th ECTC, 2006, p.298-302.



古山 英人 FURUYAMA Hideto

セミコンダクター社 半導体研究開発センター 先端BEOL技術開発部主査。光通信デバイス、光配線技術の研究・開発に従事。電子情報通信学会、応用物理学会、エレクトロニクス実装学会会員。
Center for Semiconductor Research & Development



浜崎 浩史 HAMASAKI Hiroshi

セミコンダクター社 半導体研究開発センター 先端BEOL技術開発部主務。光配線技術の研究・開発に従事。エレクトロニクス実装学会会員。
Center for Semiconductor Research & Development



沼田 英夫 NUMATA Hideo

セミコンダクター社 プロセス技術推進センター 半導体組立要素技術部主務。半導体組立要素技術の開発に従事。
Process & Manufacturing Engineering Center