

# ナノデバイスのロバスト設計を目指すシミュレーション技術

## ばらつきに強いナノスケールトランジスタの設計を目指して

トランジスタの微細化が進み原子の大きさのスケールに近づく、トランジスタを形成する原子一つ一つのふるまいが、トランジスタの性能ばらつきとして顕著に現れてきます。この研究では、ドーピング不純物原子の数や位置のばらつきに注目しました。コンピュータ上で不純物原子の数や位置のばらつきを考慮したシミュレーションを行い、極微細トランジスタの性能ばらつきを支配する物理的要因を調べました。その結果、不純物原子の数と位置のばらつきにより引き起こされるpn接合障壁高さのばらつきが、トランジスタ性能のばらつきを理解するキーポイントであるとわかりました。

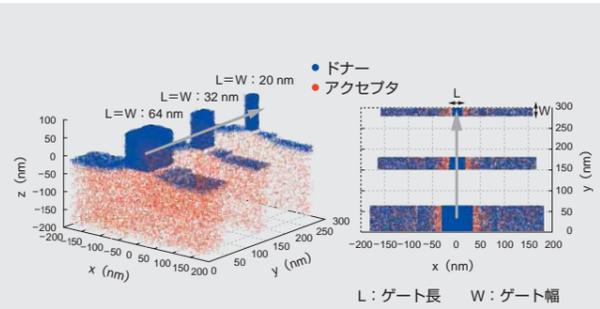


図1. トランジスタのスケールと不純物原子分布の様子 — トランジスタが小さくなるほど、局所的な不純物原子の数や位置のばらつきが、トランジスタの性能ばらつきとして顕著に現れてくると考えられます。

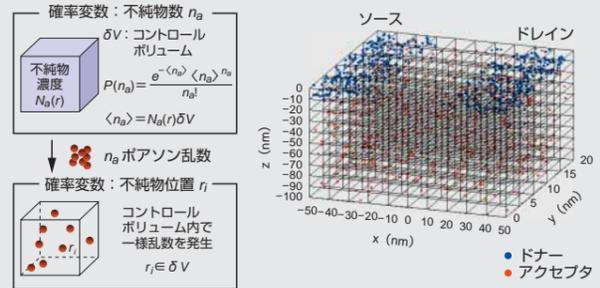


図2. 原子性を考慮した不純物分布の生成方法 — 不純物の原子数に対してはポアソン乱数を、位置に対しては一様乱数を用いることで、様々な不純物原子分布をコンピュータ上で発生させます。

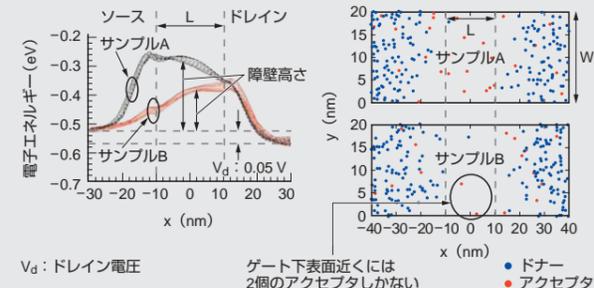


図3. 不純物のばらつきがpn障壁ばらつきを起こすようす — チャネル領域とソース・ドレイン領域の不純物原子分布が異なるサンプルを比べたものです。トランジスタのpn接合障壁高さにばらつきが生じています。

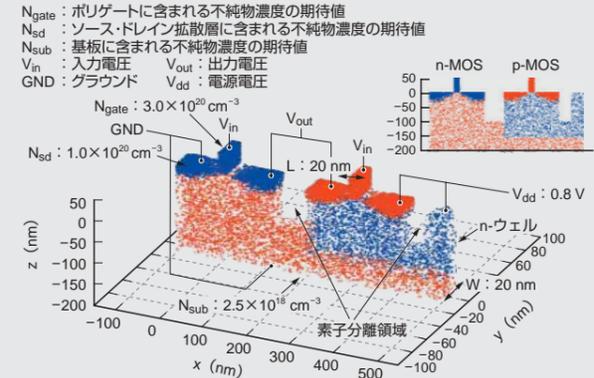


図4. シミュレーションに用いた極微細 CMOS インバータの構造 — L=W: 20 nm, ゲート絶縁膜厚: 1.4 nm の例を示しています。

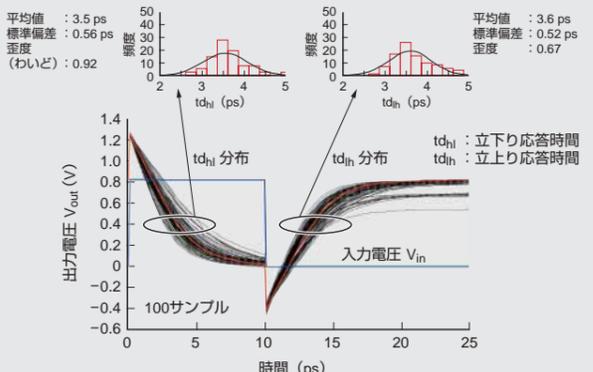


図5. CMOS インバータの過渡応答特性 — 青線で表されるパルス上に V\_in を与えたときの、V\_out のようすを示します。不純物原子の位置が異なる 100 個のインバータに関して調べた結果です。不純物ばらつきによって、t\_dh と t\_dfl のばらつきが生じてしまうことがわかります。

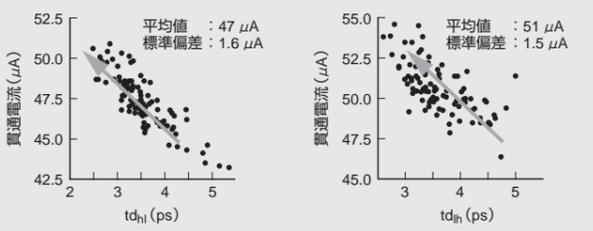


図6. 貫通電流値と応答時間 — 貫通電流値の大きなデバイスほど t\_dh 及び t\_dfl が速いという相関が認められます。pn 障壁が低いトランジスタから構成されるインバータほど貫通電流が大きく、短時間にたくさんの電荷移動が起こるため、High level と Low Level 間の遷移が速くなるのが原因です。

### 1 億個を超えるトランジスタの集積

近年の最先端シリコン LSI は、ゲート長 100 nm を切るナノスケールのトランジスタが、1 億個以上集積化されてきています。それら 1 億個以上のトランジスタに、完全に同一な性能を期待するのは難しく、LSI は“ばらつき”と無縁ではありません。従来は回路のレベルでこのばらつきへの冗長設計がされていたが、ばらつきを引き起こしている物理・化学的な要因そのものを見直すことにより、トランジスタレベルでばらつきに強い設計が可能になります。このような設計指針をロバスト設計と呼びます。

### 本質的な不純物原子のばらつき

トランジスタの性能にばらつきを引

き起こす要因としては、マスクパターン転写時のゲート長やゲート幅のばらつきをはじめ様々な要因が知られていますが、いずれのばらつき要因も、トランジスタが小さくなるほど顕在化します。その中でも不純物原子の数や位置のばらつきは、ほとんど確率的な現象であるため、厳密な制御が不可能という意味で、本質的なばらつきであると考えられています(図1)。

### 不純物分布の離散性を考慮する

東芝は、始めにまず単体の MOS (金属酸化膜半導体) 型トランジスタにおいて、そのような不純物原子のばらつきがどのような物理現象を引き起こすのか調べました。このような洗出しには、現象を容易に視覚化できる、コンピュータによるシミュレーション技術が役に

立ちます。シミュレーションにあたっての重要なポイントは、不純物原子の離散性をどう取り入れるかです。これには従来から用いられている連続的に滑らかに変化する不純物濃度の表現では不適当です。ポアソン乱数と一様乱数により、連続的な不純物濃度から離散性を考慮に入れた不純物濃度を生成する手法を取り入れました(図2)。トランジスタ内部の電圧分布や、不純物原子が供給する電子と正孔の濃度分布は、この発生した不純物原子分布のパターンごとに異なってきます。

### pn 接合障壁高さのばらつきが鍵

ゲート長とゲート幅が共に 20 nm という極めて微細なトランジスタに、図2の手法を適用して異なる不純物分布を発生させ、ポテンシャル分布を視

覚化したようすを図3に示します。アクセプタ型原子とドナー型原子による空間電荷で作られるポテンシャル障壁を“pn 接合障壁”と呼びます。トランジスタはこの pn 接合障壁の高さをゲート電圧で制御することで、ドレインからソースに流れる電流値を増減させ、スイッチング特性を実現させます。ところがトランジスタ一つのレベルで見ると、不純物原子のばらつきは図3のように、pn 接合障壁高さのばらつきを生じさせてしまうことがわかります。同じゲート電圧を印加しても、この障壁が低いほどたくさんの電流が流れてしまい、障壁が高いほど少ない電流しか流れないというばらつきを生んでしまうのです。

続いて、二つのトランジスタを組み合わせた CMOS (相補型 MOS) イン

バータ構造(図4)で、インバータの過渡特性ばらつきを検証しました(図5)。出力電圧レベルの遷移時間が、インバータごとにはばらついてしまうことがわかります。遷移時間のばらつきは LSI 動作速度のばらつきを生みますが、このことも pn 接合障壁の高さばらつきで説明されます。図6に貫通電流値と遅延時間の相関を示します。貫通電流とはインバータ出力電圧が切り替わる際に、電源線からグラウンドまで一瞬にして流れる電流のことです。この電流値が大きいインバータほど遅延時間が短いという相関関係が認められます。すなわち、pn 障壁が低いトランジスタから構成されるインバータほど貫通電流が大きいため、消費電力が増大します。一方、短時間にたくさんの電荷移動が起こるため、出力レベル

の遷移時間が短い、つまり高速で動作します。

現在はこのシミュレーション技術を用い、制御できない確率的なばらつきが発生したとしても製品仕様を満たす、ロバストな設計を行っています。

### 今後の展望

今回着目した不純物原子のばらつきだけではなく、様々なばらつき要因に対しても、シミュレーション技術を用いてその物理現象を明らかにすることで、ナノスケールにおいてもばらつきに強い、ロバストなトランジスタのいち早い製品化を目指していきます。

鳥山 周一

研究開発センター  
LSI 基盤技術ラボラトリー