

# 次世代プロセッサ Cell Broadband Engine

Cell Broadband Engine Next-Generation Processor

黒澤 泰彦

■ KUROSAWA Yasuhiko

渡辺 幸男

■ WATANABE Yukio

田胡 治之

■ TAGO Haruyuki

Cell Broadband Engine (CBE) は、マルチメディアデータの高速でリアルタイムな処理に最適化したプロセッサである SPE (Synergistic Processor Element) と、基本ソフトウェア (OS) などの制御処理を実行する汎用プロセッサである PPE (PowerPC Processor Element) という 2 種類のプロセッサを、高速内部バスである EIB (Element Interconnect Bus) で高速メモリや高速 IO (Input Output) と結合した、非対称マルチコアプロセッサ構成のシングルチップ マイクロプロセッサである。CBE は拡張性を重視し、ブロードバンド時代に柔軟に対応できるアーキテクチャを採用した。

The Cell Broadband Engine (CBE) is a heterogeneous multicore processor chip that incorporates Synergistic Processor Elements (SPEs) as high-performance multimedia processors and the PowerPC Processor Element (PPE) as a general-purpose processor core, connected to a high-speed input/output (I/O) and a high-speed memory system by a high-bandwidth internal bus called the Element Interconnect Bus (EIB). Cell broadband architecture is a scalable architecture that is optimized for parallel and distributed broadband computing environments.

## 1 まえがき

Cell Broadband Engine (CBE) は、高解像度の動画やマルチチャンネルの音声を含むリアルタイムのコンテンツを、高度なヒューマンインタフェースで楽しむプラットフォームの中心となるプロセッサとして構想され、マルチメディア系の処理や分散コンピューティング環境に最適化された。マルチメディア系の処理では、パソコンなどに搭載されている従来型のプロセッサの約 10 倍の性能を発揮する。CBE では、ブロードバンド時代の分散・協調コンピューティングに柔軟に対応するため、拡張性を重視した並列アーキテクチャを採用した。

ここでは、CBE で採用した技術と実装を中心に述べる。

## 2 CBE アーキテクチャの特長<sup>(1), (2)</sup>

アーキテクチャの定義では、汎用性・柔軟性と、性能・トランジスタ数・消費電力とのバランスを考慮する。

パソコンなどに搭載されている従来型のプロセッサは、汎用性が高い反面、大量のマルチメディアデータをリアルタイムで処理することには最適化されていない。

DSP (Digital Signal Processor) は汎用プロセッサに比べると単純な処理しかできないが、用途が特定されるなら、少ないトランジスタ数、低い周波数、少ない電力で多くの処理ができる。専用 IP (Intellectual Property) は DSP よりも更に効率が高くなるが、単一用途に限定される。

(株) ソニー・コンピュータエンタテインメントが 1999 年に発

表した家庭用エンターテインメント機 PlayStation 2 に採用されたエモーションエンジン (EE) では、汎用プロセッサコアに 2 個の DSP を接続する構成を採用した。DSP には、ソフトウェアでデータの入出力を制御するスラッチパッドメモリを搭載した。大量のデータを供給するために、メモリには Rambus DRAM を採用した。

ブロードバンド時代のデジタルホーム機器のコアとなる CBE の開発にあたり、汎用プロセッサの柔軟性と、DSP のマルチメディア処理効率の高さを両立させ、ブロードバンド時代の新しい規格や分散コンピューティング環境に対応できるように、新しいアーキテクチャとして Cell Broadband Engine Architecture (CBEA) を定義した。

DSP の効率の高さを残しながら、柔軟にプログラムを組むことのできる、SPE (Synergistic Processor Element) というまったく新しいプロセッサコアのアーキテクチャを定義し、実装した。開発したアーキテクチャでは、SPE はマルチメディアデータを高速に処理し、また SPE の個数を増やすことで性能が直線的に向上し、ソフトウェアで制御しやすくなっている。SPE は専用のメモリを持ち、他とは切り離して独立した処理をすることができるので、複数の CBE が協調して処理を進めることも想定して高い拡張性を持たせている。

OS や制御系のプログラムを実行させるために、64 ビット PowerPC<sup>(注1)</sup> と互換性のあるプロセッサコア PPE (PowerPC Processor Element) を搭載した。PPE は、複数の SPE が効

(注1) PowerPC は、IBM 社の登録商標。

率よく動作するように、SPE へのプロセスの割当てをスケジューリングする。

SPE や PPE で処理する大量のデータの転送を、小さな面積で実装する内部バス EIB (Element Interconnect Bus) を新たに定義した。EIB は、データ転送にかかるクロックサイクル (レイテンシ<sup>(注2)</sup>) よりも、単位時間内のデータ転送量 (スループット) を重視し、拡張性の高いリング型バスを採用した。

CBE の高い演算処理能力は、主メモリや IO にも広いバンド幅を要求する。CBE では、Rambus 社の XIO<sup>(注3)</sup> をメモリインタフェースに、FlexIO<sup>(注4)</sup> を外部 IO インタフェースに採用した。将来的には、SPE の個数を増やしたり複数の CBE を組み合わせたりして大規模マルチプロセッサやグリッドコンピューティング環境を構築することで、処理性能を拡張できる。

CBE と EE の主な仕様を表 1 に示す。CBE は、EE の約 50 倍の浮動小数点演算性能を達成した。

表 1. CBE と EE の比較

Comparison of specifications of CBE and Emotion Engine (EE)

項目	仕様	
	CBE	EE
発表時期 (年)	2005	1999
動作周波数 (Hz)	4 G <sup>(*)</sup>	300 M
浮動小数点演算性能 (GFLOPS)	296 <sup>(*)</sup>	6.2 <sup>(*)</sup>
トランジスタ数 (百万個)	234	13.5
設計ルール	90 nm SOI	250 nm バルク CMOS
チップ面積 (mm <sup>2</sup> )	221	226
ホストプロセッサ	64 ビット PowerPC	64 ビット MIPS <sup>(注5)</sup>
命令キャッシュ (Kバイト)	32	16
データキャッシュ (Kバイト)	32	8
二次キャッシュ (Kバイト)	512 (統合型)	—
スラッシュパッドメモリ (Kバイト)	—	16
演算プロセッサ	SPE 8 個	Vector Unit 2 個
演算器 (ビット/ウェイ)	128 / 4	128 / 4
レジスタファイル (ビット/本)	128 / 128	128 / 32
スラッシュパッドメモリ (Kバイト)	256 (統合型)	16 / 命令, 16 / データ (Vector Unit1) 4 / 命令, 4 / データ (Vector Unit0)
主メモリバンド幅 (Gバイト/s)	25.6	3.2
IO バンド幅 (Gバイト/s)	76.8	1.2
パッケージ (ピン数/タイプ)	1,236 / BGA	540 / BGA

\*実験室データ

SOI : Silicon On Insulator COMS : 相補型金属酸化膜半導体  
BGA : Ball Grid Array FLOPS : Floating-point Operations Per Second

(注2) 命令やコマンドなどを発行してから実行が完了するまでの時間で、プロセッサなどの性能の指標となる。スループットが単位時間当たりの処理量を示すのに対し、レイテンシは単一の処理に注目した場合の処理時間を示す。

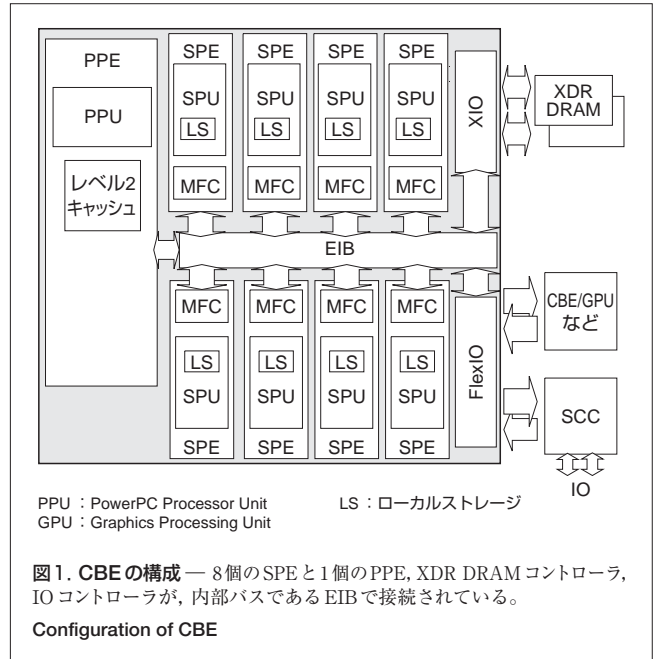
(注3), (注4), (注10) XIO, FlexIO, XDR は、Rambus 社の登録商標。

(注5) MIPS は、MIPS Technologies, Inc. の登録商標。

### 3 CBE の構成と特長

CBE の構成を図 1 に示す。

CBE は、PPE や SPE と主メモリ及び外部 IO を、EIB で接続した非対称マルチプロセッサであり、汎用プロセッサである PPE と高速演算プロセッサである SPE という性質の異なるプロセッサコアを集積して、大量のマルチメディアデータを処理するのに最適化されている。メモリやバスは CBE の演算性能を引き出せるようにバンド幅を大きくとった。



#### 3.1 PPE

PPE は 64 ビット PowerPC アーキテクチャに準拠したプロセッサであり、OS などの制御系の処理を行う。PPE は、PowerPC のマルチメディア用の拡張命令セットを採用したことで、高性能汎用プロセッサとして使うことができる。

ここでは、PPE に採用したマルチスレッドと仮想化機構、及び PPE のキャッシュについて説明する。

##### 3.1.1 マルチスレッド

PPE は、2 ウェイのマルチスレッド及び 2 命令同時発行のスーパースケラを採用した。一つのプロセッサコアが複数のプログラムカウンタと対応する複数のレジスタファイルを持つとき、マルチスレッドプロセッサという。マルチプロセッサと異なる点は演算器を複数のスレッドで共用することである。マルチスレッドプロセッサは、ソフトウェアからはマルチプロセッサシステムのように見える。

1980 年以降、プロセッサの動作周波数は数 MHz から数 GHz と 1,000 倍のオーダーで速くなったが、DRAM のアクセスタイム (レイテンシ) は約 100 ns から数十 ns にしか変化していない。DRAM をアクセスするのに、かつては数サイクルで

済んでいたものが、現在では数百サイクルかかる。

このスピード差を埋めるために、プロセッサは多階層のキャッシュを搭載するが、1990年後半に登場したGHzクラスの超高速プロセッサでは、アクセスするデータがキャッシュにない(キャッシュミス)とDRAMのレイテンシがプロセッサのプログラム実行時間の大半を占め、実行性能を決めてしまう。

マルチスレッドを採用すると、一方のスレッドでレベル2のキャッシュミスが発生して後続の命令を実行できなくなっても、別のスレッドは処理を続けることができるので、ペナルティが見かけ上小さくなる。

レベル2キャッシュミスの性能への影響を小さくする方法はいくつか知られている。一つはソフトウェアでの主メモリアクセスのスケジューリングであり、一つはマルチスレッドやマルチプロセッサ技術による並列化である。

CBEでは次のようなアプローチを取った。

(1) SPE ハードウェア制御のキャッシュではなく、ローカルストレージと呼ぶ専用メモリとDMA (Direct Memory Access)を組み合わせてデータ転送をソフトウェアでスケジューリングする手法を採用した。SPEのローカルストレージとDMAは次節で説明する。

(2) PPE PowerPCに準拠したプロセッサコアであり、汎用性を維持するためにキャッシュを使う必要があるので、マルチスレッドを採用した。

**3.1.2 仮想化機構** PPEは仮想化機構を実装している。仮想化機構により、Linux<sup>(注6)</sup>とゲーム用リアルタイムOSの組合せのように、複数のOSを時分割で同時に実行できる。

PPEでは、ハイパーバイザモードと論理パーティションという概念を導入した。Linuxなどの従来のOSは、CBEではゲストOSと呼ぶ。ゲストOSを管理する、より下位のソフトウェアとしてハイパーバイザOSを定義した。従来のOSがユーザープログラムにシステムリソースを提供し管理するように、CBEのハイパーバイザOSは、ゲストOSにシステムリソースを提供し、管理する。

各ゲストOSは、論理パーティションと呼ばれる仮想的なマシンリソース上で実行される。CBEのハードウェアは、論理パーティションを用いて仮想マシンを構築できる環境を実装している。CBEでは、後述するリソースアロケーションを論理パーティションに結び付けることにより、メモリのアドレス空間だけでなく、バンド幅も仮想マシンに適切に割り当てることができる。

仮想化機構を使ったソフトウェアは、この特集の“Cellリファレンスセットのソフトウェア構成”(p.37-41)で解説する。

**3.1.3 PPEのキャッシュ** PPEは、32 Kバイトのレベル1命令キャッシュと32 Kバイトのレベル1データキャッ

シュを持つ。

ライトバック方式の512 Kバイトレベル2キャッシュは、8ウェイセットアソシアティブ構成を採用した。主メモリアクセスのレイテンシが大きいので、レベル2キャッシュは128バイトという大きなラインサイズ<sup>(注7)</sup>を持たせた。

レベル2キャッシュはRMT (Replace Management Table)と呼ぶ機能を用いて、キャッシュの各ウェイを特定のプロセス専用割り当て、リアルタイム性能を保証する。

キャッシュの割当て機構を図2に示す。

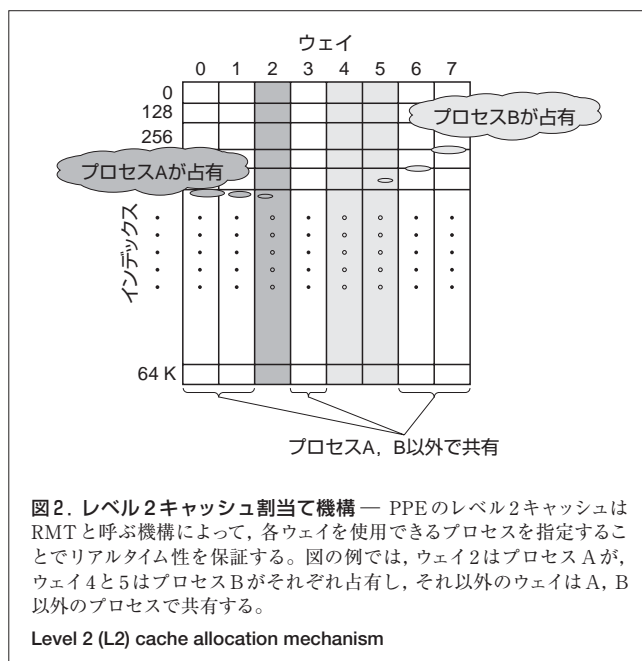


図2. レベル2キャッシュ割当て機構 — PPEのレベル2キャッシュはRMTと呼ぶ機構によって、各ウェイを使用できるプロセスを指定することでリアルタイム性を保証する。図の例では、ウェイ2はプロセスAが、ウェイ4と5はプロセスBがそれぞれ占有し、それ以外のウェイはA, B以外のプロセスで共有する。

Level 2 (L2) cache allocation mechanism

### 3.2 SPE

SPEは、図3に示すように、マルチメディア演算に特化したプロセッサであるSPU (Synergistic Processor Unit)と、SPUのローカルストレージと他のメモリ間とのデータ転送を行うMFC (Memory Flow Controller)から成る、新規に開発されたプロセッサである。ここでは、SPUとMFCそれぞれの特長を述べる。

**3.2.1 SPUの特長<sup>(3)</sup>** SPUは、2ウェイSIMD (Single Instruction Multiple Data)<sup>(注8)</sup>型のロードストアアーキテクチャRISC (Reduced Instruction Set Computer)プロセッサである。26段の深いパイプラインを持つことにより動作周波数を向上させており、マルチメディア演算能力向上のために、高性能な浮動小数点演算ユニットを持っている。また、ソフトウェアのサポートを仮定することにより、ハードウェアによる分岐予測機構を持たず、インオーダーの命令発行を行うな

(注7) キャッシュの管理単位をラインと呼ぶ。外部とキャッシュのデータ交換は必ずライン単位で行われる。

(注8) 一つの命令で複数のデータに同じ演算を行う(図4参照)。

(注6) Linuxは、Linus Torvalds氏の米国及びその他の国における登録商標。

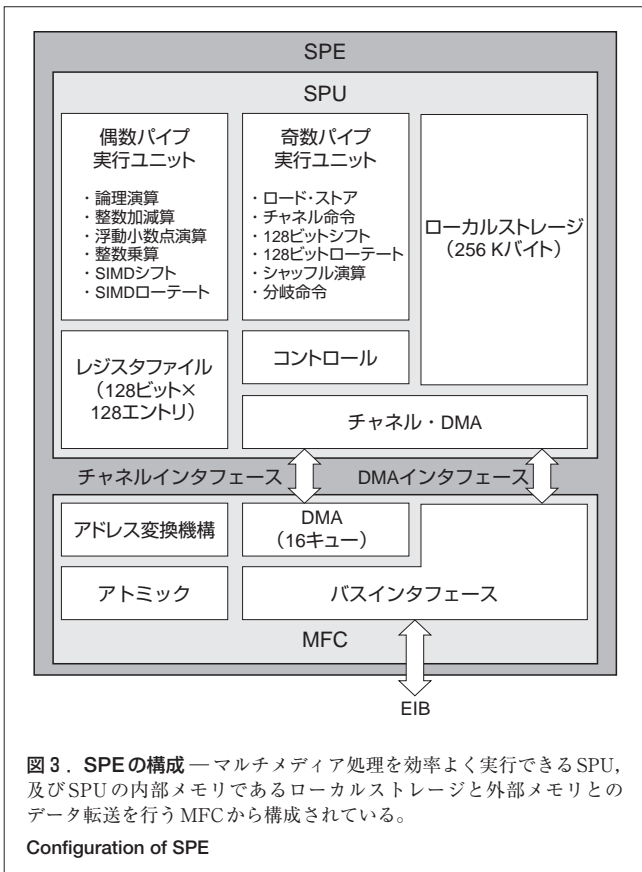


図3. SPEの構成 — マルチメディア処理を効率よく実行できるSPU、及びSPUの内部メモリであるローカルストレージと外部メモリとのデータ転送を行うMFCから構成されている。

Configuration of SPE

ど、構造をシンプルにすることで、動作周波数の向上並びに低消費電力化を図っている。

(1) シンプルな命令発行 図3に示すように、演算実行パイプラインは偶数パイプと奇数パイプと呼ばれる2本に分かれており、命令に応じて決められたパイプラインで実行される。おおまかには、偶数パイプではデータの演算処理が、奇数パイプではローカルストレージからのデータのロード・ストアや分岐命令などのコントロール処理が行われる。アウトオブオーダー発行などの処理は行われず、ローカルストレージ上で、偶数パイプ命令と奇数パイプ命令の組が8バイトデータ境界に配置されている場合に、2命令が同時発行される。

(2) 並列度の高い浮動小数点演算器 各パイプラインで一度に処理が行われるデータ幅は128ビットである。マルチメディア処理に特に重要となる32ビット単精度浮動小数点データについては、図4に示すように、4並列にスループット1で積和演算が可能である。積和演算は、一度に乗算と加算の二つの浮動小数点演算を行っていることに相当するため、4GHz動作の場合のSPUのピーク性能は、次式で算出されるように、32 GFLOPSに及ぶ。

$$4 \text{ GHz} \times 4 \text{ データ} \times 2 \text{ FLOPS} = 32 \text{ GFLOPS}$$

4 GHz動作のCellプロセッサ内の8個のSPUによる単精度浮動小数点演算のピーク性能は、256 GFLOPSとなる<sup>(注9)</sup>。

fma RT, RA, RB, RC

RA	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ
	×	×	×	×
RB	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ
	+	+	+	+
RC	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ
RT	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ	32ビットFPデータ

RT : Target Register

RA~RC : Source Register A~C

FP : Floating Point (浮動小数点)

図4. FMA (Floating Multiply and add) 命令 — 128ビットのレジスタファイルの内容を四つの浮動小数点データ(32ビットFPデータ)として、四つの積和演算を並列に行う。この命令はスループット1で実行されるので、毎サイクル8個(4個の乗算と4個の加算)の単精度浮動小数点演算を行うことができる。

Floating multiply and add (FMA) instruction

(3) ローカルストレージ ローカルストレージは256 KバイトのSPUの内部メモリであり、SPUプログラムと、プログラムが処理するデータが置かれる。

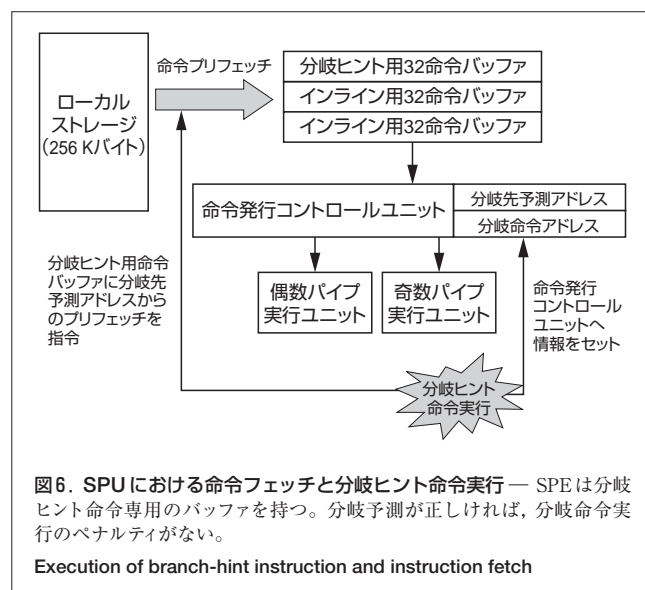
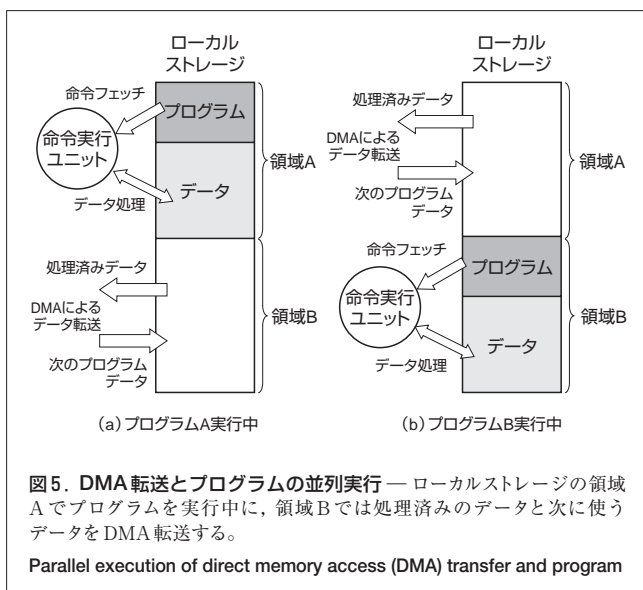
SPUのロード・ストア命令がアクセスできるのは、このローカルストレージ領域だけである。ローカルストレージにはキャッシュミスなどがなく、固定レイテンシでアクセスできるため、SPUによるデータ処理時間が正確に予測できる。SPUプログラムの外部メモリへのアクセスは、後述するMFCを利用したDMA転送によって行われる。3.3.3項で述べるリソースアロケーション機構により、DMA転送バンド幅も保証される。そのため、リアルタイムでの動画の録画・再生などの処理に適したアーキテクチャとなっている。

図5に示すように、データフローをソフトウェアで制御することによって、ローカルストレージと外部メモリとのデータ転送時間を隠蔽(いんぺい)できる。図5ではローカルストレージをA, Bの二つの領域に分けている。

領域Aでプログラム実行中の状態を図5(a)に示す。領域Aでプログラムを実行し、データを処理すると同時に、領域Bにある処理済みデータをDMA転送で外部メモリに送り出す。処理済みデータの転送が終了すると、次に実行するプログラムと処理するデータを、外部メモリから領域BにDMA転送する。

領域Aでの処理が完了したら、領域Bでプログラムを実行する。領域Bでプログラム実行中の状態を図5(b)に示す。領域Bでプログラムを実行すると同時に、領域Aにある処理済みのデータと、次に使用するプロ

(注9) 300 MHzで動作するエモーションエンジンの浮動小数点演算能力は6.2 GFLOPSである。Cellに含まれる8個のSPUを合わせると、エモーションエンジン40個分以上の浮動小数点演算能力を持っていることになる。



グラムとデータを領域AにDMA転送する。

DMA転送の実行時間がプログラムの実行時間よりも短ければ、二つの領域を交互に使ってSPUを動作させ続けられ、DMA転送時間を隠蔽できる。

- (4) 大容量レジスタファイル SPUは動作周波数が高いため、命令実行のスループットは高くてもレイテンシは大きく、シーケンシャルなデータ処理一つ一つには時間を要する。しかし、マルチメディア処理は、並列性が高いループ処理が多く、レジスタファイルを多用しループ処理を展開することで、並列データ処理をすることが可能となる。SPUは、128ビットデータ幅で、128エントリという大きいエントリサイズのレジスタファイルを持っている。SPUは、ハードウェアによるレジスタリネーミング機構は持たないが、ソフトウェアループアンローリングにより、浮動小数点演算器の性能を十分に発揮させることが可能となり、高いデータ処理スループットを実現している。

- (5) ソフトウェアによる分岐予測 SPUのパイプライン段数は深いため、分岐予測が外れた場合には、15サイクルのペナルティが発生する。この分岐ペナルティに対処する手段として、SPUでは、ハードウェア的な動的な分岐予測回路ではなく、ソフトウェア的に予測を行うための分岐ヒント命令を実装している。分岐ヒント命令は、ある分岐命令が実行される場合に備え、あらかじめその分岐先予測アドレスを設定するとともに、そのアドレスからの命令列をプリフェッチさせるための命令である。

SPUの命令フェッチ回路は、ローカルストレージから命令をまとめてプリフェッチしておくためのバッファを2種類備えている。命令がアドレス順に実行されるとして、連続するアドレスの命令を順次プリフェッチするた

めのインライン命令バッファと、分岐ヒント命令用プリフェッチのための分岐ヒント命令バッファである。

命令フェッチと分岐ヒント命令実行を図6に示す。

ローカルストレージからの読み出しには6サイクルかかるため、SPUは32命令をまとめてローカルストレージからインライン命令バッファに読み出ししておく。命令発行コントロールユニットは、1サイクルでアクセスできるインライン命令バッファから命令を取り出して実行ユニットに渡す。二つのインライン命令バッファは、それぞれのバッファ内の命令がすべて使われると、直ちに引き続くアドレスの命令をプリフェッチすることで、常に命令を供給できる。

分岐ヒント命令が実行された場合は、命令発行コントロールユニットに対して分岐予測をする分岐命令のアドレスと分岐先予測アドレスを設定するとともに、ローカルストレージに対して分岐予測先アドレスから分岐ヒント用命令バッファへのプリフェッチを指示する。

命令発行コントロールユニットは、通常は連続するアドレスの命令をインライン命令バッファから実行ユニットに渡す。しかし、フェッチアドレスが分岐ヒント命令で設定された分岐命令アドレスに等しい場合は、次にフェッチするアドレスを分岐先予測アドレスとする。分岐ヒント用命令バッファにはプリフェッチされたデータが含まれているため、分岐命令の直後に分岐予測先の命令を実行ユニットに渡すことができる。分岐ヒントによる予測が正しければ、分岐ペナルティを0にすることができる。

**3.2.2 MFCの特徴** MFCは、SPUからのチャンネル命令によるリクエスト、又はPPEなどの外部デバイスからのMMIO (Memory Mapped Input Output) アクセスによるリクエストに応じて、SPU内部のローカルストレージと、外部

メモリとの間のDMA転送を行う。

MFCは、図3に示すように、チャンネルインタフェースとDMAインタフェースを介してSPUと接続されている。SPUがチャンネル命令を実行すると、チャンネルインタフェースがMFCにDMA転送コマンドを発行する。MFCの中にはSPUからのDMAリクエストを保持するための16本のDMAキューが存在し、16個まで同時にDMA転送を実行できる。DMA転送によるデータは、DMAインタフェースを通じてSPUとやり取りが行われる。SPUの命令実行とDMA転送は独立して並列に行われる。また、SPE外部からのEIBを介したDMAリクエストを処理するために、SPUからのDMAリクエスト用とは別に8本のDMAキューが存在する。

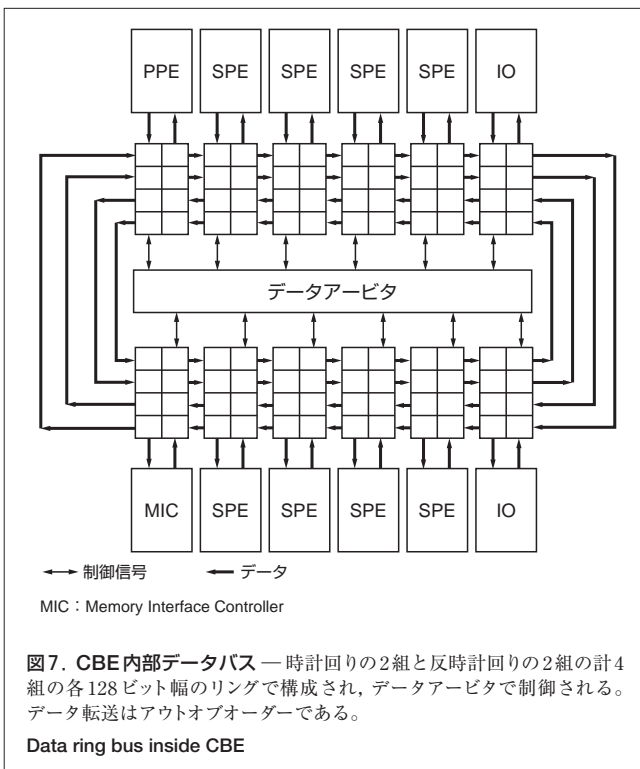
### 3.3 EIB<sup>(4)</sup>

CBEの持つ高い演算性能を発揮させるのに必要なデータを供給するために、EIBには高いバンド幅と高い拡張性を持たせた。ここではEIBのデータバス、アドレスバス、及びバンド幅保証機構の特徴を説明する。

**3.3.1 EIBデータバス** CBEでは、PPEやSPEが持つ高い演算性能によって発生する大量のデータ転送に対応するために内部バスを強化した。将来SPEの個数を増減させて製品のバリエーションを増やすことができるように、内部バスには拡張性も要求された。

EIBのデータバスを図7に示す。

高いバンド幅のデータ転送をサポートするため、16バイト幅のデータリング4本で構成されるEIBを採用した。EIBは



プロセッサコアの半分の周波数で動作する。データは8サイクルの固定長のパケットとして転送される。データリングは時計回りに接続された2組と反時計回りに接続された2組で構成し、データ転送は論理的に近いほうのリングを選択する。各データリングは3サイクルに1度アービトレーションを行い、データが衝突しなければ同じリングに複数のパケットが存在できる。

EIBは、高いスループットと短いレイテンシを少ない信号線数で実現している。250 Gバイト/s以上の帯域を持つ。バスのハードウェア量を少なくし、プロセッサ数を柔軟に拡張できるようにするため、クロスバースイッチではなく、リングバスを採用した。

**3.3.2 EIBアドレスバス** データバスと異なり、アドレスバスはアクセスの順番が定義できないとシステムとして一貫した動作ができなくなる。アドレスバスをリング接続にすると、接続された位置によってアドレスバスを流れるコマンドの順番が異なってしまう。

CBEではアドレスバスを木構造として、各EIBマスタからのコマンドをアドレスツリーの枝から根の方向に選択しながら集め、最後に選択されたものをEIB全体に通知する。アドレスツリーの根元でコマンドを選択する順番をシステムの順番と定義する。

### 3.3.3 バンド幅保証機構(リソースアロケーション)

CBEは演算性能が高く、大量のデータを処理できる半面、メモリやIOのバンド幅が性能のボトルネックとなりやすい。リアルタイム処理が要求されないプログラムや高速処理を要求されないプログラムがメモリやIOを必要以上に使用して、リアルタイムプログラムや高い処理性能が要求されるプログラムの性能が低下することを防止するために、リソースアロケーションと呼ぶバンド幅保証機構を導入している。

CBEでは、バスに接続されたマスタ群をリソースアロケーショングループ(RAG)と呼ぶグループに分け、メモリやIOを使用できるバンド幅をRAGごとに割りふる。各RAGに属するマスタ群は、自分が属するRAGに割り当てられたバンド幅を使い切ると、一時的にメモリやIOを使用できなくなる。ごく短い一定時間が経過すると、マスタ群は自分の属するRAGに割り当てられた分だけ再びメモリやIOを使うことができるようになる。

このようにして、優先順位の低いRAGに属するプロセスに割り当てるバンド幅を制限することで、優先順位の高いRAGに属するプロセスが必要なメモリやIOのバンド幅を使用できるように保証している。

### 3.4 メモリインタフェースとIO

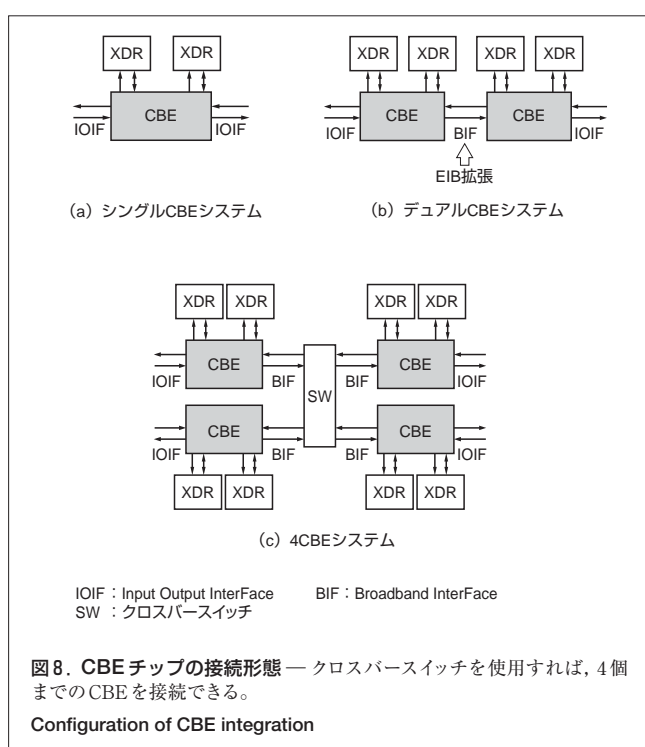
メモリとIOにRambus社のインタフェースを採用し、広帯域のデータ転送を実現している。CBEは、ほかのハイエンドマイクロプロセッサと比べても約10倍という高い演算性

能を持つので、その演算に必要なデータを供給するために、メモリやIOも圧倒的なバンド幅を確保している。

**3.4.1 メモリインタフェース** メモリインタフェースには25.6 Gバイト/sの帯域を持つXDR<sup>(注10)</sup> DRAMを接続する。主メモリはレイテンシよりバンド幅を重視した実装としている。

**3.4.2 IO** IOは、総合で76.8 Gバイト/sの帯域を持つFlexIOを採用しており、出力7バイトと入力5バイトを2組のチャンネルに分割する。

CBEでは、使用するシステムの構成に応じてIOのチャンネルの構成を変更できるようにした。CBEを使ったシステムの構成形態を図8に示す。



IOチャンネルにCBEと協調動作するグラフィックプロセッサやこの特集の他の論文(p.16-20)で説明するSuperCompanionChip<sup>TM</sup>を接続して、コンピュータシステムやデジタルホーム機器のプラットフォームを構築できる。

CBEは4個まで接続できる。2個のCBEは直接接続でき、3個以上のCBEはクロスバースイッチを介して接続する。この接続方法では、異なるCBEチップの中にあるPPEやSPEが、一つのCBEの中にある場合と同じように協調して動作する。

CBEでは、SPEやPPEによる分散・並列処理を前提としたアーキテクチャを定義しているため、FlexIOやネットワークで接続した分散コンピューティングやグリッドコンピューティングによって、性能を直線的に向上させることができる。

## 4 あとがき

CBEはマルチメディアデータ処理や分散コンピューティングに最適なプロセッサとして開発した。分散コンピューティング環境でのマルチメディアデータ処理用にSPEアーキテクチャを新規に定義、実装するとともに、SPEの持つ演算処理性能を十分に発揮させ、将来の拡張を考慮したEIBや外部IOを採用した。

CBE構想時点では革新的と思われた仮想化技術や非対称マルチコア構成を採用した分散・並列処理技術も、CBE発表時点では次世代ハイエンドプロセッサが進むべき方向として認識されてきており、ハイエンドプロセッサの技術的潮流を先取りすることに成功したと考える。

今後は、CBEAののったプロセッサのバリエーションを増やし、次世代プロセッサのアーキテクチャと実装の開発を進めるとともに、5年後、10年後のコンピューティングが進むべき方向性について研究・開発を進めていく。

## 文献

- (1) Pham, D., et al. "The Design and Implementation of a First-Generation CELL Processor". IEEE International Solid-State Circuits Symposium. San Francisco, 2005-02, IEEE, p.184 - 186.
- (2) Kahle, J., et al. Introduction to the Cell multiprocessor. IBM J. Res. & Dev. **49**, 4/5, 2005, p.589 - 604.
- (3) Flachs, B., et al. "The Microarchitecture of the Streaming Processor for a CELL Processor". IEEE International Solid-State Circuits Symposium. San Francisco, 2005-02, IEEE, p.134 - 135.
- (4) Krolack, D. "Unleashing the Cell Broadband Engine Processor The Element Interconnect Bus". Fall Processor Forum 2005. < <http://www-128.ibm.com/developerworks/power/library/pa-fpfeib/>, (accessed 2006-03-14).



**黒澤 泰彦 KUROSAWA Yasuhiko**

セミコンダクター社 ブロードバンドシステムLSI事業統括部  
ブロードバンドシステムLSI開発センター主務。マルチプロセッサ  
システムのアーキテクチャ、LSIの論理設計・開発に従事。  
Broadband System LSI Div.



**渡辺 幸男 WATANABE Yukio**

セミコンダクター社 ブロードバンドシステムLSI事業統括部  
ブロードバンドシステムLSI開発センター主務。ブロードバンド  
システムLSIの論理設計・開発に従事。  
Broadband System LSI Div.



**田胡 治之 TAGO Haruyuki**

セミコンダクター社 プロセッサ戦略IP技術部長。マルチコア  
SOC、マイクロプロセッサの物理設計・開発に従事。  
Processor IP Dept.