

Cell Broadband Engine の設計思想

Design Concept of Cell Broadband Engine

林 宏雄 齋藤 光男 増渕 美生

■ HAYASHI Hiroo

■ SAITO Mitsuo

■ MASUBUCHI Yoshio

次世代のデジタルホームから分散コンピューティングまでの幅広い応用のために、高いデータ処理性能とマルチメディア演算性能が求められる。この要求に応えるため、非対称マルチコア プロセッサ構成など、従来アーキテクチャにない特徴を備えた Cell Broadband Engine を開発した。

ここではその設計思想と将来動向について述べる。

Extremely high data and multimedia processing performance is demanded for next-generation applications ranging from digital home entertainment to distributed network computing. The Cell Broadband Engine (CBE) was developed to meet this demand. The CBE has many unique features, such as its heterogeneous multicore structure.

This paper describes the design concept of the CBE as well as its future road map.

高性能プロセッサ Cell Broadband Engine

東芝は、(株)ソニー・コンピュータエンタテインメント及びソニー(株)(以下、ソニーグループと呼ぶ)、IBM Corporation(以下、IBMと呼ぶ)と共同で Cell Broadband Engine (CBE)を開発した^{(1),(2)}。CBEは次世代エンターテインメント機やデジタルハイビジョン時代のAV機器などのデジタルホーム、そしてブロードバンドインターネット時代の分散コンピューティングの中心となる高性能プロセッサである。

デジタルホーム用途ではコンテンツがハイビジョン化され、高度なマンマシンインタフェースを提供するために、高いデータ処理性能とマルチメディア演算性能が求められる。CBEは、リアルタイムでの高度なマルチメディア処理を柔軟に実装できるようにアーキテクチャを定義したSPE(Synergistic Processor Element)と、汎用プロセッサであるPPE(Power PC Processor Element)を組み合わせた非対称マルチコアプロセッサ(囲み記事参照)構成として、デジタルホーム用アプリケーションに

対するソフトウェアソリューションのためのプラットフォームを提供する。

CBEの開発構想初期段階から、ブロードバンド時代にはプロセッサがブロードバンドを通じて接続され、分散・協調して処理を進める分散コンピューティング時代が到来することを予測して開発が進められた。

CBEは、一般家庭で用いられる機器に搭載することを想定して設計されている。単純に高性能を求めるだけでなく、チップコストや消費電力とのバランスをとった設計となっている。

開発の経緯

2000年の夏、PlayStation 2用マイクロプロセッサであるエモーションエンジンの開発経験と半導体の量産技術を持つ当社、コンピュータエンタテインメント機器で世界シェアNo.1のPlayStationとそのアプリケーション開発技術を持つソニーグループ、そして世界最先端の半導体技術とプロセッサ開発技術を持つIBMによって、次世代マイクロプロセッサの開発についての検討が開始された。次世代マイクロプロ

セッサでは、当時ようやく開発が終了したPlayStation 2の数十～数百倍の処理能力が必要になると想定され、その実現のためには従来の汎用プロセッサとはまったく異なるような新たなアーキテクチャを定義する必要があることが明らかになった。

2001年3月に、アメリカ合衆国テキサス州オースティンにあるIBMの開発センター内に当社、ソニーグループ、及びIBMの技術者を集結したSTIデザインセンターを開設し(図1)、CBEの設計が開始された。更に、オースティン以外にも、米国、ヨーロッパ、イスラエル、及び日本のいくつかのIBMの開発拠点とも協力して開発が進められた、文字どおりの国際的プロジェクトであった。

STIデザインセンターでは、CBEの機能単位ごとに「ここは東芝の開発、ここはソニーグループの開発、ここはIBMの開発」と分けるのではなく、出身組織にとらわれず、最適の人材を最適のポジションに配置する混成チームを結成した。当社の技術者もCBEのアーキテクチャ設計、各部分の論理設計、機能検証、回路設計、パッケージ開発、ソフトウェア開発など、チップ全体

マルチコア プロセッサ (Multicore Processor)

マルチコア プロセッサは、複数のプロセッサコアを一つのチップに集積したマイクロプロセッサである。ここ数年の間に注目を浴びるようになったが、マルチコア プロセッサ方式自体は新しい概念ではない。2001年ころには、ネットワーク処理に機能を限定した小さなプロセッサコアを複数集積した、ネットワーク処理専用マルチコア プロセッサが既に実用化されている。しかし、当時のプロセステクノロジーでは、複数の汎用プロセッサを一つのチップに集積することは困難であった。近年、最新のプロセステクノロジーを使用することで、高性能汎用プロセッサを複数集積することが可能になった。

汎用プロセッサでは、同時に処理する命令数を増やすことと動作クロック周波数を高くすることとで、処理性能の向上が図

られてきた。しかし、前者は、既に単一のプロセッサが持つ並列度の限界にほぼ達しつつあり、後者は、消費電力の増加を招き、システム設計の妨げとなってきた。これらの結果、単一プロセッサの性能向上が頭打ちになった。

残された手段として、マルチコア構成が採用されるようになった。マルチコア プロセッサでは、複数のプログラム、若しくは複数のプログラムスレッド(独立に実行できるプログラム単位)を実行する場合、プロセッサコアのおよそ数倍の性能向上が得られる。その分、個々のプロセッサコアの性能を抑えてクロック周波数や電源電圧を下げることで、消費電力を抑えることが可能となる。

2003年ころ以降、二つの汎用プロセッサコアを集積したデュアルコア プロセ

ッサが、サーバ用途にいくつか実用化されている。サーバ用途では、マルチスレッドに既に対応したプログラムが多いため、マルチコア プロセッサによる性能向上が容易に得られる。さらに近年は、パソコン向けにもデュアルコア プロセッサが用いられるようになってきた。

一方、逐次処理を行うプログラムでは、今までアウト オフ オーダー命令実行や、高クロック周波数、大容量キャッシュメモリなどの単一コアプロセッサの進歩により、プログラム手法を変えることなく性能が向上されてきた。今後はこのよう逐次処理プログラムでも、処理を明示的に並列化しマルチスレッド化することが、高速化の重要な手段となる。そのため、並列プログラミング支援及びデバッグ支援の重要性が増す。



図1. STIデザインセンター — STIデザインセンターを開設し、CBEの設計・開発を行った。
STI Design Center

の開発に幅広くかかわった。

開発の途中段階では、チーム間の意見の違いや企業間の開発手法の違いが問題となることもあった。最高のプロセッサを最善の方法で開発するための議論がたびたび行われた。完成寸前の機能ブロックでも、必要であれば、

基本構成からの根本的な見直しをすることもあった。SPEの搭載個数、PPEのマルチスレッドサポート、CBEの代表的な特徴の一つであるリングバスやリソースアロケーション機構なども、開発

期間の半ばを過ぎてから仕様の追加、変更が行われた部分である。

このように、CBEは当社、ソニーグループ、及びIBMの技術者が一体となり、各社の持つ優れた部分が融合することで生み出された。

CBEの開発がスタートした時点では、一般にはIntel CorporationのPentium[®] (注1) 4に代表されるように、単一のプロセッサを高速のクロックで動作させるアーキテクチャが主流であり、かつ、2010年ころまではこのアーキテクチャを中心に据えるシステムが最適であろうという考えが支配的であった。しかし、2002年ころから、単一プロセッサでクロック周波数を高くすることに頼るアーキテクチャの限界が見え始め、CBEの最初の試作チップを評価していた2004年5月、Intel Corporationが“マルチコア プロセッサ”に開発方針を転換したというニュースが報じられた。

(注1) Pentiumは、米国又はその他の国における米国Intel Corporation又は子会社の登録商標又は商標。

CBEが選択したマルチコアプロセッサアーキテクチャの先見性を示す一例と言えよう。

従来アーキテクチャの課題

CBEは、以下のようなアーキテクチャ上の特徴を持つ。

- (1) 2種類の異なるプロセッサPPEとSPEを組み合わせた非対称マルチコアプロセッサ構成
- (2) 各SPEは、128ビット×128本の大規模レジスタファイルとローカルストレージと呼ばれる高速メモリ

この章では、これらの特徴の背景にある、従来のプロセッサアーキテクチャの課題について説明する。

三つのP

アーキテクチャ設計にあたって、高性能(Performance)、低消費電力(Power)、低価格(Price)という“三つのP”と呼ばれる要件を満たすことが求められた。言うまでもなく三つのPはバランスよく満たされることが必要である。

これら三つの要件は、互いに相反するものである。高度なマルチメディア処理のためには、高い処理能力が求められる。一方、大量生産されるコンシューマ製品で使用されるためには、チップ面積を小さくし、安価なパッケージと冷却装置を使用することが求められる。処理性能を上げるためには、クロックサイクル当たりの処理性能を上げる方法と、クロック周波数を上げる方法のいずれか、若しくは両方が行われる。前者では、各種の高速化機能の追加や増加が必要で、チップ面積及び消費電力の増大をもたらす。後者は消費電力の増大、及び高価なパッケージと冷却装置が必要となる。

パソコン用のマイクロプロセッサでは、性能指標の一つである動作クロック周波数が向上し続けてきた。しかしクロック周波数は3GHzを超えるまでは順調に向上したが、消費電力の増大

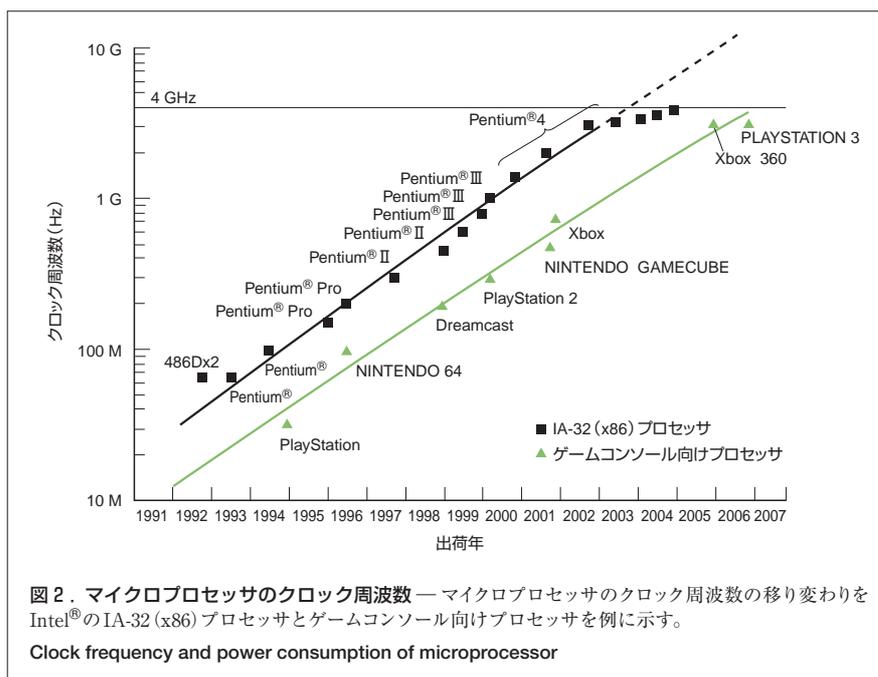


図2. マイクロプロセッサのクロック周波数 — マイクロプロセッサのクロック周波数の移り変わりをIntel®のIA-32 (x86) プロセッサとゲームコンソール向けプロセッサを例に示す。

Clock frequency and power consumption of microprocessor

により経済的に冷却することが困難となり、その向上は鈍化した(図2)。そこで、従来の動作クロック周波数の向上による性能向上から、複数のプロセッサコアを搭載することによる性能向上へと方針が変わってきている。CBEの設計指針の一つに、単位トランジスタ数(=単位チップ面積)当たりの性能の最適化が挙げられる。

メモリウォール

マイクロプロセッサが高速に処理を行うためには、それに必要な命令やデータを供給することが必要である。

コンピュータシステムでは、主メモリにDRAM (Dynamic RAM) が使用される。DRAMを用いることで大容量の主メモリを経済的に実現することが可能であるが、DRAMは読出し速度が比較的遅い。このため従来のマイクロプロセッサでは、キャッシュメモリと呼ばれる、小容量であるがプロセッサに内蔵された高速なメモリに、最近アクセスされたデータを格納する機構が用いられている。マイクロプロセッサが

アクセスしようとしたデータがキャッシュメモリに格納されていない場合(キャッシュミス)は、ハードウェアが主メモリからキャッシュメモリに自動的にデータ転送を行う。

マイクロプロセッサのクロック周波数が過去20年で3けた向上したのに対し、DRAMのアクセスレイテンシ(注2)はほとんど改善されていない。その結果、数GHzクラスのクロック周波数のプロセッサでは、DRAMアクセスレイテンシは何百サイクルにもなる。例えば100 nsは、4GHzのクロック周波数では400サイクルに対応する。これにより、キャッシュミスによる性能低下がマイクロプロセッサ設計のもっとも大きな問題の一つとなっている。この問題はメモリウォールと呼ばれている。

この対策として、キャッシュメモリ容量の増大が行われてきたが、そのトランジスタ数の増加に見合う十分な性能向上は得られなくなっている。更に高度な(したがって多くのチップ面積を必要とする)ハードウェア及びソフトウェアによる先読み機構が提案・実現されて

(注2) アクセスレイテンシ

メモリに格納されたデータを読み出すのに必要な時間。

いるが、キャッシュミスによる数百サイクルもの待ち時間を隠蔽(いんべい)することは事実上不可能であり、また、不要な先読みによる、バスバンド幅やメモリバンド幅の浪費、及び消費電力の増大も課題となっている。

■ 並列度の向上による弊害

マイクロプロセッサの性能向上のために、数多くの並列化による高速化手法が採用されてきた。

近年の高速プロセッサは、命令の実行順序をハードウェアが自動的に変更することで、より多くの処理を並列に実行するアウト オブ オーダー実行と呼ばれる機構を採用している。これには多量の中間状態を保持する大規模な制御回路が必要となる。

更にアウト オブ オーダー実行を効率的に行うためには、複数のメモリアクセス命令を同時に行う必要がある。このためには、データキャッシュメモリに複数のメモリアクセスを同時に行うことが可能な、複数ポートのSRAM (Static RAM)を使用する必要があるが、この方法ではメモリ容量当たりが必要となるチップ面積が大きくなる。例えば2ポートのSRAMは、1ポートのSRAMの約2倍のチップ面積が必要となる。

一つの命令の処理を演算パイプラインと呼ばれる単位に細分化することで、細分化した処理を並列に行うことが可能となる。パイプライン段数を多くすると、パイプライン1段当たりの論理段数が小さくなるため、クロック周波数を上げることが容易となる。1980年代後半のプロセッサでは5段程度のパイプラインが一般に採用されていたが、近年は20段を超えるものもある。

しかしパイプラインが深くなるほど、分岐命令などによって命令実行フローの変更による性能低下がより大きくなるため、その対策が必要となる。例えば、近年の高性能プロセッサでは大規模な分岐予測機構が実装されるが、その効果にも限界があり、単位トランジスタ数

当たりの性能向上は小さくなっている。しかし、多段パイプラインは、この問題を解決することができれば、少ないトランジスタ数で効率的に高い性能を実現できる。

■ CMOSテクノロジーの傾向

CMOS (相補型金属酸化膜半導体)テクノロジーの微細化が進むにつれ、ゲートリーク電流及びソース・ドレインリーク電流による消費電力が増加している。これらはチップ面積に比例するため、単位チップ面積当たりの性能の最適化により、チップ面積を有効に利用することが重要となる。

また、CMOSプロセステクノロジーが1世代進むことにより、単位面積当たりのトランジスタ数は約2倍になる。既存のマイクロプロセッサアーキテクチャでは、トランジスタ数が倍になると、約1.4倍の性能向上が実現されてきた⁽³⁾。見方を変えるとトランジスタ数当たりの性能が、世代ごとに約1.4分の1になってきたことになる。

一方、テクノロジーの世代ごとの、スイッチング速度の向上率が下がってきている。したがって、プロセステクノロジーの進歩をより効率的に性能向上に結び付けるためには、使用可能なトランジスタ数の増加をより効率的に性能の向上に結び付けることが重要となる。

Cell Broadband Engine Architecture

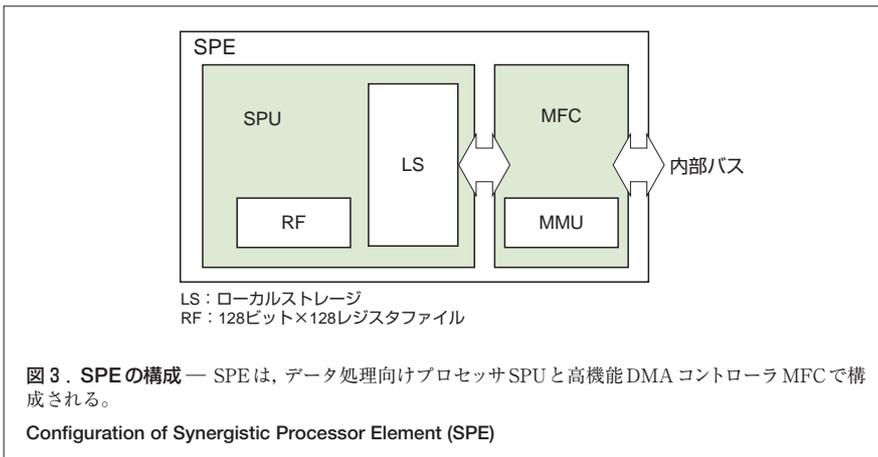
前章で述べた課題を解決するために、新しいマイクロプロセッサアーキテクチャ Cell Broadband Engine Architecture (CBEA)⁽⁴⁾及び Synergistic Processor Unit Instruction Set Architecture (SPU ISA)⁽⁵⁾を定義した。この章ではそれらの特徴と、それらが前の章で述べた課題をどのように解決するかを説明する。

(注3) PowerPCは、IBM Corporationの商標。

■ 非対称マルチコア プロセッサ

複数のプロセッサコアを一つのチップに集積する。更に、一つ一つのプロセッサコアを、単位トランジスタ数当たりの性能を最適化した小さいプロセッサコアとすることで、一つのチップにより多くのプロセッサコアを集積することを可能とする。並列性の小さなアプリケーションプログラムの高速化には効果が少ないが、CBEがターゲットとしている大量のマルチメディアデータの処理、グラフィックス処理、及びネットワーク処理のような本質的に並列性を持つ処理では、大幅に性能を向上させることが可能となる。また、将来プロセステクノロジーの進化によって集積可能なトランジスタ数が増加したときに、プロセッサコア数を増加することで、その効果を効率的に享受することができる。ただし、複数のプロセッサコアを搭載した場合、それらのコアが必要とするデータを供給するために十分なデータバンド幅を持つ外部インタフェースを備えることが重要となる。

従来の汎用マイクロプロセッサアーキテクチャは、オペレーティングシステム(OS)のような制御系処理からデータ処理まで、あらゆる用途に一つのマイクロプロセッサで対応する必要があった。CBEでは、データ処理に特化した新しいマイクロプロセッサアーキテクチャ SPU ISAに基づいたデータ処理プロセッサコア SPEを開発した。しかし、この新しいアーキテクチャは、OSのような制御系の処理には適していない。そこで、このSPEと既存の汎用マイクロプロセッサアーキテクチャのプロセッサコアとを組み合わせた非対称マルチコアプロセッサ構成をとることで、それぞれの特長を生かして、幅広い処理に対応することを可能とした。汎用マイクロプロセッサには、組込み用途から高性能サーバまで幅広い用途で実績のあるPowerPC^(注3)アーキテクチャを採用した。



SPEはSPU (Synergistic Processor Unit)とMFC (Memory Flow Controller)から成る(図3)。SPUは128ビットSIMD (Single Instruction/Multiple Data)型のデータ処理向けプロセッサであり、MFCは高機能DMA (Direct Memory Access)コントローラである。MFCはPowerPCアーキテクチャ互換のMMU (Memory Management Unit)を内蔵する。通常のDMAコントローラでは、実効アドレスと呼ばれるプログラム中で用いられるアドレスを、物理アドレスと呼ばれるハードウェアが使用するアドレスに変換したものをDMAコントローラに設定することが必要となる。PPEと同等のMMUを内蔵することで、ユーザープログラムが、実効アドレスをそのまま用いてDMAアドレスを指定することが可能となっている。プログラミングを容易にするだけでなく、ユーザープログラムのアクセスが許可されたメモリ空間にだけユーザープログラムによるアクセスを許す、メモリ保護も実現している。

更に、既存の汎用マイクロプロセッサアーキテクチャのプロセッサコアPPEを持つことで、OSや開発環境をはじめとする膨大なソフトウェア資産の再利用が可能となり、ソフトウェア開発費用の削減と開発スケジュールの短縮が実現された。

従来の多くのアプリケーションソフトウェアでは、そのコードの一部だけが

高いデータ処理性能を必要とする。このような場合、データ処理部分だけをSPEで処理し、残りをPPEで処理することで、アプリケーションソフトウェアすべてを移植することなく、効率的に性能向上を図ることが可能となる。

ローカルストレージ

メモリウォールの問題を克服するために、各SPUはローカルストレージと呼ばれるメモリを持つ。SPUの命令はこのローカルストレージから読み出され、SPUプログラムのメモリアクセス命令は、このローカルストレージだけにアクセスする。ローカルストレージと主メモリ、及び異なるSPEのローカルストレージ間のデータ転送は、プログラマがMFCのDMAコントローラを用いて明示的にDMA転送することで行われる。

キャッシュメモリと異なりアクセスレイテンシが常に一定となるため、プログラマーやコンパイラによる最適化が容易となり、またリアルタイム処理にも適する。複数のDMA転送の並列実行、及びDMA転送とプログラム実行を並行して行うことで、数百サイクルのメモリアクセスレイテンシの隠蔽を容易とする。また、キャッシュメモリ機構が必要とする状態管理メモリや、

メモリの一貫性を保持するための機構及びキャッシュプリフェッチ機構が不要となり、トランジスタの有効利用が可能となる。キャッシュプリフェッチ機構による不要なメモリアクセスも行われない。

大容量レジスタファイル

SPUは、128ビット×128本の大容量レジスタファイルを持つ。特に、演算パイプラインが深い場合は、その効果が高くなる。従来のプロセッサアーキテクチャでは、少ないアーキテクチャレジスタ数を補うために、レジスタリネーミングなどの複雑な機構を必要とした。これに対しSPUでは、大容量レジスタファイルを持つことにより、多数のレジスタを必要とするループアンローリング^(注4)などのプログラミング手法を用いることが容易となり、複雑なハードウェア機構を必要とすることなく、高い性能を効率的に実現することが可能となった。

ローカルストレージと大容量レジスタファイルには欠点もある。通常のシステムでは、複数のプログラムを同時に実行するように見せかけるために、数msごとに、コンテキスト切替えと呼ばれるプログラムの切替え処理が行われる。コンテキスト切替えでは、各プログラムの状態の保存と復帰を行う必要がある。ローカルストレージと大容量レジスタファイルのデータサイズが大きいため、SPEのコンテキスト切替えには時間がかかる。そこで、頻繁なコンテキスト切替えが必要な処理はPPEが実行することで、SPEではその実行が不要となる。つまり、非対称マルチコアプロセッサ構成としたことで、ローカルストレージと大容量レジスタファイルを採用できるようになり、その効果を楽しむことが可能となっている。

(注4) ループアンローリング

プログラム的高速化手法の一つ。繰り返し実行される命令列を展開することで、繰返しを終了を判定するための条件分岐を減らしたり、複数の命令が並列実行可能となる機会を増やしたりするなどの効果がある。

■ ソフトウェアによる分岐予測

深い演算パイプラインを採用しつつ、大規模な分岐予測機構を実装することなく高い性能を実現するために、SPUは分岐ヒント命令と条件選択命令を持つ。

分岐ヒント命令は、その後実行される分岐命令のアドレスとその分岐先アドレスを指定することで、分岐先の命令の先読みを可能とする。

条件選択命令は、2組のレジスタの内容をビット単位で選択する命令で、この命令を使用することで分岐命令が削減される。

■ 柔軟性とスケーラビリティ

CBEA及びSPU ISAは、今後様々な実装を可能としつつ、開発されたソフトウェア資産を蓄積・共有することが行えるよう作成された。例えば、ローカルストレージの容量や、SPE及びPPEの個数などは実装に応じて変更可能となっている。これにより、少数のSPEを実装し、消費電力を最小化した設計のチップを使用した携帯機器から、多数のPPEとSPEを実装したCBEチップを複数組み合わせたシステムまでをカバーすることが可能となる。その時代のプロセステクノロジーに応じて構成の最適化を行うこともできる。

また従来、画像処理など専用のLSIの開発が必要であった用途、若しくは汎用用途に設計されているが特殊なプログラミングが必要とされるDSP (Digital Signal Processor)が必要とされた用途にも、SPEはCやC++などの標準高級言語を用いたプログラミングで対応することが可能である(図4)。例えば、H.264と呼ばれる次世代高精細DVD規格に採用される動画フォーマットの符号化・復号化には高い演算性能が要求され、現在、専用LSIの開発が盛んに行われている。このような処理にも、CBEは柔軟に対応することが可能である。

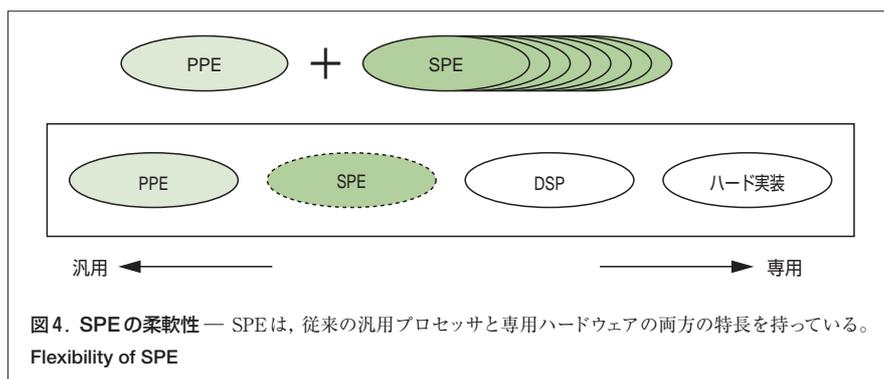


図4. SPEの柔軟性 — SPEは、従来の汎用プロセッサと専用ハードウェアの両方の長を持っている。
Flexibility of SPE

将来への展開

CBEでは、従来のアーキテクチャの様々な課題を、新しいアーキテクチャのSPEと従来のアーキテクチャのPPEとを組み合わせた非対称マルチコアプロセッサ構成をとることで、解決した。

非対称マルチコアプロセッサ構成を採用したことで、SPEは自由なアーキテクチャを採用することが可能となった。従来は一つのアーキテクチャで、ソフトウェアの互換性を保ちつつ、すべての処理を行わなければならない。このために、キャッシュメモリや仮

想メモリ、アウト オブ オーダー実行など、プロセッサ内部の実際の動きを隠蔽して抽象化することがプロセッサアーキテクチャの進歩の大きな流れであった。

これに対しSPEでは、ローカルストレージ、大容量レジスタファイル、及びソフトウェア分岐予測など、内部の動作をプログラマーに明示してその制御を任せるという設計思想の転換を行うことができた。その結果、メモリアクセスレイテンシ、レジスタ管理、命令スケジューリングをソフトウェアに明示し、その制御をソフトウェアにゆだねること

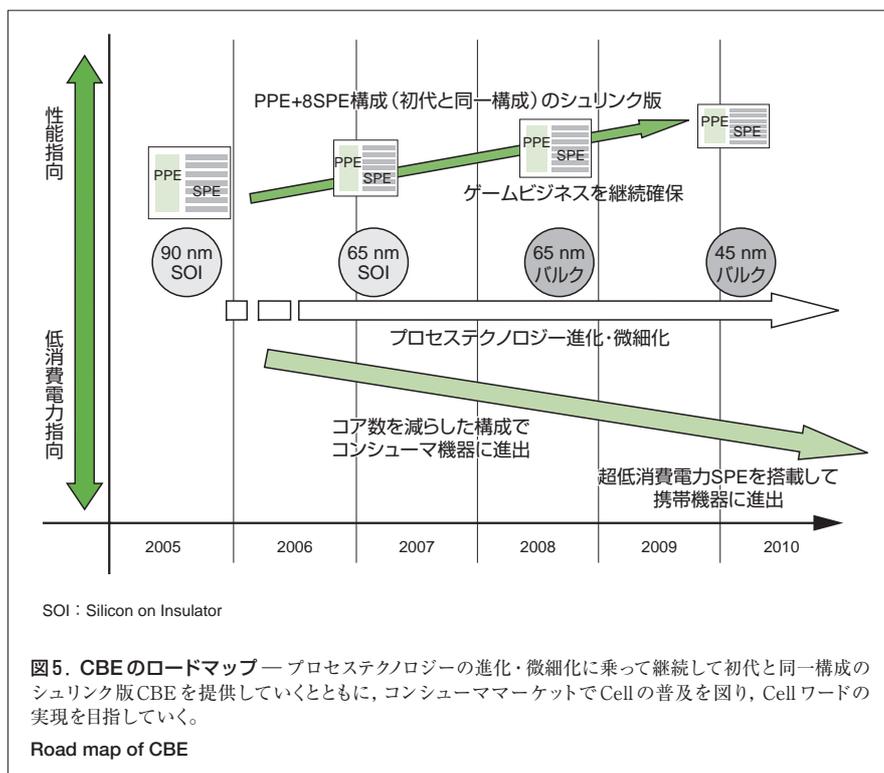


図5. CBEのロードマップ — プロセステクノロジーの進化・微細化に乗って継続して初代と同一構成のシュリンク版CBEを提供していくとともに、コンシューマ市場でCellの普及を図り、Cellワードの実現を目指していく。
Road map of CBE

で、大幅な性能向上を可能とした^(注5)。これは、プロセッサアーキテクチャの進歩の新たな流れと言えよう。

初代CBEは(株)ソニー・コンピュータエンタテインメントの次世代コンピュータエンターテインメントシステム“PLAYSTATION 3”に搭載され、大きなビジネスになることが見込まれている。

また、当社はその活躍の場を広げるために、CBEと合わせて使用するSuperCompanionChip™(この特集のp.16-20参照)及びCell用電源システム(同p.21-24参照)を開発し、更に、これらのデバイスを搭載したシステム、Cellレファレンスセット(同p.25-41参照)を開発した。

CBEのロードマップを図5に示す。

2006年以降、プロセステクノロジーの進化・微細化に乗って、初代CBEと同一構成のシュリンク版チップをタイムリーに提供し、このビジネスにおいて継続的に成功し続けることが重要である。より微細化した製造技術で実現することにより、性能対消費電力比、性能対コスト比での優位性を上げる。

一方、2007年後半以降は、製造技術の微細化トレンドを利用して、Cellの低消費電力版派生品をAV機器や携帯機器を中心としたコンシューママーケット向けに提供し、更に大きなビジネス機会をつかみたい。例えば、超低消費電力設計を利用して再設計したSPEを提供したり、SPEの数を減らした構成のCBEを提供することにより、Cellの更なる普及を図りたい。

コンシューママーケットからCellの普及を図り、プロジェクト開始当初に抱いたCellワールドの夢を現実化していく。

文 献

- (1) D. Pham, et al. "The Design and Implementation of a First-Generation CELL Processor". IEEE International Solid-State Circuits Symposium. San Francisco, 2005-02, p.184 - 185.
- (2) B. Flachs, et al. "A Streaming Processing Unit for a CELL Processor". IEEE International Solid-State Circuits Symposium. San Francisco, 2005-02, p.134 - 135.
- (3) R. Ronen, et al. Coming Challenges in Microarchitecture and Architecture. Proceedings of the IEEE, **89**, 3, 2001, p.325 - 339.
- (4) SONY, SCEL, Toshiba, and IBM. Cell Broadband Engine Architecture Version 1.0. 2005-08, 319p.

- (5) SONY, SCEL, Toshiba, and IBM. Synergistic Processor Unit Instruction Set Architecture Version 1.0. 2005-08, 257p.



林 宏雄
HAYASHI Hiroo

セミコンダクター社 ブロードバンドシステム LSI 事業統括部 ブロードバンドシステム LSI 開発センター主幹。次世代ブロードバンドシステム LSI の設計・開発に従事。IEEE 学会会員。
Broadband System LSI Div.



斎藤 光男
SAITO Mitsuo

セミコンダクター社 首席技監。
IEEE, 電子情報通信学会, 情報処理学会会員。
Semiconductor Co.



増淵 美生
MASUBUCHI Yoshio

セミコンダクター社 ブロードバンドシステム LSI 事業統括部 ブロードバンドシステム LSI 開発センター長。次世代ブロードバンドシステム LSI の企画・開発に従事。ACM, IEEE, 電子情報通信学会, 情報処理学会会員。
Broadband System LSI Div.

(注5) 内部動作をプログラマーに明示することでプログラミングの負担が増加するため、その支援が重要となる。今回開発したCBEでは、命令の実行状態や、メモリアクセス待ちサイクル数などの様々な内部状態を測定するパフォーマンスモニタと呼ばれる機能を持つ(この特集のp.47-51参照)。