

ノートPC設計における 高速回路シミュレーション技術

High-Speed Board Simulation Technologies for Notebook PCs

川口 均 近藤 泰昌 古賀 裕一
 ■ KAWAGUCHI Hitoshi ■ KONDO Yasumasa ■ KOGA Yuichi

ノートパソコン(PC)における基板上の配線の信号速度は1 GHzを超える時代となり、基板全体に占める高速信号の割合も増加の一途をたどっている。信号が高速になると、信号伝送品質の悪化、電源ノイズ、及び電磁干渉などの問題が顕在化し、製品の開発工期を圧迫する。

そこで、東芝のノートPC開発部門では、それらの問題をハードウェア開発の初期段階で解決するため、シミュレータやチェッカーなどの各種CAE(Computer Aided Engineering)ツールを設計プロセスに組み込み、製品をタイムリーに市場投入している。最近では更に、製品の薄型・軽量化に伴う基板配線の微細化ともあいまって、製品仕様や配線ガイドの検討における活用も定着化してきており、当社Thin & Light PCなど製品差異化の早期実現に貢献している。

We are entering the age of Giga Hertz PC when the transmission speed of signal lines of notebook PCs exceeds 1 GHz. In addition, high-speed signal lines make up an ever-growing share on the PCBs. The faster transmission speed degrades quality of signal transmission and causes noise current on the power plane as well as EMI noise, which cause unexpected delay in development period.

Toshiba's notebook PC development divisions are using CAE tools such as simulators, design rule checkers, and so on at the initial stage of hardware design, in order to deal with these problems and shorten the development period of products. Recently, these tools have also come to be used at the PC specifications or wiring guidance study stages, significantly contributing, together with wiring miniaturization to make PCs thinner and lighter, to the advancement of Toshiba's philosophy of "Thin & Light PCs."

1 まえがき

ノートPCにおける基板上の配線の信号速度は年々高速化し、基板全体に占める100 MHz以上の高速デジタル信号配線の割合も増加の一途をたどっている(図1)。信号が高速になると、基板上の配線を伝送線路として扱う必要があり、信号間のタイミングのずれや、反射、伝送損失、クロストークの問題、多電源化による電源プレーンのインピーダンス増加が招く電源ノイズの問題、及び電磁干渉の問題などが顕在化し、製品の開発工期を圧迫する。

そこで、東芝におけるノートPCのハードウェア開発部門では、それらの問題を製品開発の初期段階で解決し、製品をタイムリーに市場投入するための施策として、シミュレータやチェッカーなどの各種CAEツールを設計プロセスに組み込み、有効活用している。その中でも高速回路シミュレーションシステムは、1998年からプリント配線板CAD(Computer Aided Design)と連携し、高速信号の配線レイアウトミス防止用ツールとして定常的に使われており、効果を上げてきた。

最近では更に、製品の差異化を早期に実現するために、製品仕様の検討プロセスに基礎的なシミュレーションを用いる方法と、配線レイアウト前の配線ガイドの検討プロセスにシミュレーションを用いる方法の二通りの活用も定着化

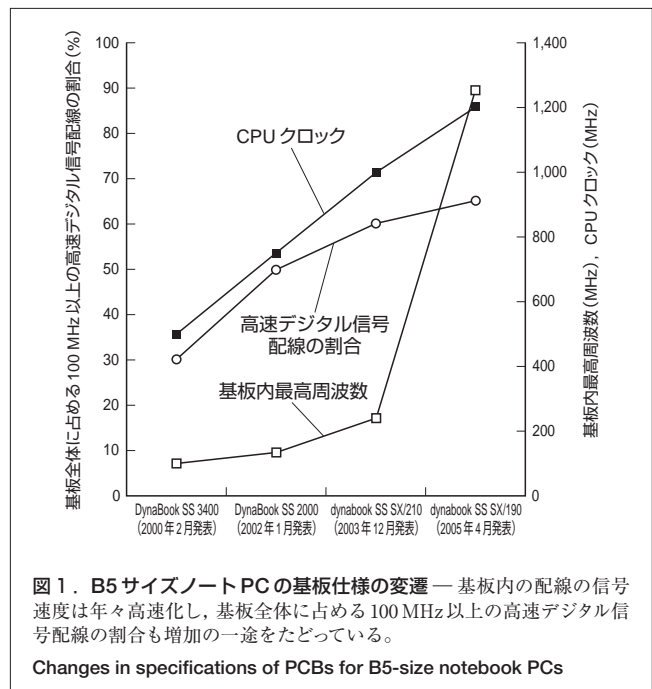


図1. B5サイズノートPCの基板仕様の変遷— 基板内の配線の信号速度は年々高速化し、基板全体に占める100 MHz以上の高速デジタル信号配線の割合も増加の一途をたどっている。

Changes in specifications of PCBs for B5-size notebook PCs

てきた。今回は、その二通りの活用方法について、Thin & Light PCのdynabook SS SX/190及びlibretto U100への適用事例を元に述べる。

2 製品仕様検討プロセスでの活用

Thin & Light PCでは、薄く軽くという仕様を実現するために、基板面積の小型化、高密度化が必須である。小型化や高密度化のためには配線の微細化が必須であり、それに伴い抵抗損失が増加する。

また、プリント配線板の導体と絶縁層との密着性（ピール強度）を確保するために密着面が粗い状態になっており（図2）、高周波領域では表皮効果により電流が流れる断面積が減少する（図3）ため、抵抗損失の更なる増加が懸念される。1.25 GHzの高速インタフェースであるPCI-Expressのように1 GHzを超えてくると、誘電損失も損失要因として加わってくる。

そこで当社では、従来の基板技術を採用しても問題がないか、新規の技術が必要かなどを早期に判断し決断するための検討支援システムとして、高速回路シミュレーションを活用したのでその一部を紹介する。

2.1 断面が一樣な場合の配線粗さと高周波特性の相関

配線の粗さ（ラフネス）はどこを切断するかにより異なると考えられるが、まずは話を簡略化するために、配線の長手方向で断面は一樣と仮定して検討した。解析ツールには、米国Ansoft社製の2次元電磁界解析ソフトウェア Maxwell[®]（注1）2D Extractorを使用した。

（注1） Maxwellは、Ansoft社の米国における登録商標。

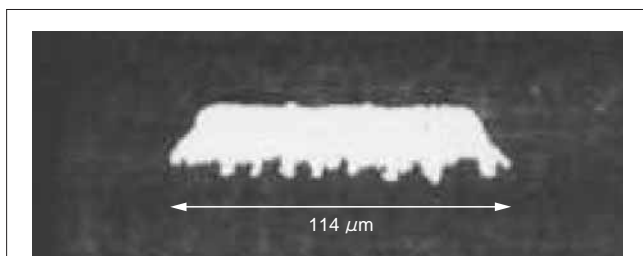


図2. 配線の顕微鏡写真 — プリント配線板の導体は、絶縁層との密着性（ピール強度）を確保するために、密着面が粗い状態になっている。

Photomicrograph of signal line

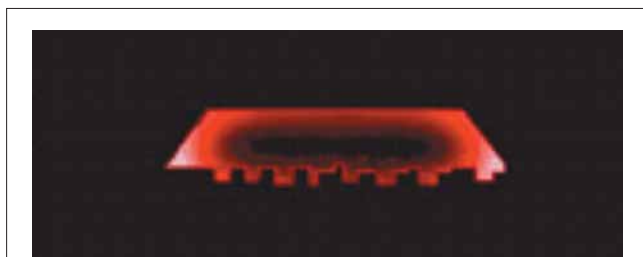


図3. 電流密度の解析結果 — 高周波領域では表皮効果により電流が流れる断面積が減少するため、抵抗損失の増加が懸念される。

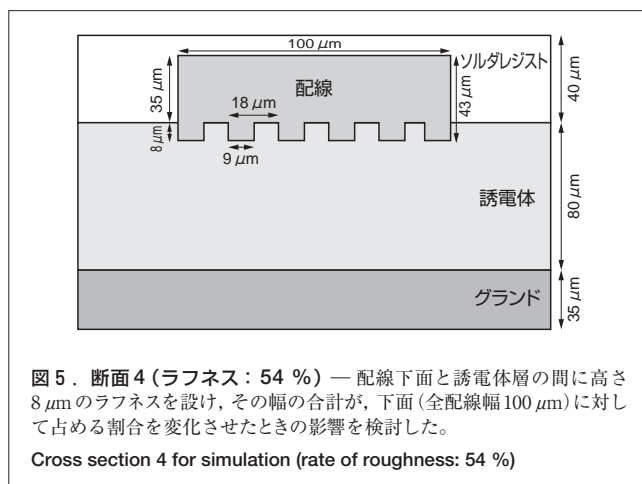
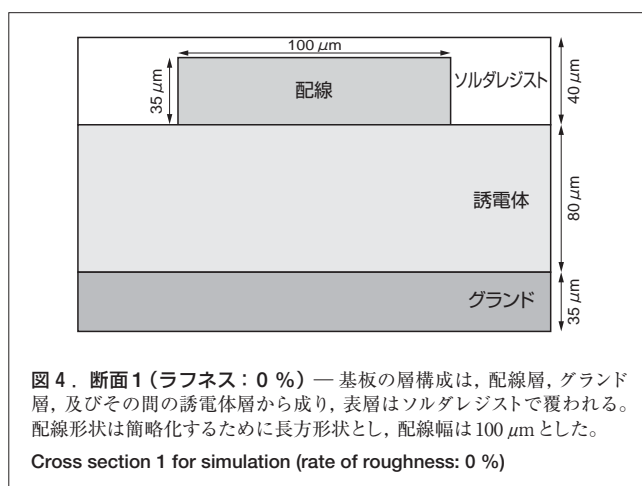
Results of current density simulation

2.1.1 解析内容 配線の断面形状5種類について、単位長さ当たりの抵抗 (R) 値と単位長さ当たりのコンダクタンス (G) 値を周波数ごとに計算した。ここで、R 値は抵抗損失の原因となる配線の導体抵抗値を意味し、G 値は誘電損失の原因となる誘電体のリーク抵抗値の逆数を意味する。

基板の層構成は、配線層（表層：35 μm厚）、グラウンド層（2層目：35 μm厚）、及びその間の誘電体層（80 μm厚）から成り、表層はソルダレジスト（40 μm厚）で覆われる。配線形状は、簡略化するために長方形とし、配線幅は100 μmとした。

基本となる、ラフネスのない解析断面を断面1（図4）とした。また、配線下面と誘電体層の間に高さ8 μmのラフネスを設け、その幅の合計が、全配線幅（100 μm）に対して、12%（断面2）、30%（断面3）、54%（断面4）（図5）、及び100%（断面5）のラフネスを検討した。物性定数として、次の数値を使用した。

- (1) 銅の導電率 $5.76 \times 10^7 \text{ S/m}$
- (2) 誘電体の比誘電率 4.5（周波数に対して一定値を使用）
- (3) 誘電体の誘電正接 ($\tan \delta$) 0.0167



2.1.2 解析結果と考察 R 値及びG 値の解析結果を

図6, 図7に示す。

R 値の解析結果(図6)では, 100 MHz以下の低周波領域においてはラフネスによって有意な差はないが, 100 MHz以上の高周波領域においてはラフネスによって損失が大きくなることがわかる。断面1~5でのR 値の大小は次の順位となった。

断面5 < 断面1 < 断面4 < 断面3 < 断面2

つまり, ラフネスの存在はR 値に強く影響し, ラフネスが細かい断面2がもっともR 値が大きくなることがわかる。これは, 表皮効果により, 面積の小さいラフネスの突起部分に電流が集中するためと考えられる(図8)。また, G 値の解析結果(図7)でも, ラフネスの存在がG 値を大きくしていることがわかる。これは, ラフネスの突起が大きいと誘電体に食い込む割合が大きくなり, 誘電損失の要因となる実効比誘電率を

増加させるためと考えられる。

R 値, G 値が大きくなることにより, 信号の伝達効率(SパラメータのS21)が劣化することになる。配線長を50 cmと仮定してS21を計算した結果を図9に示す。明らかにラフネスにより, 信号の伝達効率が劣化していることがわかる。以上の結果から, 配線下端面のラフネスの存在は, 100 MHz以上の高周波領域における伝送損失に大きな影響を及ぼす。高速信号配線設計をする場合, ラフネスのない銅箔(はく)を検討する必要がある。

2.2 断面が一樣でない場合の配線粗さと高周波特性の相関

次に, 配線の長手方向の形状によりラフネスが異なるケースを検討した。解析ツールには, 米国Ansoft社製の3次元電磁界解析ソフトウェア Maxwell[®]Q3D Extractorを使用した。

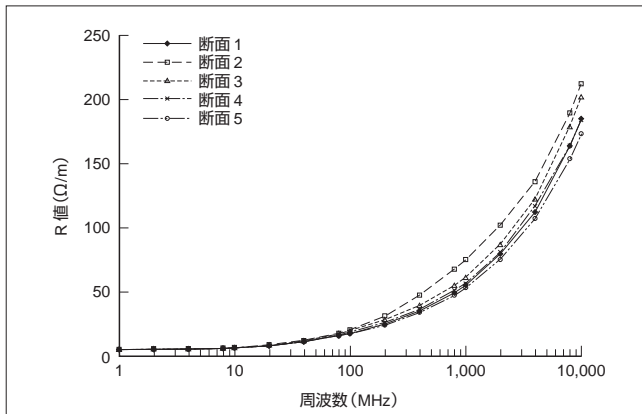


図6. R 値の解析結果 — 100 MHz以下においてはラフネスによって有意な差はないが, 100 MHz以上においてはラフネスの存在がR 値を大きくしていることがわかる。

Results of resistance value simulation



図8. 断面4の電流密度の解析結果 — 表皮効果により, 面積の小さいラフネスの突起部分に電流が集中していることがわかる。

Results of current density simulation for cross section 4

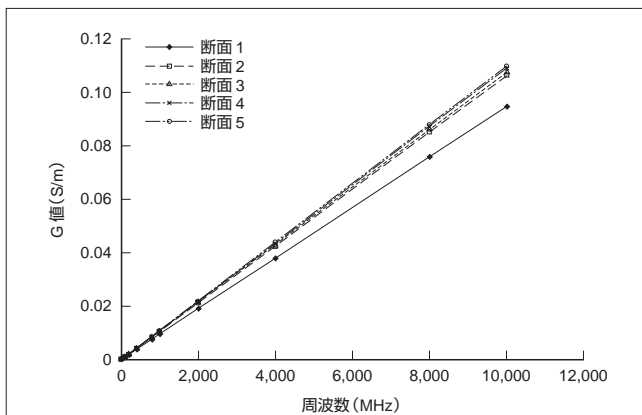


図7. G 値の解析結果 — ラフネスの存在は, G 値を大きくしていることがわかる。

Results of conductance value simulation

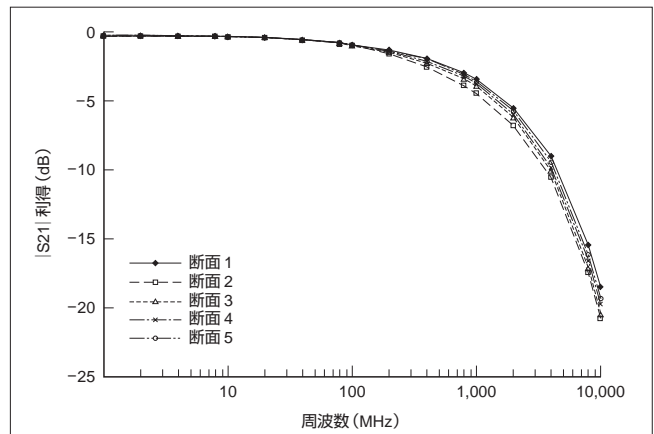
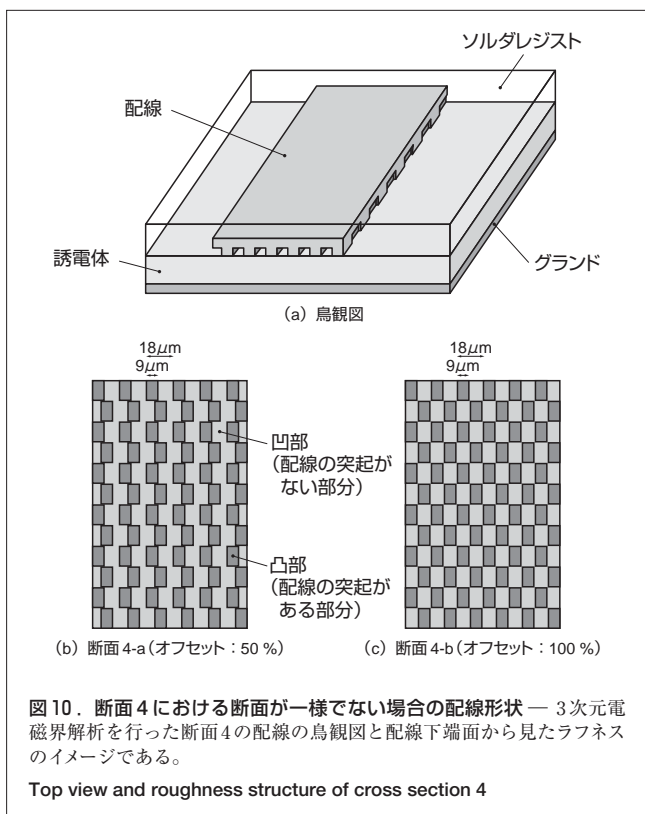


図9. 50 cm 配線における信号伝達効率の解析結果 — 配線長を50 cmと仮定してS21を計算した結果から, 明らかにラフネスにより信号の伝達効率が劣化していることがわかる。

Results of signal transmission efficiency simulation for 50 cm-length line

2.2.1 解析内容 2.1節で検討した断面1, 断面4, 断面5について, Maxwell[®] Q3D Extractorで検証を行った。

一様でない断面を検討するため, 断面4に対してラフネスの位置を50%オフセットした断面4-aと100%オフセットした断面4-bについて解析を実施した。配線の鳥観図とそれぞれの断面を配線の下端面から見たラフネスのイメージを図10に示す。



2.2.2 解析結果・考察 解析結果を表1に示す。R値は, 断面4 < 断面4-a < 断面4-bの順で大きくなる。これは, オフセットが大きくなるにつれて電流がスムーズに流れなくなり, R値が大きくなるためと考えられる。

表1. 長手方向に一様でない場合のR値の解析結果
Results of resistance value simulation in case of nonuniform cross section

	断面1	断面4	断面4-a	断面4-b	断面5
R (Ω/m)	13.35	12.88	13.98	17.00	12.62

3 配線ガイド検討プロセスでの活用

当社では, 高精度のシミュレーション技術を駆使し, 伝送距離をICベンダー発行の配線ガイドよりも長く引き伸ばすこ

とによって, 機器の付加価値を高めている。Thin & Light PCの基板に搭載されているPCI-Expressもその一例である。

PCI-Expressは, GビットEthernetのコントローラLSIとサウスブリッジLSIの間を接続する, 信号周波数が1.25GHzの超高速インタフェースであり, ICベンダー発行の配線ガイドは厳しく, 規定の最大配線長が短い。そのまま使うと部品配置や配線に自由度がなくなり, 製品の差異化が早期に実現できなくなってしまう危険性があった。

そこで, PCI-Expressデザインキットを構築し, 高精度シミュレーションを実施した。PCI-Expressデザインキットは, 次のようなツールから構成される。

- (1) アイパターン波形解析ツール
- (2) 実測に合わせ込んだ高精度な基板配線モデル
- (3) PCI-Express回路モデルのテンプレート
- (4) 差動インピーダンスの実測に合わせ込んだ高精度な配線幅と配線間隔の形状最適化ツール

その結果, PCI-Expressの伝送距離を, ICベンダーの配線ガイドより約1.5倍に引き伸ばせることがシミュレーションで確認でき, 部品配置などの機器設計の自由度を大幅に高めることができた。

4 あとがき

高速回路シミュレーション技術について, Thin & Light PCを例に述べた。ノートPCの設計では, 今後PCI Express Generation2やDDR3が登場し, PCの性能向上による基板内伝送路のますますの高速化が見込まれる。今後も, 高速回路シミュレーション技術の更なる強化を図り, 魅力ある製品づくりに貢献していきたい。

文献

- (1) 古賀裕一, ほか. Thin & Light PCの基板小型化技術. 東芝レビュー. 60, 8, 2005, p.15-18.



川口 均 KAWAGUCHI Hitoshi

PC&ネットワーク社 PC開発センター 設計プロセス開発センター主務。電気系CAEの構築に従事。
PC Development Center



近藤 泰昌 KONDO Yasumasa

ISセンター エンジニアリングシステム部主務。電気系解析業務に従事。電子情報通信学会, エレクトロニクス実装学会会員。
Information Systems Center



古賀 裕一 KOGA Yuichi

PC&ネットワーク社 PC開発センター PC設計第一部主務。PCのハードウェア開発に従事。
PC Development Center