

省エネの切り札 — 炭化ケイ素スーパショットキーバリアダイオード

Ultra-Low-Loss Silicon Carbide Super Schottky Barrier Diodes

西尾 譲司 四戸 孝

■ NISHIO Johji ■ SHINOHE Takashi

シリコン (Si) パワーデバイスの低オン抵抗化において有用性が確認されたフローティングジャンクション構造を、炭化ケイ素 (SiC) ショットキーバリアダイオード (SiC-SBD : Schottky Barrier Diode) へ適用したスーパショットキーバリアダイオード (Super-SBD) を開発した。デバイスパラメータの最適化とプロセス開発を行い、実際に試作した Super-SBD で、耐圧 2,427 V、特性オン抵抗 3.03 mΩcm² が得られた。この特性は、パワーデバイスの性能指数である BFOM (Baliga's Figure Of Merit) 値として 7,762 MW/cm² と表され、これまでの最高値を達成した。

このダイオードを各種電源やインバータ装置などに適用することで、省エネ化と小型化が期待できる。

Toshiba has applied the floating junction structure, which has been confirmed to be effective in reducing the on-resistance of silicon power devices, to silicon carbide super Schottky barrier diodes (SiC super-SBDs). Optimization of the device parameters, derived by making improvements in the device simulator, and development of the fabrication process have enabled super-SBDs with a breakdown voltage of 2,427 V and a specific on-resistance of 3.03 mΩcm² to be realized. These values correspond to the world record of 7,762 MW/cm² for Baliga's figure of merit (BFOM), which is widely used for power devices.

The newly developed SiC super-SBDs will help to reduce both energy loss and equipment volume of inverter units.

1 まえがき

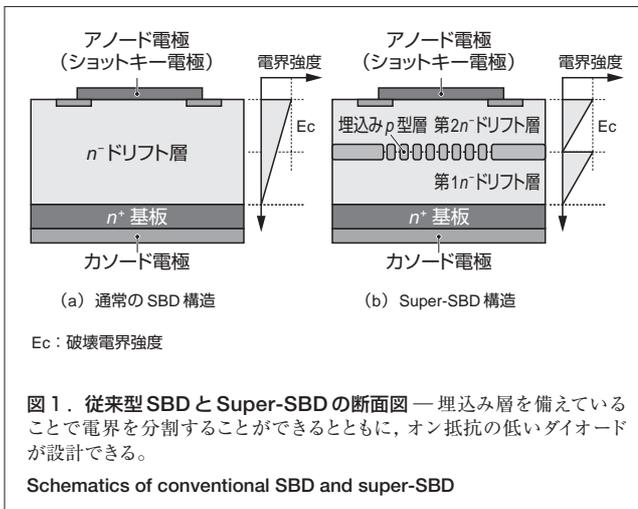
日本国内で供給されているエネルギーの 40% 以上が電気エネルギーの形で消費されており、その約半分が回転機器による動力エネルギーとして消費されている。地球規模での省エネ化への取組みのなかで、電気から動力への変換器であるモータやその制御系を含めたシステムの効率向上を図ることは非常に重要である。特に産業用回転機器のインバータ制御化を進めることは必要不可欠な取組みであると考えられる。

モータ駆動用インバータ装置の省エネ化を進める方策としては、インバータ装置のなかでいちばん数が多いパワーデバイスであるダイオードの損失を低減させることが重要である。また、インバータ制御による回路の高周波化は、装置の小型化ができるため、これによってシステムのコストダウンが図られ、その結果インバータ化を加速することによっていっそうの省エネに貢献できる。

ここでは、省エネを実現するパワーデバイスとして東芝が開発した、超低オン抵抗スーパショットキーバリアダイオードについて述べる。

2 パワーデバイスの現状

耐圧 600 V 以上の電力応用分野におけるパワーユニットの



スイッチングデバイスとして半導体材料にシリコン (Si) を用いた IGBT (Insulated Gate Bipolar Transistor) が広く使われており、その特性改善は着実に進められている。しかし、IGBT とペアで用いられるダイオードの特性改善は限界に達しており、装置全体の損失を低減するにはダイオードの低損失化が大きな課題となっている。

この状況を打破するためには、高耐圧・超低損失パワーデバイス用の材料として期待されている炭化ケイ素 (SiC) を用いたダイオードの早期実用化が急務である。しかし、耐圧 600 V 系で実用化が始まっている SiC ショットキーバリアダイ

オード (SBD: Schottky Barrier Diode) のオン電圧は、同耐圧の Si PiN (p-intrinsic-n) ダイオードと同程度にすぎず、適用範囲は、もっぱら逆回復電荷が小さいことを利用する、比較的高周波の応用分野に限られていた。

Si パワーデバイス開発の最近の傾向を振り返ると、Si という半導体材料の特性で決まる特性オン抵抗と耐圧のトレードオフ限界 (ユニポーラ限界) を打ち破るために、構造上の工夫が多くなされるようになってきた。スーパージャンクション (超接合) 構造^{(1),(2)} やフローティングジャンクション (浮遊接合) 構造 (図1)⁽³⁾⁻⁽⁶⁾ という、ドリフト層抵抗を材料限界以下に低減できる新しい構造が注目を集めている。前者の構造は、耐圧 600 V 級 Si-MOSFET (Metal Oxide Semiconductor Field Effect Transistor) に適用されて数社から商品化されており、スイッチング電源、ノートパソコン (PC) の AC アダプタなどに広く使われるようになってきた。しかし、この構造は、ウェーハの縦方向にピラーと呼ばれる p 型層と n 型層を交互に形成し、それらの電荷量を厳密に一致させないと高耐圧を期待できないため、高度なプロセス技術が必要とする。それに対して後者の構造は、空乏化しない程度の濃度で開孔部分を持つ埋込み p 型層を形成すればよいので、SiC に適用する場合にはより現実的な選択肢となる。また、前者の構造に比べて低い耐圧領域からドリフト層抵抗低減効果を発揮しやすいという特長があり、耐圧 1~5 kV 程度の SiC ユニポーラデバイスでオン抵抗低減の効果が見込まれる。

以下では、当社が 4H (Hexagonal) -SiC ユニポーラ限界を超える超低オン抵抗を実現するダイオードとして、Si での試作でその有用性が確認されたフローティングジャンクション SBD (以下 Super-SBD と記す) を試作し、パワーデバイスの世界最高性能指数を達成したので、その詳細について述べる。

3 SiC Super-SBD

図1 (a) に示した通常の SBD 構造では、耐圧を保持するために n-ドリフト層のキャリア濃度を下げなければならず、ドリフト層の抵抗が高くなってしまふ。一方 Super-SBD 構造では、図1 (b) に示すように、n-ドリフト層中に p 型の埋込み層が形成されているのが特徴である。このダイオードに逆バイアスが印加されると、空乏層は上部のショットキー電極から第 2n-ドリフト層内に伸び、この層が空乏化されると、次に埋込み p 型層下部から第 1n-ドリフト層内に空乏層が伸びていく。電界強度分布を比較すると、従来型 SBD では 1 個の三角形分布となっているのに対し、Super-SBD では 2 個の三角形分布に分割されている。耐圧は三角形の面積の合計に対応するので両社の耐圧は同じとなるが、三角形の傾きに対応する n-ドリフト層のキャリア濃度は Super-SBD の

方が 2 倍となり、ドリフト層抵抗を低減できる。ドリフト層全体の厚さを一定に保ってドリフト層数を K 個に分割すると、ドリフト層抵抗は 1/K に低減できる。分割数を増やすほど特性は向上するが、製造工程の増加によりコストアップとなるので、いかに最小の分割数で特性を向上させるのかが実用的な意味では重要である。

4 4H-SiC Super-SBD の設計技術

高耐圧を保持しながらドリフト層抵抗を効果的に低減するためには、エピタキシャル成長によって形成する各ドリフト層のキャリア濃度と厚み、埋込み p 型層の幅と開孔の寸法を最適化する必要がある。当社は、4H-SiC の移動度とインパクトイオン化率の測定に基づいてデバイスシミュレータの高精度化を行い、特性オン抵抗と耐圧のトレードオフが最良となるようにデバイスパラメータを最適化した。

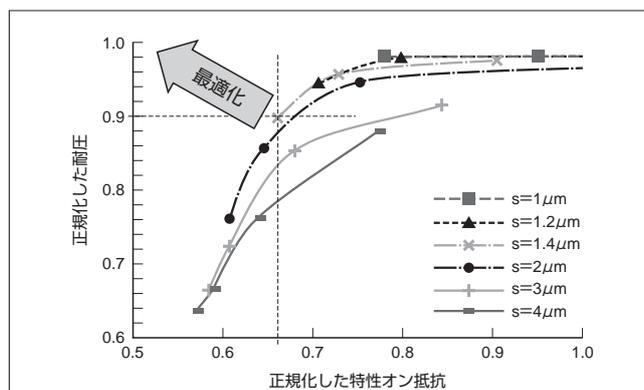


図2. Super-SBD の数値計算結果 (埋込み p 型層の寸法最適化) — 埋込み p 型層の寸法を種々変化させて最適値を見積もった。
Results of super-SBD simulation: size effect of p-type buried layer

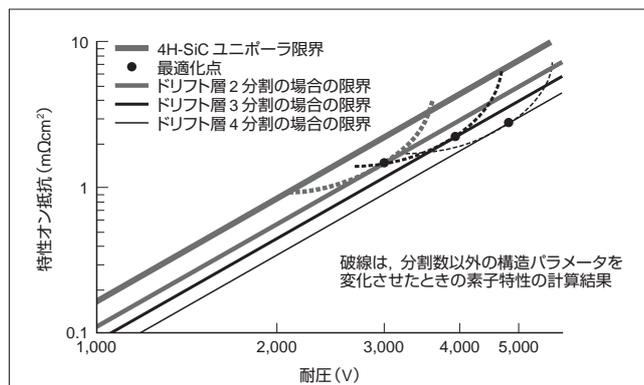


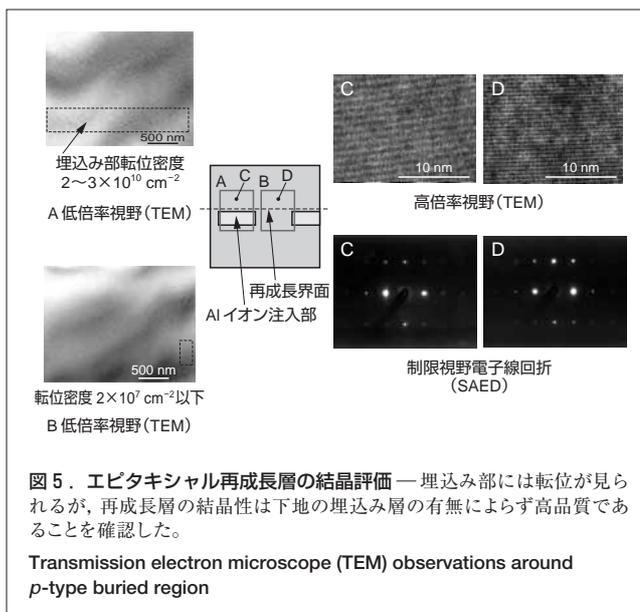
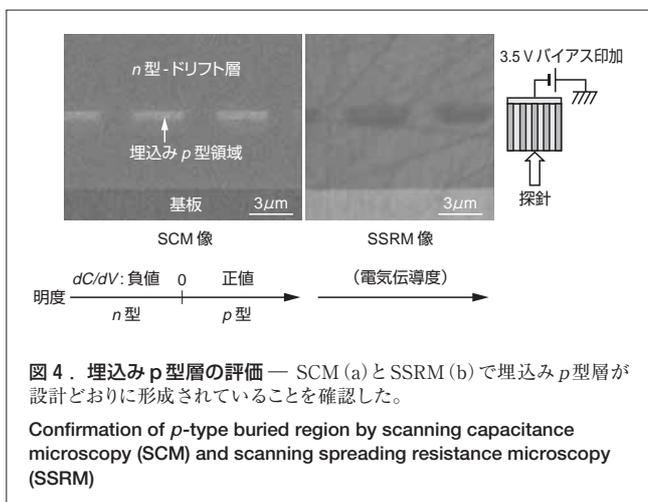
図3. Super-SBD の数値計算結果 (多層の場合の最適化) — オプティマイザの最適化点 (性能指数が最大) から Super-SBD の性能限界を求めた。多層の Super-SBD により 3,000 V 超の超低損失 SBD が実現できるようになる。
Results of super-SBD simulation: multilayer optimization

図2に示すように正規化した特性オン抵抗と耐圧の関係をみると、特性オン抵抗と耐圧が共に埋込みp型層の開孔(s)の寸法に強く影響を受けることがわかると同時に、矢印の方向に設計指針を取ればよいことがわかる⁽⁷⁾。埋込み層を1層とした場合のドリフト層の最適キャリア濃度の設計では、ドリフト層の厚みがそれぞれ10μmの場合、耐圧3,000V付近を狙い $1 \times 10^{16} \text{ cm}^{-3}$ にすれば、4H-SiCのユニポーラ限界を超える性能の得られる計算結果が得られている⁽⁸⁾。また、ドリフト層の分割数を増やした場合の最適計算は、図3に示すような最適点がダイオードの性能指数として最大になることがわかる⁽⁹⁾。

5 プロセス開発

試作プロセスの観点から見ると、4H-SiC パワーデバイスの研究例として、これまでもMOSFETやJFET (Junction Field Effect Transistor)のチャネル部分の下に埋込みp型層を形成する報告はあったが、Super-SBDのように埋込みp型層上にn-ドリフト層を形成して高耐圧を保持させた例はない。埋込みp型層上の再エピタキシャル成長に伴うプロセス上の課題は、埋込みp型層自身が再成長前に水素エッチングなどによって消失していないか、p型層形成のためにイオン注入したアルミニウム (Al) のオートドーピングは無視できるか、残留不純物濃度は十分低いか、イオン注入層上へのエピタキシャル再成長層は耐圧保持できるのか、などが懸念された。

Alイオン注入のプロファイルとエピタキシャル再成長条件の検討を行って、界面へのオートドーピング防止、イオン注入プロファイルの維持を図り、図4に示すように素子断面のSCM (Scanning Capacitance Microscopy)とSSRM (Scanning Spreading Resistance Microscopy)による埋込み層の伝導型、形状、及び寸法の評価を行い、また、SIMS (Secondary

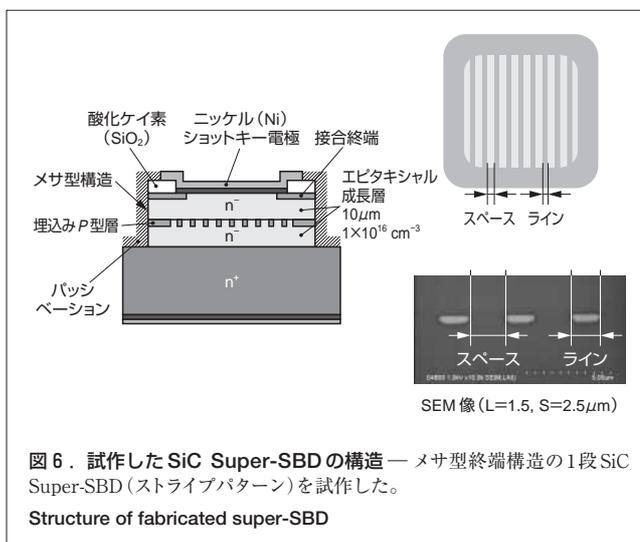


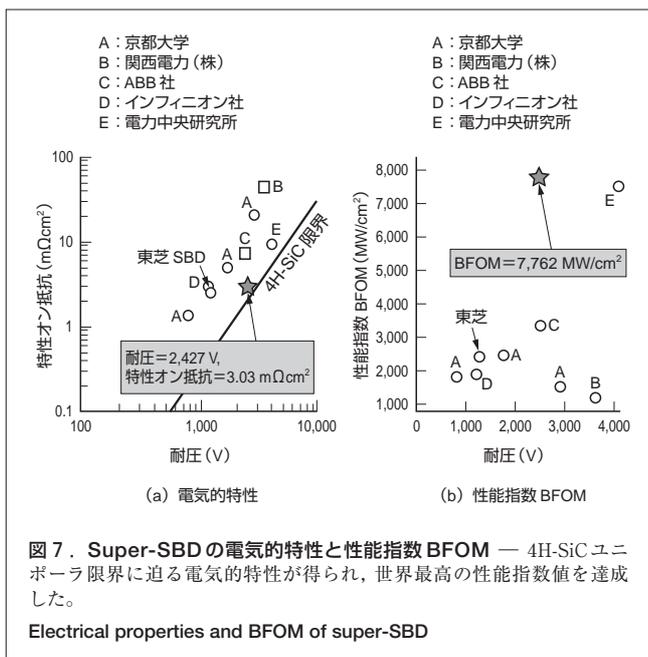
Ion Mass Spectrometry)の深さ方向評価によるキャリア濃度と残留不純物濃度評価を行って、目標とした埋込み層が形成できていることを確認した⁽¹⁰⁾。

また、図5に示すように高分解能TEM (Transmission Electron Microscope)とSAED (Selected Area Electron Diffraction)によりエピタキシャル再成長層の結晶性評価を行った。その結果、埋込みp型層上に成長したドリフト層の結晶品質は埋込みp型層がない部分と同程度であることが、TEMとSEADどちらにおいても確認された⁽¹¹⁾。

6 デバイス試作結果⁽¹²⁾

図6に試作した4H-SiC Super-SBDの構造断面模式図を示す。埋込みp型層を1層備えている構造で、終端構造はメ





サ型構造を採用した。このようなダイオードで耐圧2,427 V、特性オン抵抗3.03 mΩcm²を得た。この特性を他の報告例と共に図7に示す。電子の移動度を1,000 cm²/Vs、破壊電界強度を2.49 MV/cm⁽¹³⁾とした場合の4H-SiCユニポーラ限界に迫る特性が得られていることがわかる。パワーデバイスの性能指数であるBFOM (Baliga's Figure Of Merit) 値⁽¹⁴⁾で表現すると7,762 MW/cm²を達成しており、図7(b)に示すように、現在のところ、この値は世界最高値である。

7 あとがき

SiC Super-SBDの構造パラメータの最適設計、プロセス開発、及びデバイス試作を行い、ダイオードの世界最高性能指数値を達成した。

今後、SiCダイオードの更なる省エネ化を目指した検討を進めるとともに、スイッチングデバイスとの組合せによるパワーユニットとしての総合損失の低減を図り、Siパワーユニットに対し格段の優位性を持つ省エネ特性を目指して開発を進める。

なお、この研究は経済産業省からの交付金を原資とし実施する「エネルギー使用合理化技術戦略的開発」事業の一つとして、独立行政法人新エネルギー・産業技術総合開発機構の委託契約に基づき実施したものである。

文献

- Fujihira, T. Theory of semiconductor superjunction devices. Jpn. J. Appl. Phys. **36**, 1997, p.6254 - 6262.
- Lorenz, L., et al. "COOLMOS™ — a new milestone in high voltage power MOS". Proceedings of the 11th International Symposium on Power Semiconductor Devices and ICs 1999. Toronto, Canada, 1999-05, IEEE, 1999, p.3 - 10.
- 大村一郎, ほか. 半導体装置. 特開平9-191109, 1997.
- Cézac, N., et al. "A new generation of power unipolar devices: the concept of the floating islands MOS transistor (FLIMOST)". Proceedings of the 12th International Symposium on Power Semiconductor Devices and ICs 2000. Toulouse, France, 2000-05, IEEE, 2000, p.69 - 72.
- Chen, X.B., et al. A novel high-voltage sustaining structure with buried oppositely doped regions. IEEE Trans. Electron Devices. **47**, 2000, p.1280 - 1285.
- Saitoh, W., et al. "Ultra low on-resistance SBD with p-buried floating layer". Proceedings of the 14th International Symposium on Power Semiconductor Devices and ICs 2002. Santa Fe, NM, 2002-06, IEEE, 2002, p.33 - 36.
- Adachi, K., et al. "SiC device limitation breakthrough with novel floating junction structure on 4H-SiC". Materials Science Forum. **433-436**, 2003, p.887 - 890.
- Hatakeyama, T., et al. "Process and device simulation of a SiC floating junction Schottky barrier diode (Super-SBD)". Materials Science Forum. **483-485**, 2005, p.921 - 924.
- Hatakeyama, T., et al. "Optimization of a SiC Super-SBD based on scaling properties of power devices". Materials Science Forum. 2006, in press.
- Nishio, J., et al. "Epitaxial overgrowth of 4H-SiC for devices with p-buried floating junction structure". Materials Science Forum. **483-485**, 2005, p.147 - 150.
- Nishio, J., et al. "Transmission electron microscope observations of 4H-SiC Schottky barrier diodes containing p-buried floating junction". Materials Science Forum. 2006, in press.
- Ota, C., et al. "Fabrication of 4H-SiC floating junction Schottky barrier diodes (Super-SBDs) and their electrical properties". Materials Science Forum. 2006, in press.
- Konstantinov, A. O., et al. Study of avalanche breakdown and impact ionization in 4H silicon carbide. J. Electron. Mater. **27**, 4, 1998, p.335 - 341.
- Baliga, B. J. Power semiconductor device figure of merit for high-frequency applications. IEEE Electron Device Lett. **10**, 10, 1989, p.455 - 457.



西尾 譲司 NISHIO Johji, D.Eng.

研究開発センター 先端電子デバイスラボラトリー主任研究員、工博。SiCパワー半導体素子の研究・開発に従事。応用物理学会、結晶成長学会会員。

Advanced Electron Devices Lab.



四戸 孝 SHINOHE Takashi

研究開発センター 先端電子デバイスラボラトリー研究主幹。Si縦型パワー半導体素子、SiCパワー半導体素子の研究・開発に従事。電気学会、応用物理学会会員。

Advanced Electron Devices Lab.