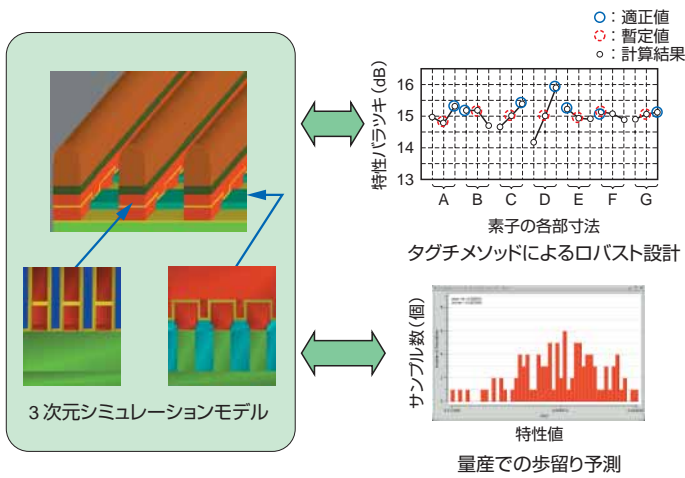


● シミュレーションによる NAND デバイスのロバスト設計



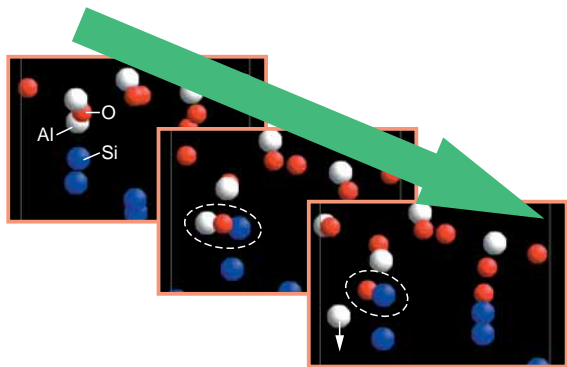
NAND デバイスのロバスト設計
 Robust design for NAND flash memory

NAND (Negative AND circuit) 型メモリの製造プロセス変動の影響を考慮したデバイス構造設計シミュレーション技術を開発した。

デバイス構造を3次元でモデリングすることで、電気特性を7%以下の精度(実測値との差)で計算する。更に、タグチメソッドによるプロセス変動に対する電気特性の感度評価、モンテカルロ法によるプロセス変動時の電気特性変動をシミュレーションする。

この技術をデザインルール 100 nm 以下の先端 NAND 型メモリに適用し、量産プロセスのバラツキに対して電気特性変動が少ない素子構造を設計した。

● 計算化学による次世代デバイスプロセス評価



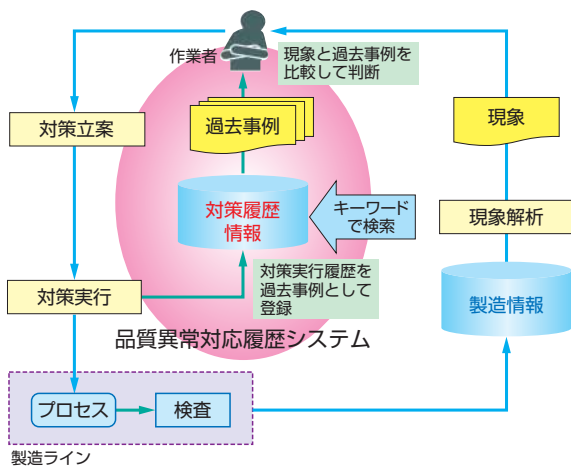
高誘電体 / Si 界面での Al の拡散
 Aluminum diffusion into silicon from high-k dielectric

計算化学は、従来解明できなかった現象を原子レベルで解析・シミュレーションする技術である。当社は、次世代メモリデバイスの高誘電体膜と Si 界面で発生するアルミニウム (Al) の拡散現象について、計算化学を用いて原因を予測した。シミュレーションによって次の結果を得ることができた。

- (1) 高誘電体膜中に拡散した Si が酸化アルミニウム (Al-O) の結合を切断することで Al の拡散が発生しやすくなる。
- (2) Al の拡散を防止するために必要な拡散防止膜厚を予測することができる。

今後、計算化学による解析を新材料の物性予測に適用し、次世代デバイスプロセス開発に活用していく。

● 品質異常対応履歴システム



品質異常対応履歴システム
 Response flow checklist system

製造ラインで品質の異常が発生した際に、過去の事例を参照・活用して対策の立案を迅速化するための品質管理システムを開発した。

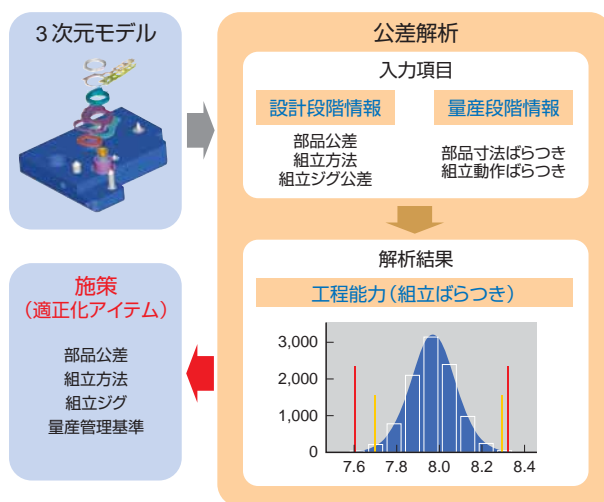
このシステムでは、品質異常に対する対策の履歴をデータベースに蓄積し、異常発生時に作業者が過去の類似事例を現象、工程、装置などのキーワードで検索する。このシステムを液晶パネルの製造ラインに適用した。これにより、品質異常の発生から復帰までの時間を短縮し、突発的な異常による不良数を低減することが可能となった。

● 公差解析技術

製造性を考慮した高品質な製品を短時間で開発することを目的に、部品加工精度と組立精度を適正化する公差解析技術を開発した。

公差解析は、製品を構成する部品の寸法許容値(公差)を定義して、最終的な組立精度を統計的に予測するもので、製品の組立精度に対する部品公差、部品の組立順序、ジグ精度の影響度などを総合的にとらえることができる。

この技術を0.85型HDDの開発に適用し、品質の高い製品の実現に寄与した。



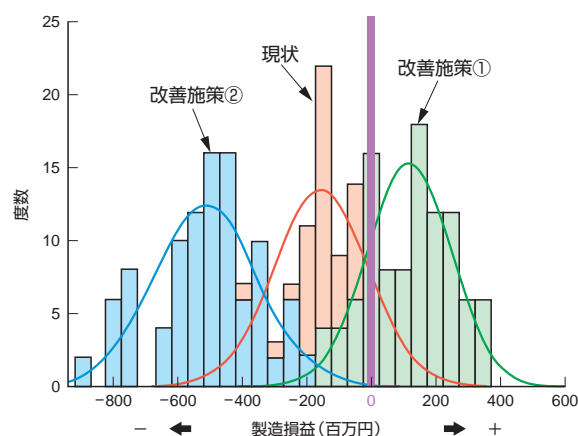
公差解析による適正化
Tolerance analysis technology

● 改善施策効果可視化ツール

製造ラインの生産性向上を目的に、複数の改善施策の効果を財務指標で可視化するツールを開発した。

製造ラインの複数の改善施策をモデリングし、歩留り、材料費、販売価格などをモンテカルロ法で変動させて、損益のヒストグラムで施策の優劣とリスクの大きさを表現する。

このツールにより、半導体ディスクリート製品の組立ラインをモチーフに、製造工程の連結方法と仕掛在庫の保有方法の異なる複数の施策案を評価するなど、今後製造ラインの施策実施の意思決定に活用していく。



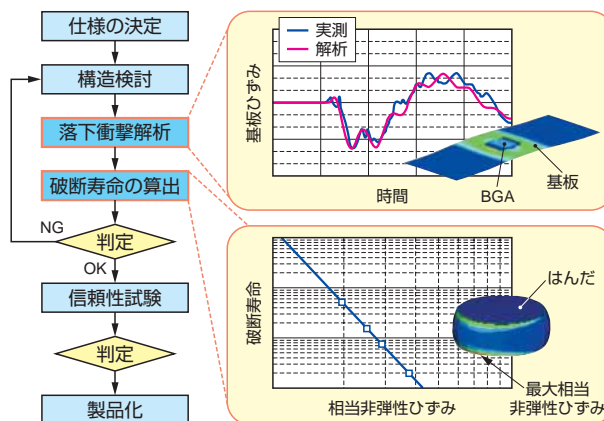
施策の優劣を表現した製造損益のヒストグラム
Visualization of superiority or inferiority of improvement measures

● 落下衝撃評価・解析技術

BGA (Ball Grid Array) はんだ接合部について、落下衝撃による破断寿命を予測できる手法を開発した。

基板を落下させたときの、基板及びはんだに生じる動的なひずみを数値解析により計算し、落下試験データと組み合わせることで、はんだのひずみと破断寿命の関係(実験式)を導出した。実験式を活用することによって、BGAのパッケージサイズやバンプ配列に応じた寿命予測を短時間で実現することが可能となった。

この技術を用いて、製品の耐落下信頼性を設計段階で評価・検討し、開発リードタイム短縮と高信頼性化に貢献していく。



はんだ接合部の落下衝撃解析
Drop impact analysis for solder joints