

スピントロニクス デバイスと磁化制御技術

Spin-Electronics Devices and Magnetic Switching Technique

中村 志保 齊藤 好昭 森瀬 博史

■ NAKAMURA Shiho ■ SAITO Yoshiaki ■ MORISE Hirofumi

スピントロニクス デバイスは、伝導キャリアが持つスピンの自由度と磁性体材料の不揮発性を利用することで、これまでにない省電力化、高性能化、及び新規機能の発現を目指している。

東芝は、高度ユビキタス社会に向けたスピンメモリやロジックデバイスを実現するため、スピントロニクス デバイスの心臓部となる磁化制御技術としてスピン注入磁化反転の低電流密度化を進め、新型構造の導入により $1 \times 10^6 \text{ A/cm}^2$ までの低減を実現してきた。今後、更なる低電力化を進め、これを基盤として新規デバイスを確立する。

Spin-electronics devices utilize the spin degree of freedom in addition to the charge degree of freedom and the nonvolatile property of magnetic materials.

To realize ultralow power consumption and new functions, Toshiba has developed a current-induced magnetic switching technique as a fundamental technique for such devices, and lowered the switching-current density to $1 \times 10^6 \text{ A/cm}^2$ by introducing new device structures. This technique is expected to lead to the realization of new devices including spin memories and logic devices, which will form the basis of the advanced ubiquitous society.

1 まえがき

インスタント オンパソコンを可能にし、省電力化に寄与する新しいデバイスとして、磁気RAM (MRAM)の研究開発が急速に進んでいる。MRAMに代表されるスピンを用いたデバイスでは、スピンを活用することで自由度を増し、更に、磁石の性質である不揮発性を利用することで、ユビキタス社会に向けた従来にない機能の発現若しくは機能の高度化を目指している。

スピン自由度を活用するためには、素子サイズとして次の二つを満たす必要がある。第一に、固体中を流れる電子のスピン状態が維持されることであり、第二に、磁化が単一磁区を維持するサイズであることである。前者は電流パスの寸法を、後者は磁性体の面内寸法を規定する。前者の距離はスピン拡散長と呼ばれ、大方の材料で数nm～数百nmの範囲にある。一方、後者はおよそ100nm以下、望ましくは数十nm以下である。これらのサイズを実現する、近年の成膜技術と微細加工技術の進歩により、スピントロニクスは大きく発展しようとしている。

東芝は、メモリデバイスの高集積化及びロジックデバイスの高機能化や新機能発現のためのブレークスルー技術として、スピントロニクス デバイスの開発を進めている。ここでは、まずこれらデバイスの目指す方向を述べ、次に、スピントロニクス デバイスに不可欠な磁化の制御技術として、低電流密度・スピン注入磁化反転技術について述べる。

2 スピントロニクス デバイス

スピントロニクス デバイスの現状と将来像を図1に示す。スピントロニクス デバイスは、伝導キャリアが持つスピン自由度と磁性体材料の不揮発性を利用することで、これまでのデバイスをしのぐ、高機能、超小型、及び低消費電力の新スピンデバイスの創製を目指す。アップとダウンの二つのスピン電流によるスピン依存伝導は、既に巨大磁気抵抗 (GMR) ヘッドに適應されている。GMRのスペーサ層を金属から絶縁層へ変えることで発現するトンネル磁気抵抗 (TMR) 効果を、記録機能と組み合わせることで、MRAMなど

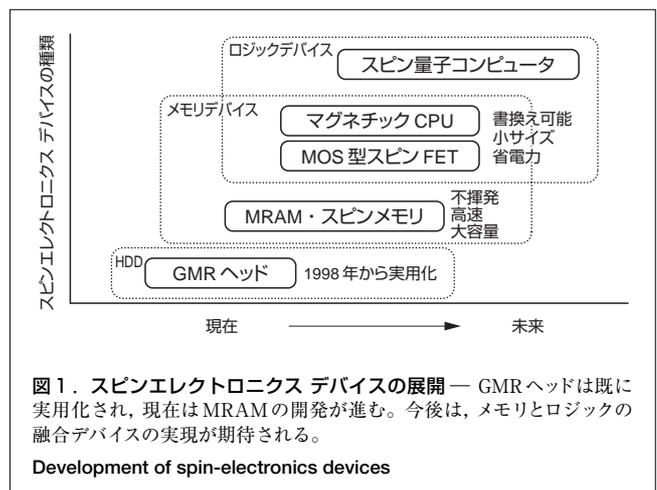


図1. スピントロニクス デバイスの展開 — GMRヘッドは既に実用化され、現在はMRAMの開発が進む。今後は、メモリとロジックの融合デバイスの実現が期待される。

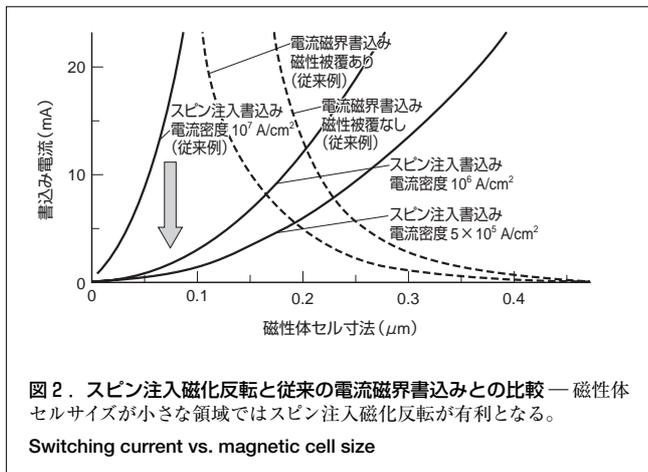
Development of spin-electronics devices

の大容量ユニバーサル不揮発RAMの実現が期待される。

メモリの次なるターゲットは、メモリ機能とロジック機能の融合デバイスの創製である⁽¹⁾。金属酸化物半導体(MOS)型スピントランジスタ(FET)^{(2),(3)}が実現すると、ゲート電圧によるON/OFFに加え、磁性体ソース及び磁性体ドレインの磁化状態により更なるスイッチングが可能となる。また、マグネチックCPUでは、磁化の組合せにより信号処理を行うことで^{(4),(5)}、極めて少ない素子で多機能を実現する。いずれも機能の再構成が可能となるほか、配線遅延の削減も可能になると期待される。更に、電子密度が高い金属系を用いれば、ドーパントの分布を心配することなく極小化できる。このため、これらのデバイスは、省電力、高機能、及び高集積といった、ユビキタス社会を牽引(けんいん)する新たなキーデバイスとして期待される。

3 磁化制御技術

前述のスピントロニクス デバイスを実現するための第一の要素技術は磁化制御技術である。磁化制御の手段として、これまで電流磁界が用いられてきた。しかし、この大きな実績をもつ技術は、ナノレベルまで微細化した磁性体セルの選択については得意とは言えない。電流磁界を用いた場合とスピントランジスタ⁽⁶⁾を用いた場合につき、スイッチングに必要な書き込み電流の素子サイズ依存性を図2に示す。この図は、0.25 μm 幅以下で顕在化する熱揺らぎの影響⁽⁷⁾を考慮した。図2に示すように、磁性体サイズが微小化するに伴い、電流磁界書き込みでは消費電力が急速に増加するが、スピントランジスタ書き込みでは減少する。このため、微小サイズへのスケールビリティが可能な技術として、当社は新規なスピントランジスタ技術の研究開発を進めてきた。スピントランジスタにおいて反転電流は素子面積に比例し、素子面積が小さくなるほど低電力化が可能となる。ただし、これまでのスピントランジスタでは、反転に必要な臨界電流密度は 10^7 A/cm^2 台であ

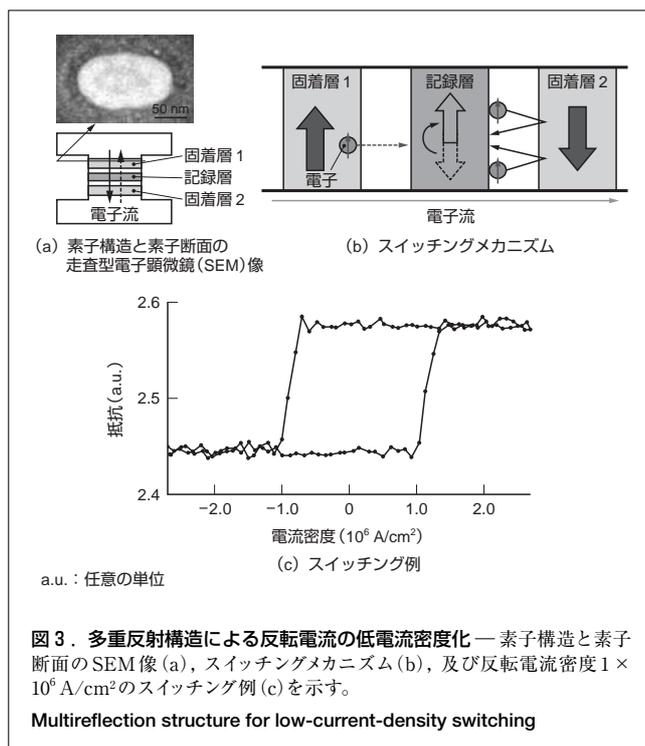


り、素子破壊を防ぎ、磁化制御技術として信頼性を得るためには、低電流密度化が最重要課題であった。

当社は記録部の材料に手を加えることなく、主に素子構造の観点から臨界電流密度の低減を図ってきた。その例として、多重反射効果の適用による低電流密度化と、歳差運動の制御による高速・低電流密度磁化スイッチング、酸化マグネシウム(MgO)トンネルバリアを介した低電流密度・スピントランジスタ磁化スイッチングの三つの結果について、以下に述べる。

3.1 スピン多重反射構造による低電流磁化スイッチング技術

従来型の素子構造は、記録磁性層、スペーサ層、及びスピントランジスタ電子源となる固定磁性層から形成されていた。これに対してスピントランジスタ多重反射を利用した新型構造では、図3(a)、(b)に示すように、スピントランジスタ電子源となる固定磁性層1とともにスピントランジスタの反射層となる固定磁性層2を設ける。そして、固定層2と記録層の間の非磁性層に銅などを用い、反射層の磁化方向はスピントランジスタ電子源と逆向きとする。この構造において、固定層1を通る電子は固定層の磁化方向にスピントランジスタ偏極して記録層へ作用する。一方、これと反対方向にスピントランジスタ偏極した電子は固定層2の反射層により反射され、記録層のもう一つの界面に作用する。記録層へのスピントランジスタ電子の作用面は2倍となるので、2倍のスピントランジスタ注入効果が期待される。しかしこの構造においてはスピントランジスタの多重反射が起こるため、スピントランジスタ注入効率を4~5倍まで高効率化することができる。これにより、臨界電流密度を従来型の1/4~1/5へ低減することに成功した⁽⁸⁾⁻⁽¹⁰⁾。更に、固定層の構造を、磁性単層か



ら多重反射を促進する構造へ改良した結果、図3(c)に示すように 1×10^6 A/cm²までの低電流密度化を実現した。

3.2 歳差運動の制御による高速低電流磁化スイッチング

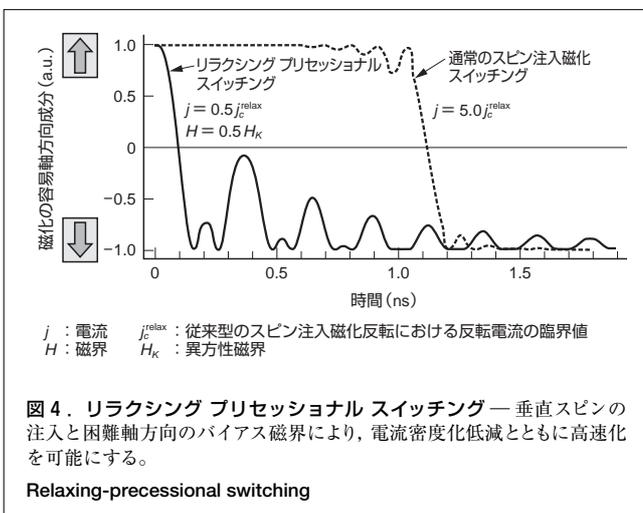
磁化の運動はこまの動きに例えることができる。こまから類推できるように、磁化は首を振りながら反転する。首の振り方は、反転のために磁化に与える力(トルク)の加え方により制御可能であり、従来型と異なる向きのスピントルクと磁場トルクを併用することで、低電流密度化とともに高速化が可能になることを見だし、リラクシングプリセッションナルスイッチングと命名した⁽¹¹⁾。

図4に、シミュレーションにより得られたリラクシングプリセッションナルスイッチングにおける磁化反転の時間変化(実線)を、従来型スピン注入磁化反転の場合(点線)と比較して示す。従来型では、磁化は反転前の軸方向付近でしばらく歳差運動してから徐々に振幅が大きくなり、反転に至る。反転速度は電流に依存し、臨界電流密度の5倍の電流を流した場合、およそ1 nsで反転する。これに対して、リラクシングプリセッションナルスイッチングでは、従来型の臨界電流密度の1/2の電流密度で、早いうちに反対方向まで磁化が回転し、その後、その近傍でしばらく歳差運動を続けてから落ち着く。反転に必要な電流パルスの最小幅は磁化が中間方向を向くまでの時間であるので、図4においてはおよそ0.1 nsとなる。したがって、リラクシングプリセッションナルスイッチングにより、1/10の低電流密度化と10倍の高速化が可能である。

3.3 MgOトンネルバリアを介した低電流密度スピン注入磁化スイッチング

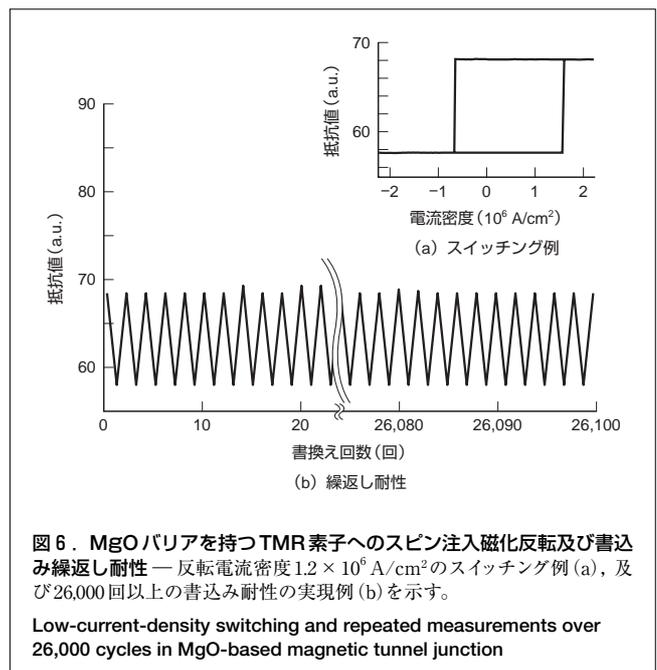
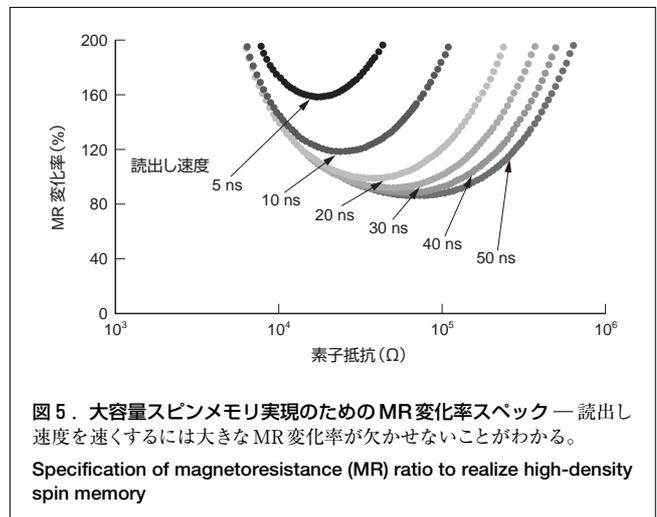
前節までGMR素子及びシミュレーションで得られた要素技術を述べた。最後に、TMR効果を用いた素子へのスピン注入磁化反転結果を述べる。

スピン注入磁化反転をMRAMなどの大容量ユニバーサル不揮発RAMへ応用する場合、読出しの信号出力を確保するためTMR素子が必須となる。もっとも一般的である1トラン



ジスタ-1TMRアーキテクチャを用いた場合の、磁気抵抗変化率(MR変化率)のスペックを図5に示す。スピン注入磁化反転をTMR素子で行う場合、読出し電圧と書込み電圧のマージン確保のため、低い素子電圧で大きなMR変化率を得る必要がある。図5に示すように、トランジスタが安定動作する最低の電圧(200 mV)を素子に印加したときのMR変化率は、DRAM並みの読出し速度を考慮すると、85%以上であることが要求される。近年、MgOトンネルバリアを介した大きなMR変化率が示されており^{(12), (13)}, MgOバリアを介したスピン注入磁化反転は、メモリの実用化を牽引すると期待される。

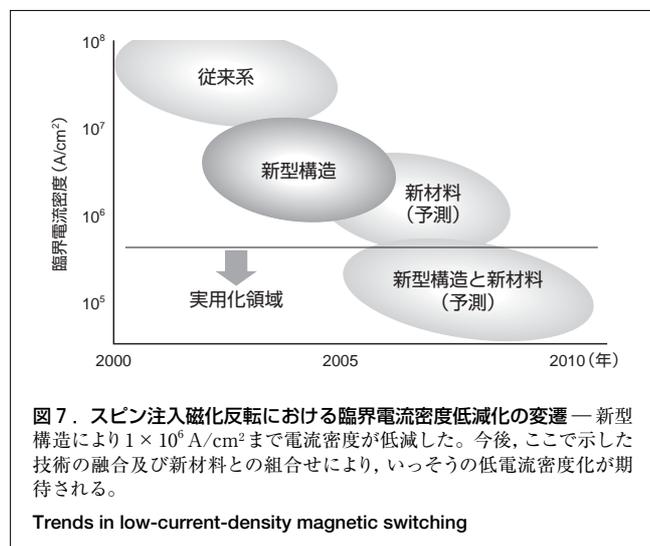
前述したように、トンネルバリアを用いた場合のスピン注入磁化反転では、信頼性(トンネルバリアの破壊)が重要な課題である。そこで、MgOトンネルバリアを介した低電流密度スピン注入磁化反転の一例を次に示す。素子構造は、記録磁



性質にコバルト鉄ボロン(CoFeB), スペーサ層にMgOバリア, そしてスピン偏極電子源にCoFeB/ルテニウム(Ru)/CoFe積層膜を用いたスピンバルブ型TMRである。当社は、低電流密度スイッチングを実現する方法として、弱い磁場アシストによりスピン注入効率を向上させるとともに、エネルギーバリアを低減する方法を用いた⁽¹⁴⁾。図6(a)に示したように、3.1節と同様の平均電流密度 1.2×10^6 A/cm²までの低電流密度化を実現している。スピン注入磁化反転の書き込み繰返し耐性の結果を図6(b)に示す。この結果は、100 μ sパルス電流幅でスピン注入磁化反転を行った結果であり、26,000回以上の書き込み耐性を確認することができた⁽¹⁴⁾。これは、2nsパルス電流幅で行った場合、 10^8 回以上に対応する。

4 あとがき

スピンエレクトロニクスデバイスの展開と、これを実現するための要素技術として低電流磁化反転技術について述べた。低電流磁化反転技術は、メモリ応用だけでなく、スピンエレクトロニクスへ広く応用することが可能である。ここで述べた技術により、面内単層磁化膜への書き込み電流密度として、 1×10^6 A/cm²までの低電流密度化を実現できることがわかった。この技術は、記録部の材料に手を加えることがないため、材料を問わない。現在、新規材料系として、飽和磁化が小さな材料、あるいはハーフメタルと呼ばれるスピン偏極度の極めて高い材料などの開発が進められている。特に、1Gビット以上の大容量素子を実現するためには、耐熱性を持つ反強磁性結合記録層⁽¹⁵⁾や垂直磁化膜への書き込みが望まれる。今回の低電流化技術をそれらの新材料系と組み合わせることで、実用レベルまでの低電流化が期待される(図7)。今後、更なる要素技術の確立を図り、ユビキタス社会実現に向けた、高度情報処理デバイスを開発していく。



この研究の一部は、独立行政法人科学技術振興機構 戦略的基礎研究推進事業の研究助成を受けて行われた。

文 献

- (1) Prinz, G. A. Magnetoelectronics. *Science*. **282**, 1998, p.1660 - 1663.
- (2) Datta, S., et al. Electronic analog of the electro-optic modulator. *Appl. Phys. Lett.* **56**, 1990, p.665 - 667.
- (3) Sugahara, S., et al. A spin metal-oxide-semiconductor field-effect transistor using half-metallic-ferromagnet contacts for the source and drain. *Appl. Phys. Lett.* **84**, 2004, p.2307 - 2309.
- (4) Ney, A., et al. Programmable computing with a single magnetoresistive element. *Nature*. **425**, 2003, p.485 - 487.
- (5) Nakamura, S., et al. Magnetic logic element and magnetic logic element array. United States Patent 6914807.
- (6) Slonczewski, J. C. Current-driven excitation of magnetic multilayers. *J. Magn. & Magn. Mater.* **159**, 1996, p.L1 - L7.
- (7) Saito, Y., et al. Thermal stability parameters in synthetic antiferromagnetic free layers in magnetic tunnel junctions. *J. Appl. Phys.* **97**, 2005, p.10C9141 - 10C9143.
- (8) 中村志保. 磁気記憶材料におけるスピン注入磁化反転とその機構. あたりあ. **43**, 2004, p.498 - 503.
- (9) Haneda, S., et al. "Current Induced Magnetic Switching in Nanopillar with Two Pinned Layers". 49th Annual Conference on Magn. & Magn. Mater. HA-05, 2004.
- (10) 特許庁. 「MRAM・スピンメモリ技術」に関する標準技術集. <http://www.jpo.go.jp/shiryoku/s_sonota/hyoujun_gijutsu/mram/1-4-1.pdf#page=4>, (参照2005-12-15).
- (11) Morise, H., et al. Relaxing-Precessional Magnetization Switching. to be published in *J. Magn. & Magn. Mater.*
- (12) Yuasa, S., et al. Giant room-temperature magnetoresistance in single-crystal Fe/MgO/Fe magnetic tunnel junctions. *Nature Materials*. **3**, 2004, p.868 - 871.
- (13) Parkin, S. S. P., et al. Giant tunnelling magnetoresistance at room temperature with MgO (100) tunnel barriers. *Nature Materials*. **3**, 2004, p.862 - 867.
- (14) Inokuchi, T., et al. Current-induced magnetization switching through applying magnetic field to hard axis in MgO based magnetic tunnel junctions. Submitted to the IEEE Intermag Conference 2006.
- (15) Saito, Y., et al. Interlayer exchange coupling dependence of thermal stability parameters in synthetic antiferromagnetic free layers. *J. Magn. & Magn. Mater.* In Press.



中村 志保 NAKAMURA Shiho, D.Eng.

研究開発センター 記憶材料・デバイスラボラトリー 研究主幹、工博。スピンエレクトロニクス材料及び評価技術の研究・開発に従事。日本物理学会、応用物理学会、日本応用磁気学会会員。Storage Materials & Devices Lab.



斉藤 好昭 SAITO Yoshiaki, D.Sc.

研究開発センター LSI基盤技術ラボラトリー 主任研究員、理博。スピンエレクトロニクス材料・デバイスの研究・開発に従事。日本物理学会、応用物理学会、日本応用磁気学会、The American Physical Society 会員。Advanced LSI Technology Lab.



森瀬 博史 MORISE Hirofumi, D.Sc.

研究開発センター 記憶材料・デバイスラボラトリー 理博。次世代磁気記録技術の研究・開発に従事。日本物理学会、日本応用磁気学会会員。Storage Materials & Devices Lab.