

# ポストシリコン素子の3次元ナノアーキテクチャ

Nanoarchitectures Based on Post-Silicon Devices

藤田 忍      野村 久美子      安部 恵子

■FUJITA Shinobu      ■NOMURA Kumiko      ■ABE Keiko

シリコン (Si) を使った CMOS (相補型金属酸化膜半導体) が 10 年程度で限界を迎えるといわれるなか、ポストシリコン (ポスト Si) 素子としてカーボンナノチューブトランジスタや、ナノワイヤトランジスタなどが期待されている。集積回路の演算性能を向上し続けるためには、ポスト Si 素子に適した新しいナノアーキテクチャが必要である。この新しいナノアーキテクチャには、3次元 (3D) 回路を土台としたものであること、及び、3D化によって素子リソース数とバンド幅の両方を増大すること、が求められる。また、トランジスタ以外に機械的な動作をするナノスケールのスイッチ素子も、3D化可能なポスト Si 素子として有望である。

As silicon complementary metal-oxide semiconductor (Si-CMOS) technology reaches its limits in the coming 10 years, it is expected to be replaced by post-silicon devices such as transistors using carbon nanotubes or nanowires. To continue increasing the performance of integrated circuits, new architectures suitable for these post-silicon devices are necessary. Such "nanoarchitectures" must be constructed based on three-dimensional circuits, with both the device resources and bandwidth increased by means of three-dimensional stacking. Mechanical switching nanodevices are also a promising candidate for three-dimensionally fabricated post-silicon devices.

## 1 まえがき

ナノエレクトロニクスの中心的存在である Si-MOSFET (シリコン 金属酸化膜半導体型電界効果トランジスタ) が、微細化プロセスやデバイスの物理的問題、またコストの問題などから、10年以内に微細化の限界を迎えるのではないかとされている。ナノテクノロジー分野において、ポストシリコン (ポスト Si) 素子、特に Si-MOSFET に代わりうる素子の可能性について、現在様々な検討や議論が行われている。またアーキテクチャについても、これまでの“マイクロアーキテクチャ”から、ポスト Si 素子に適した“ナノアーキテクチャ”に替える必要がある。しかし、現状では混んとした状況から脱していない。ここでは、ポスト Si-MOSFET に要求される性能とそれに適したナノアーキテクチャについて、代表的な応用であるマイクロプロセッサの演算性能から考察する。

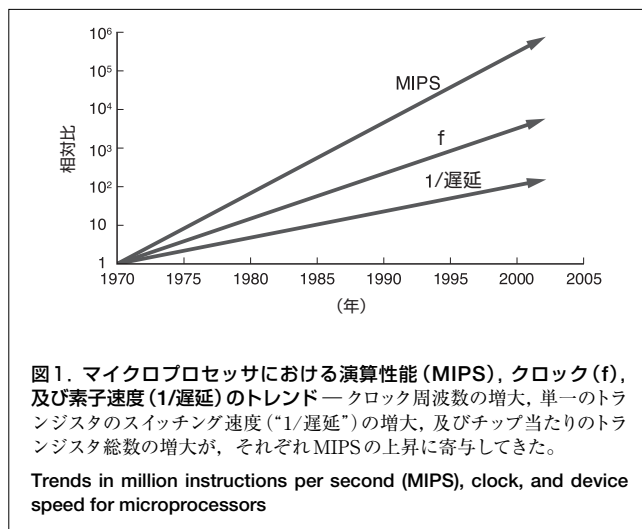


図1. マイクロプロセッサにおける演算性能 (MIPS)、クロック (f)、及び素子速度 (1/遅延) のトレンド。クロック周波数の増大、単一のトランジスタのスイッチング速度 (“1/遅延”) の増大、及びチップ当たりのトランジスタ総数の増大が、それぞれ MIPS の上昇に寄与してきた。

Trends in million instructions per second (MIPS), clock, and device speed for microprocessors

## 2 マイクロプロセッサの性能トレンドから見たポスト Si に適したナノアーキテクチャ

マイクロプロセッサの性能は1秒間に処理できる命令数 MIPS (Million Instructions Per Second) で定義される。MIPS は、クロック (f) と、1クロック当たり処理できる命令数 (I) の積である。図1に示すように、過去30年間に MIPS は5けた半増大しており、f が3けた半増大したので、I は2けた増大したことになる。増大の速度は指数関数的に一定

となる傾向をほぼ保ってきている。I は、ハードウェアリソースという観点からは、おおまかに単一のトランジスタのスイッチング速度 (図1の1/遅延) とチップ当たりのトランジスタ総数の寄与によると考えられる。ただし、単純な比例関係ではない。このリソースの増大をベースに、アーキテクチャの継続的な改良により、演算処理能力を増やしてきたものと考えられる。

今後、微細化の速度が落ちてくると、トランジスタのスイッチング速度増大のトレンドと、トランジスタ数増大のトレンドが鈍ってきてしまう。また、最近では、微細化してもトランジ

スタのスイッチング速度増大のトレンドが保てなくなる現象も現れており、Siにひずみを加えて移動度を増大し、トランジスタのスイッチング速度増大を維持するという方向になっている。しかし、この方法にもいずれ限界が来ると言われている。

これに対して、Siよりも本質的に移動度の高いカーボンナノチューブ(CNT)や化合物半導体への置換えが期待され、Si-MOSFETとの多角的な性能比較も行われている<sup>(1)</sup>。しかし、これらのポストSiテクノロジーが利用可能という見込みを得るには早くても10年はかかると見られる。また、仮に移動度が高いポストSiトランジスタが早期に登場したとしても、次に述べるスケーリングリミットのために、単なるMOSFETの置換えだけでは、またすぐに限界を迎えてしまうと予想される。

理論的な予測によれば、Si-MOSFETのチャネル長が5～6nmになると、ソースとドレイン間のトンネル電流成分が顕著になる。このトンネル電流は、ゲート電圧では十分制御できないため、素子は正常に動作しないことになる。したがって、5～6nmというチャネル長が、本質的な微細化限界となる。更に問題なのは、このチャネル長の限界というのは、FETという素子構造である以上、どんな材料を使ってもほぼ同じである。また、限界となるチャネル長は、半導体のバンドギャップに対する依存性があるが、それによる変動は小さい。つまり、半導体の材料を変えても、このサイズよりも小さいものは作れないということである。したがって、将来的には微細化や移動度の向上による性能増大とは違った方法で、演算性能を増大させていく必要がある。

この解として、アーキテクチャの大幅な変更なども含め、様々な可能性について議論されている。その中で、もっとも現実味があるのは3次元(3D)化であると考えられる。微細化によって素子数を増やすのではなく、多層化によって素子数を増やし、リソースを増大させることで性能を上げるのである。ポストSiとして期待されているCNTなどは、化学的气相成長法(CVD)などで作られるので、Si基板上に素子を作り込むSi-MOSFETとは違い、3D多層化に適している。

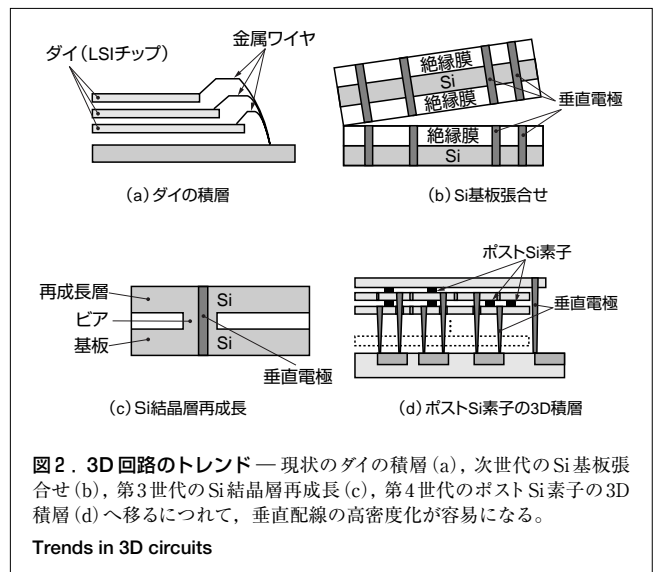
また最近、fもIも上げているのに、マイクロプロセッサの性能がそれに比例して上がらないという問題が報告されている。原因の一つはバスのボトルネックにあると言われており<sup>(2)</sup>、今後のマイクロプロセッサのマルチコア化で、バスのボトルネックはますます深刻な問題になると思われる。空間的な並列演算能力を律速しているのが、回路ブロック間のデータの並列転送速度であり、別のことばで言えば、バンド幅である。バスのバンド幅を増やすという観点から考えると、回路間をつなぐ配線の絶対数を上げることがたいへん重要であり、したがって、バンド幅の増大に対しても、3D化はたいへん有効な技術である。

また、現行の90nm世代のLSIでは、既にトランジスタ

動作の遅延とグローバル配線の寄生抵抗による遅延が同等になっている。以前から提唱されていることではあるが、3D回路の技術には、グローバル配線やセミグローバル配線の距離を縮めることで配線遅延を急激に下げる効果もある<sup>(3)</sup>。

### 3 回路3D化のトレンド分析

回路の3D化と一口に言っても、様々な技術アプローチがあり、また、その難易度も異なる。ここでは、回路の3D化のトレンドを独自に分析した。これを図2に示す。



現状、3D化は、ウェーハから切り出した集積回路チップ、すなわちダイを積み上げて積層するパッケージングによって行われている。積層されるダイも当初のメモリだけからロジック混載へと移っている。これは3D-SiP(System in Package)とも呼ばれる。また、配線ピッチ間隔の縮小や、垂直(ダイ間)方向への高精度配線形成技術の進展も著しい。しかし、垂直配線の形成は金属ワイヤやはんだを用いた機械的実装で行われるため、アラインメント精度が低い。このため垂直配線の密度向上には限界がある。

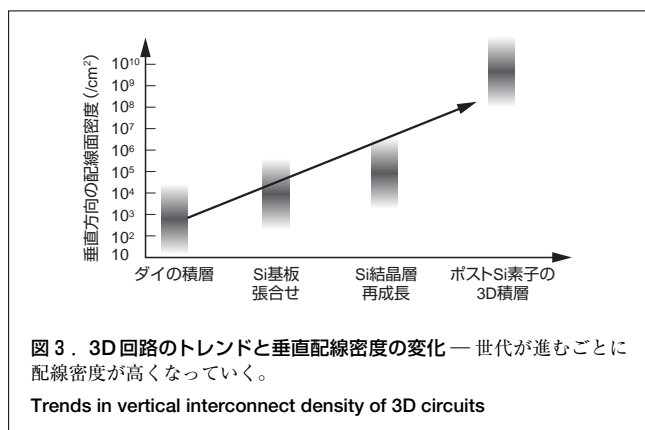
この次の世代の3D回路として期待されているのが、SOI(Silicon On Insulator)基板張合せによるLSIの多層化である<sup>(4)</sup>。まず、SOI基板を用いて多層配線を含んだLSIの製造を行い、次に、母体となるSi基板からSOIの表面層(LSI領域)を化学的にはく離させる。更に、はく離したLSI層を機械的に積層し、加熱接着する。この際に、基板どうしをつなぐのが比較的大型のビアを介した電極である。ビアどうしは光学的位置合わせによってアラインメントされるが、アラインメントの精度が低く、数 $\mu\text{m}$ 程度であると言われる。アラインメントとビア電極の大きさを考慮すると、垂直電極間の間

隔は、最小でアラインメント精度の倍程度となる。なお、基板間を貫通する垂直電極形式による方法でも同様の3D回路が作れるが、垂直配線密度は基板張合せと同程度である。

更に、その次の第3世代技術として位置づけられるのは、Si結晶の再成長による回路の多層化であろう。これは、古くから検討されてきた技術である。例えば、SRAM (Static RAM) のp-MOSをSi再結晶層を用いて作製することが可能である。しかし、一般に再結晶層の質が低く、移動度が上がらない。また、この方法も基本的には垂直方向の配線密度増大に限界がある。再結晶法は、下地のSi基板にエピタキシャル成長させることを前提としているため、Si基板から単結晶の情報を伝えるための比較的大きな穴を用意しておくことが必要である。したがって、基板の張合せと同様に、大きなビアを配置しておく必要があり、垂直配線の密度を上げようとすると、その分トランジスタを配置する面積は限られる。しかし、アラインメントは不要となるので、垂直配線の密度は基板張合せの場合よりも高くなると考えられる。

現状のLSIで使われている多層金属配線技術と同等な、小型かつ高密度のビアを介した垂直配線を3D回路内部に作製することができれば、理想的な高密度の3D回路を作ることができる。このときの配線密度は、リソグラフィとメタル配線プロセスの最小サイズで決まる。ポストCMOSとして研究されているCNTや半導体ナノワイヤなどは、原理的にこれが可能なデバイスである。触媒となる金属粒子を回路の配線の先に作製して、CVDにより、選択的にトランジスタを作製することができる可能性がある。なお、データが流れる方向は、2D回路の場合は水平方向であるが、3D回路の場合、垂直方向のほうが効果的にバンド幅を上げることができる。これらのポストSiトランジスタを用いた回路は、3D回路の第4世代といえることができる。この場合、論理回路素子と不揮発性メモリ素子を多層化して結合して用いることで、論理回路を不揮発化したり、低消費電力化するという応用も考えられる<sup>(5)</sup>。

3D回路の各世代の垂直配線密度を図3に示す。配線密度

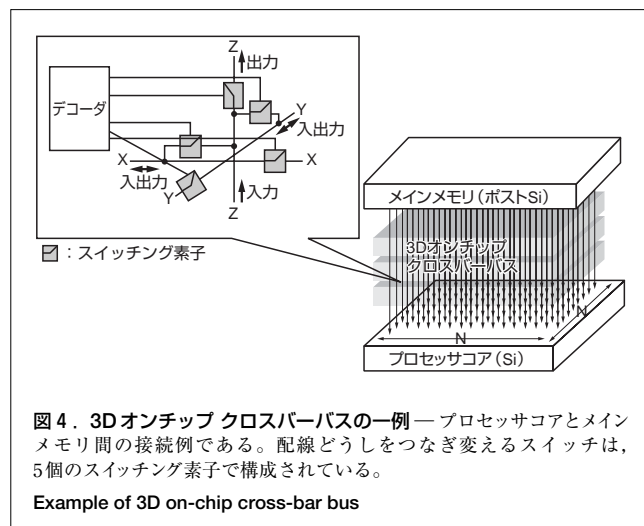


の見積もりは、大まかなものであるが、世代が進むごとに配線密度が高くなっていくという基本的なトレンドがあることはまちがいないであろう。

#### 4 ポストSi素子を用いた3Dオンチップバス

3D回路は、基本的にユニバーサルな技術であることが期待されるが、特に効果が期待できるのは、前述したバス回路への応用である。前述の第4世代の3D回路を用いると、オンチップの3Dバスを構成することが可能となる。特に、クロスバーバスを用いることで大きな性能向上が期待できる。

クロスバーバスは、複数個配置されたクロスバー(交換器)が配線どうしの結合をつなぎかえることで、複数の入出力を並列に接続することができる。よって、スループットが大きいという利点がある。更に、接続された状態は、基本的に、金属配線とオン状態のトランジスタとの直列接続であるので、データ転送の遅延も少ない。ただ、入出力数が増えるにつれて、クロスバースイッチの数が膨大になってくるため、2Dの場合には回路面積が急増することが欠点である。もし、3D回路でクロスバーバスが構成できるとすると、回路面積の増大を多層化で吸収できる。また、前述したように配線距離を短縮する効果もあって、遅延は2D回路よりも更に小さくなることも期待できる。オンチップクロスバーバスの一例を図4に示す。



クロスバーバスを構成するクロスポイントスイッチについて検討を行った。様々なバリエーションが考えられるが、ここでは最小数のスイッチ素子(又はトランジスタ)によって、一つのクロスポイントで1種類のルートを選択できるものを考えている。

クロスポイントスイッチの機能は、X, Y, Z方向のいずれ

かの入力を X, Y, Z に振り分けることである。X, Y には 2 方向あり、データが下から上に 1 方向で伝送されるとすると、Z の入力と出力は 1 方向だけとなる。この組合せは、10 通りとなる。ただし、ここではスイッチ素子としてバストランジスタ型を想定し、結合される配線に方向性はないとした。この組合せを構成するためのスイッチ素子は 5 個となる。この 5 個のスイッチ素子で 10 通りの状態を実現するためには、これらのスイッチ素子を制御するコントローラが必要であるが、これを図中のデコーダが担う。10 通りを実現するには、4 ビットで 24 通りの状態を作れるので、4 ビット入力で 5 ビット出力のデコーダがあればいいことになる。デコーダの中身はルックアップテーブル型回路を用いればよい。

プロセスコストを考慮すると、もっとも理想的なのは、パスのための 3D 回路の層数を減らすことである。これは、1 層当たりのスイッチ素子の数がかりに増えたとしても、それが物理的にレイアウト可能であれば、プロセスコストには大きく影響しないためである。

2D で用いられるルーティングのアルゴリズムを 3D のルーティングに適用することで、格子状に並んだ  $N \times N$  個の入出力点どうしを任意につなぐためには、最大で 3N 層が必要であることを確認している。この層数はアルゴリズムの改良、クロスバースイッチ構造の最適化、入出力点の組合せの有限化により、更に減少できると考えられる。

## 5 ポスト Si 素子の比較

マイクロプロセッサ性能のトレンドから考えると、少なくとも Si バルク以上の移動度の向上、又は素子単体のイントリンシクな遅延の減少が期待される。その観点からは、CNT と、化合物半導体又はナノワイヤが有望である。しかし、3D 化という観点からは、必ずしも移動度や遅延だけがポイントにはならない。例えば、Si ナノワイヤは Si バルクよりも移動度が低いものの、3D 化プロセスの観点から見ると、構造形成が容易であり、CNT よりも材料パラメータの制御が容易であるため、素子特性のばらつきを抑えることが可能である。また、バンド幅増大という観点からすると、素子単体の遅延が大きくても並列性の増大による性能向上の寄与を大きくできれば、総合的には 2D 回路の Si-CMOS を上回ることが可能である。

また、スイッチ素子としては、単なる FET だけでなく、機械的な動作をする素子の可能性も考えられる。図 5 は、当社が提案している CNT を使った機械的なスイッチ素子、CNT-NEMS (Nano-Electro-Mechanical System) 素子である。CNT は剛性率が高く、密度が小さいため、共振周波数を高くすることが可能である。素子のゲート電極しきい値電圧が入出力電極の電圧から影響を受けにくくするため、

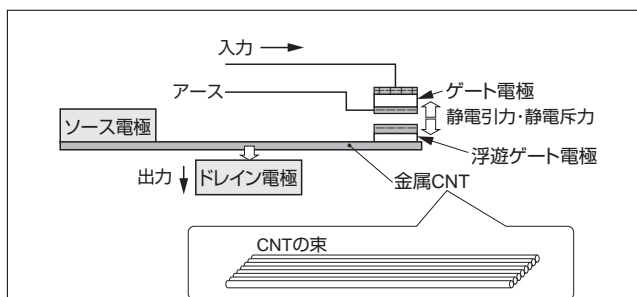


図 5. 金属 CNT を利用した機械的 3 端子スイッチ素子 — ゲート電極の On-Off 電圧がソース電極の電圧の影響を受けないように、浮遊ゲート電極を備えた 3 端子素子となっている。

Mechanical three-terminal switching device using metallic carbon nanotubes

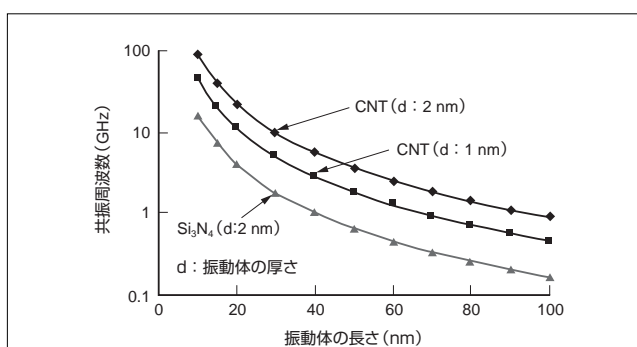


図 6. 機械的スイッチ素子の共振周波数 — CNT を使った素子は、 $\text{Si}_3\text{N}_4$  を使った従来型の素子よりも共振周波数が高い。

Resonant frequency of mechanical switching devices

浮遊ゲートを備えた 3 端子素子となっている。

この素子の共振周波数と振動体の長さの関係を図 6 に示す。比較のために  $\text{Si}_3\text{N}_4$  (窒化シリコン) を用いた同様の素子の共振周波数も示した。 $\text{Si}_3\text{N}_4$  を用いても比較的高い周波数が得られるが、駆動電圧が 50 V 以上となる。これに対して、CNT では 1 V 以下に抑えることができる<sup>(6)</sup>。

また、CMOS の限界に近いテクノロジーノードである 22 nm という世代で素子を作製した場合を仮定して、遅延について比較した。この結果、共振周波数は数十 GHz となるので、素子の動作としてはこれと同じオーダーの高速動作が期待できる。しかし、これでも 22 nm 世代の CMOS には及ばない。

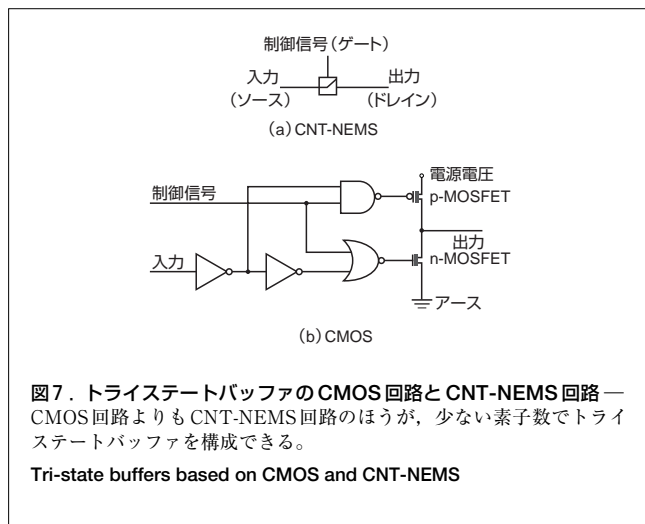
表 1. CMOS 回路と CNT-NEMS 回路の遅延の比較

Comparison of circuit delay for CMOS circuits and carbon nanotube nano-electro-mechanical system (CNT-NEMS) circuits

	遅延 ( $\times 10^{-12}$ s)	
	CMOS (22 nm 世代)	CNT-NEMS (22 nm 世代)
AND 回路	8	20
トライステートバッファ	30	5

AND (論理積)ゲートの遅延を見積もった結果を表1に示す。これによると、CNT-NEMS素子の遅延は、CMOSの遅延の2倍以上である。

一方、バスに使われるようなスイッチ回路を考えた場合、この遅延は逆転する。図7は、バス回路でよく用いられるトライステートバッファである。この機能をCNT-NEMSで実現させると図4に示したわずか1個の素子で済む。したがって、このバッファの遅延時間は表1に示したように、CNT-NEMSのほうが小さくできる。



この例が示すように、ポストSi素子ではそれぞれの特徴に応じた機能を利用することで効果が上がる。単一の種類の素子を用いるのではなく、複数の種類を利用することで性能向上を図るのが正しい選択となる可能性もある。その場合には、ポストSiだけでなくSi-CMOSも混載となるものと考えられる。

## 6 あとがき

ポストSi素子はSiに比べてディフェクト(欠陥)が格段に多くなる可能性が高く、またフォールト(誤り)の割合も高くなる。したがって、ポストSi向けのナノアーキテクチャには、ディフェクト・フォールト耐性を包含することが必須となる。現在、この検討も進めており、性能面だけでなく、コスト面

からも、現実味のあるアーキテクチャの構築を目指している。

## 謝辞

この研究を支援していただいた、米国スタンフォード大学のThomas Lee教授に感謝いたします。

## 文献

- (1) Chau, R., et al. Benchmarking Nanotechnology for High-Performance and Low-Power Logic Transistor Applications. IEEE Trans. Nanotechnology. 4, 2, 2005, p.153.
- (2) 中森 章, マイクロプロセッサ・アーキテクチャ入門. CQ出版社, 2004, 336p.
- (3) Davis, J. A., et al. Interconnect Limits on Gigascale Integration (GSI) in the 21st Century. Proc. IEEE. 89, 3, 2001, p.305 - 324.
- (4) Guarini, K. W., et al. "Electrical integrity of state-of-the-art 0.13 micron SOI CMOS devices and circuits transferred for three-dimensional (3D) integrated circuit (IC) fabrication". Technical Digest of International Electron Devices Meeting 2002. San Francisco, 2002-12, IEEE. p.943 - 945.
- (5) Abe, K., et al. "Novel Nonvolatile Logic Circuits with Three-Dimensionally Stacked Nanoscale Memory Device". Proceedings of Nanotechnology Conference. Anaheim, 2005-05, NSTI. p.203 - 206.
- (6) Fujita, S., et al. "Three-dimensional Logic Architecture by Four-terminal Electrical Switches beyond Two-dimensional CMOS Architecture". Proceedings of Nanotechnology Conference. Anaheim, 2005-05, NSTI. p.213 - 216.



藤田 忍 FUJITA Shinobu

研究開発センター フロンティアリサーチラボラトリー研究主幹。ポストSiデバイス、回路、システム応用の研究・開発に従事。応用物理学会、IEEE会員。Frontier Research Lab.



野村 久美子 NOMURA Kumiko

研究開発センター フロンティアリサーチラボラトリー。ポストSiデバイス、回路、システム応用の研究・開発に従事。電子情報通信学会会員。Frontier Research Lab.



安部 恵子 ABE Keiko

研究開発センター フロンティアリサーチラボラトリー。ポストSiデバイス、回路、システム応用の研究・開発に従事。Frontier Research Lab.