

0.7 nm の極薄膜 SOI トランジスタ技術

MOSFETs Fabricated on Ultrathin Silicon-on-Insulator Film

内田 建 古賀 淳二

■ UCHIDA Ken

■ KOGA Junji

絶縁膜上に形成された単結晶シリコン膜 (SOI : Silicon-On-Insulator) を利用したトランジスタは、将来の LSI の要素素子として期待されている。

今回、これまでにデバイス物性の評価で培ってきたシリコン層薄膜化技術を駆使することで、SOI の薄膜化限界を調べることに挑戦し、0.7 nm (5 原子層) という世界一薄い^(注1)単結晶シリコン層を持つトランジスタの作製に成功した。また、このように薄いシリコン膜中では、量子力学的な効果がデバイス動作に大きな影響を及ぼすことを見いだした。

Metal-oxide-semiconductor field-effect transistors (MOSFETs) fabricated on ultrathin silicon-on-insulator (SOI) films show promise as transistors in future large-scale integrated circuits (LSIs).

Toshiba has successfully fabricated and operated ultrathin SOI MOSFETs with an SOI film thickness of less than 1 nm, for the first time. In addition, we have found that quantum mechanical effects have a significant impact on transistor operations.

1 まえがき

集積回路を構成するトランジスタの高速化は、トランジスタ中の“チャネル”と呼ばれる部分を短くすることによって実現されてきた。チャネル長を短くすることで、電子のトランジスタ中の走行時間が短くなり、集積回路の高速化が実現できる。しかし、チャネル長を短くすることでトランジスタの高速化は実現できるものの、単に短くするだけでは消費電力が増大してしまうといった副作用が生じ、集積回路の総合的な性能はかえって悪くなってしまふ。このような副作用は“短チャネル効果”と呼ばれており、この効果をいかに抑えるかが、高性能かつ低消費電力の高性能集積回路実現の鍵になっている。

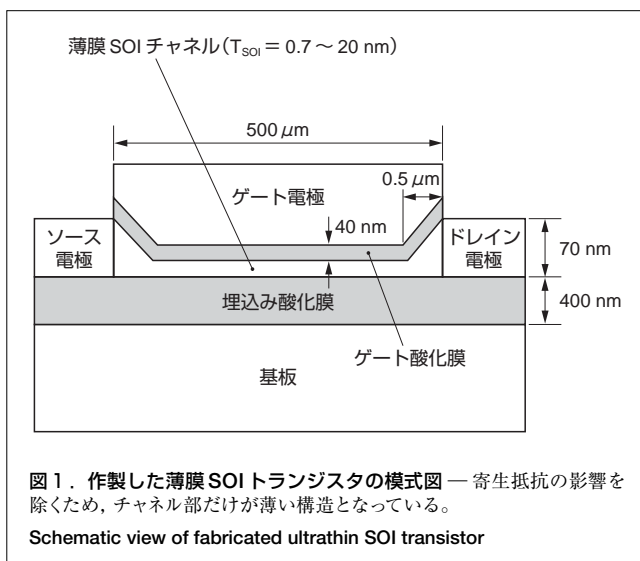
ところが近年、この短チャネル効果を抑えることがますます難しくなっており、集積回路高性能化の限界やトランジスタ微細化の限界が叫ばれる主因となっている。そこで、トランジスタを従来のようなバルクのシリコン結晶に作り込むのではなく、絶縁膜上の単結晶シリコン膜、いわゆる SOI (Silicon-On-Insulator) に作り込む技術が注目を集めている。これは、トランジスタを SOI に作り込むことが短チャネル効果の抑制に有効であること、また、SOI の厚さが薄ければ薄いほど短チャネル効果を抑える効果が強くなることが知られているためである。一般に、短チャネル効果を抑制するためには、チャネル長に対して 1/4 から 1/2 の膜厚の SOI が必要

とされている。

今回東芝は、これまで培ってきたシリコン層薄膜化技術を駆使して、0.7 nm (5 原子層) という世界一薄い単結晶シリコン層を持つトランジスタの作製に成功した。この技術は、ゲート長 3 nm 以下のトランジスタでも短チャネル効果が抑制でき、極限的に小さなトランジスタの実現をもたらす可能性のある技術といえる。

2 極薄膜 SOI トランジスタの作製

極薄膜 SOI トランジスタの作製には、200 nm という比較的



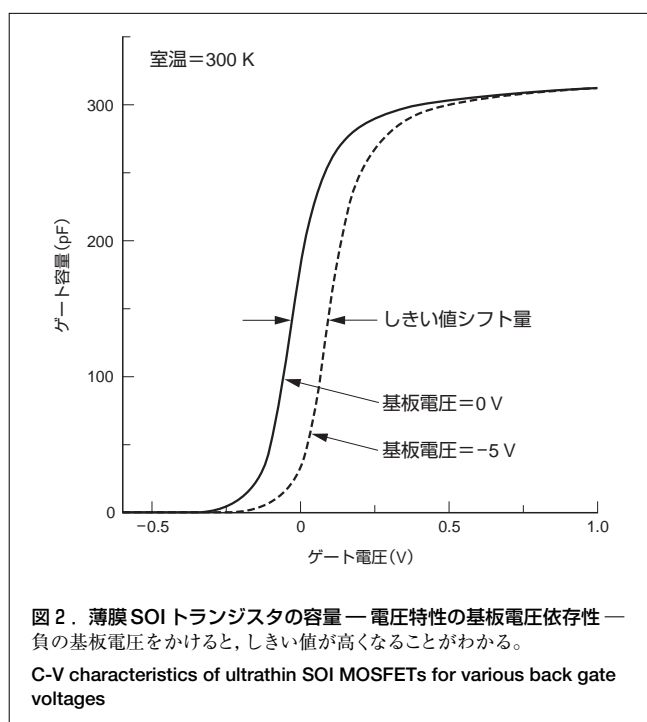
(注 1) 2005 年 11 月 29 日現在。

厚膜のシリコン層を持つSOI基板を用いた。このSOI基板のチャンネルとなる部分のみ選択的に酸化を施した後、酸化膜をフッ化水素酸と呼ばれる化学薬品によって剥離(はくり)するという工程を繰り返す。結果として、酸化をする際に消費されたシリコン層が除去されることによりチャンネル部のシリコン層が徐々に薄くなり、極薄のSOIトランジスタを作製することが可能となる。作製したSOIトランジスタの模式図を図1に示す。

3 SOI膜厚の実験的な決定

薄膜SOIトランジスタ特性のSOI膜厚依存性を調べるためには、数nmという極めて薄いSOI膜厚を正確に知る必要がある。そこで当社は、SOI膜厚を正確に測定するために2段階のアプローチを採った。第1段階として、各SOIトランジスタ間でSOI膜厚の相対比較を行った。相対比較のためには、基板電圧によるしきい値シフトを利用した(図2)。一般的に、基板電圧を与えるとトランジスタの特性はシフト(しきい値シフト)するが、基板電圧のしきい値シフトへの影響はSOI膜厚が薄くなればなるほど弱くなる。したがって基板電圧によるしきい値シフト量が小さいほど、薄いSOI膜厚に対応することになる。

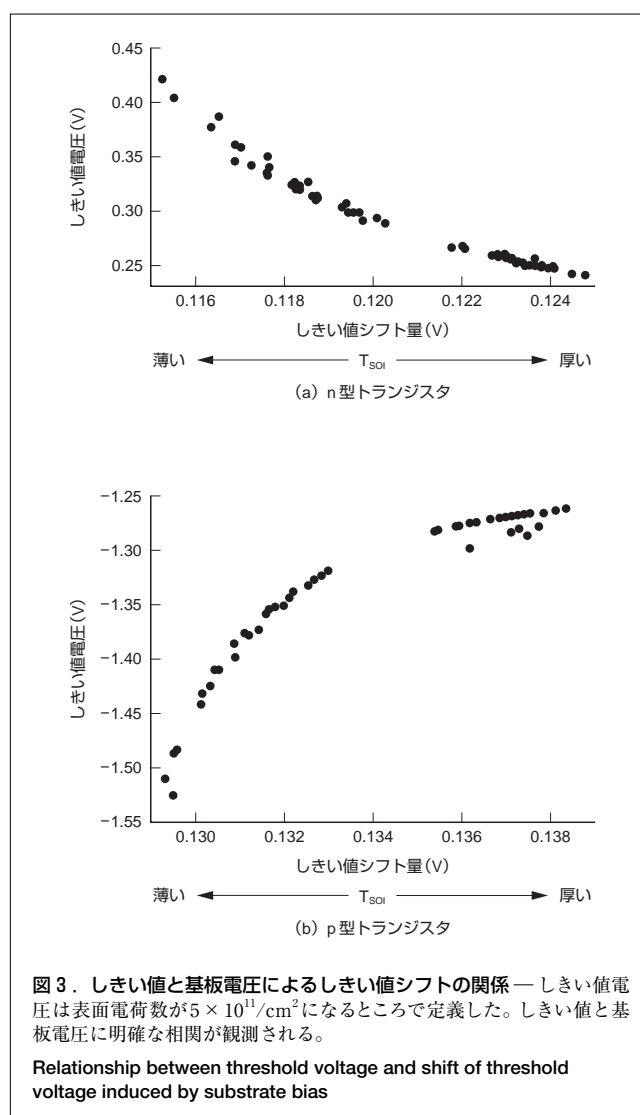
測定した薄膜SOIトランジスタの-5Vの基板電圧を印加したときのしきい値シフト量(SOI膜厚)と、基板電圧が0Vのときのしきい値との関係を図3に示す。n型とp型のどちらのSOIトランジスタにおいても、SOI膜厚が薄ければ薄いほど、しきい値が上昇していることがわかる(p型トランジスタ

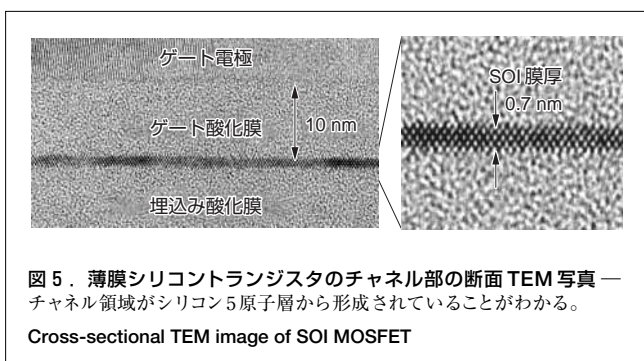
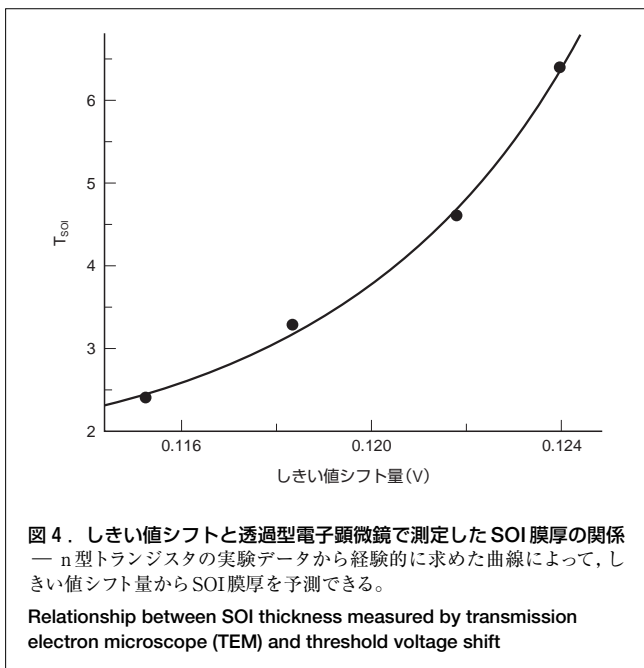


タの場合には、負の電圧でオン、正の電圧でオフするため、負の方向に絶対値が大きいほどしきい値は高いということになる)。

しきい値シフト量としきい値の間の普遍的な関係は、しきい値の変動がSOI膜厚の変動によってもたらされており、他のデバイスパラメータ、例えばゲート酸化膜厚や埋込み酸化膜厚の変動は十分に抑えられていることを示している。また、SOI膜厚が薄ければ薄いほど、n型トランジスタとp型トランジスタの両方でしきい値の上昇が起こっていることは、数nmという非常に薄いSOIの中では、電子や正孔などのキャリアが量子力学的な効果によって閉じ込められていることを示すものである。量子力学的な効果は従来のディープサブミクロンデバイスでは無視できた効果であるが、今後はこうした効果も考慮に入れながら実デバイスの設計を行っていかなくてはならないことを示唆している。

次に、SOI膜厚を正確に求めるために、SOIトランジスタのチャンネル部の断面TEM(透過型電子顕微鏡)写真を撮り、



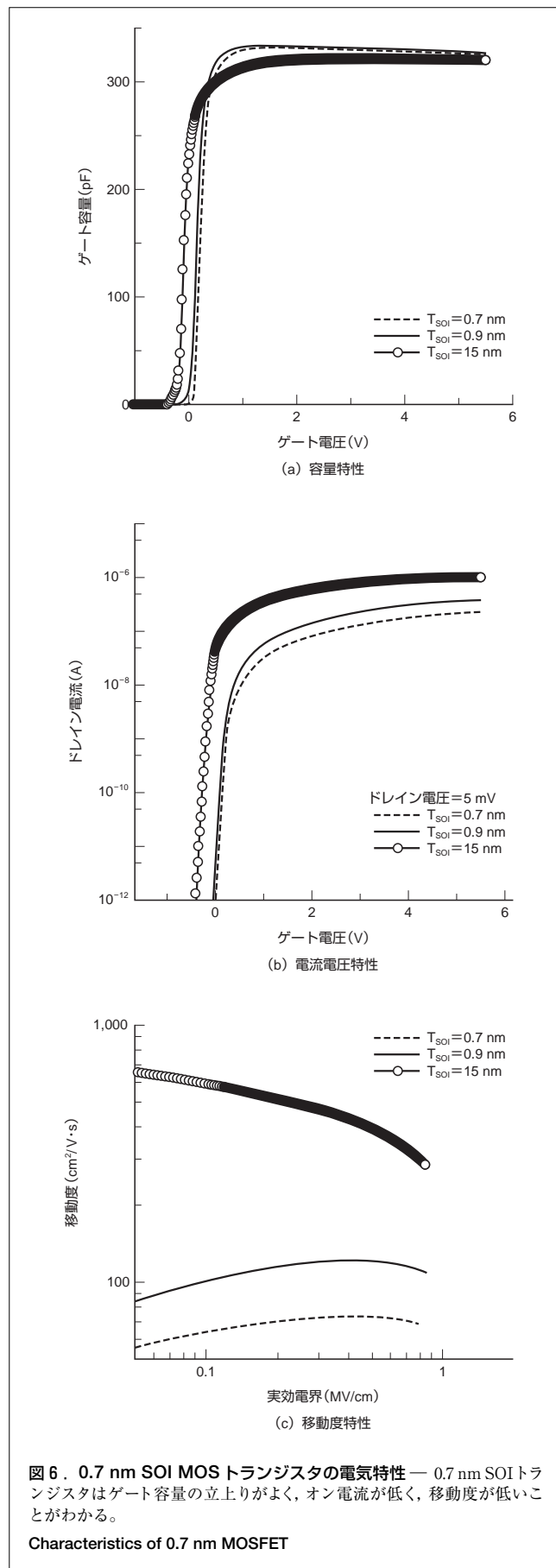


しきい値シフト量とTEMによるSOI膜厚との関係を求めた(図4)。また、しきい値とSOI膜厚の関係を定める経験式を求めることによって、しきい値シフト量からSOI膜厚を正確に予測することが可能となった。

このようにして、電気特性からSOI膜厚を見積もることが可能となった。この技術を利用して、1 nm以下のSOI膜厚を持つSOIトランジスタを抽出し、TEMによってチャネル部の構造を観察した結果を図5に示す。原子像分解能を持つこの写真から0.7 nmの極薄膜SOIトランジスタが作製できたことがわかる。これは、これまでに世界中で報告されているSOIトランジスタのなかでもっともSOI膜厚の薄いものである。

4 電気特性

次に、図5に示したトランジスタの電気特性を図6に示す。図6(a)はゲート容量のゲート電圧依存性を示している。SOI膜厚が1 nm以下のトランジスタと15 nmのトランジスタ



で比較すると、最大ゲート容量がほぼ一致していることがわかる。このことは、1 nm以下という極薄膜にもかかわらず、シリコン層には基本的にボイド(穴)が存在していないことを示している。また、ゲート容量が最大値に達するまでの立上りは、0.7 nm SOIトランジスタの方が、15 nm SOIトランジスタの場合よりもはるかに良いことがわかる。これもしきい値の場合と同様に、極薄膜SOIに電荷キャリア(この場合は電子)が量子力学的に閉じ込められていることによる効果である。

図6(b)はドレイン電流のゲート電圧依存性を示している。シリコン層の膜厚が1 nm以下のトランジスタでは、15 nmのトランジスタに比べてしきい値が著しく上昇しており、量子閉じ込め効果が効いていることを示唆している。一方、0.7 nmと0.9 nmのトランジスタでは、しきい値の差は比較的小さいにもかかわらず、0.7 nmの場合はオン電流が著しく低くなっていることがわかる。これは、0.7 nmのトランジスタで移動度が低くなっていることを示唆しており、実際に図6(c)に示した移動度の実効電界依存性を見ると、0.7 nmトランジスタは0.9 nmのトランジスタに比べて移動度が大幅に低下していることがわかる。

このような移動度劣化は、シリコン層の膜厚ゆらぎによって引き起こされていると考えられる。理論的な検討によれば、シリコン層の膜厚ゆらぎがSOI膜厚によらず一定であると仮定すると、SOIの膜厚(T_{SOI})を薄くすればするほど、しきい値はSOI膜厚の2乗の逆数で上昇する($\propto T_{SOI}^{-2}$)のに対し、移動度はSOI膜厚の6乗で減少する($\propto T_{SOI}^6$)ことが示唆されている。したがって、このような極薄膜シリコン層を用いたトランジスタを実用化していくためには、膜厚ゆらぎを十分に抑える必要があることを示唆しており、今後原子レベルで平坦な極薄膜を実現する必要があることを示している。

5 あとがき

極薄SOIトランジスタのSOI膜厚を電氣的に評価する手法を開発した。また、従来から培ってきたデバイス作製技術

を駆使することで、0.7 nmという世界でもっとも薄いSOIをチャンネルとする薄膜SOIトランジスタの作製に成功した。これにより、ゲート長3 nm以下のトランジスタでも短チャンネル効果を抑制でき、極限的に微細なトランジスタの実現をもたらす可能性を見いだした。

また、作製したトランジスタの特性を調べることで、このような極薄膜SOIトランジスタにおいては従来無視できた量子力学的な効果が顕在化することが明らかになった。この量子力学的な効果のため、チャンネル部のSOI膜厚が薄ければ薄いほど、①しきい値電圧が上昇し、②ゲート容量のゲート電圧に対する立ち上がりが良くなり、③移動度が劣化する。このような極薄膜SOIトランジスタを高集積回路に適用するには、移動度の劣化やしきい値のばらつきを抑えるため、原子レベルで平坦な極薄膜を実現することが望ましい。

今後は、平坦化技術を含めた実用化へ向けた開発を行っていく。

文献

- (1) Uchida, K., et al. "Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI n- and p-MOSFETs with SOI Thickness less than 5 nm". Technical Digest of International Electron Devices Meeting (IEDM). San Francisco, 2002-12, IEEE. 2002, p.47 - 50.
- (2) Uchida, K., et al. "Experimental Study on Carrier Transport Mechanisms in Double- and Single-Gate Ultrathin-Body MOSFETs -Coulomb Scattering, Volume Inversion, and δT_{SOI} -induced Scattering-". Technical Digest of International Electron Devices Meeting (IEDM). Washington D.C., 2003-12, IEEE. 2003, p.805 - 808.



内田 建 UCHIDA Ken

研究開発センター LSI基盤技術ラボラトリー主任研究員。
MOS デバイス、単一電子デバイスの研究・開発に従事。
応用物理学会、IEEE 会員。
Advanced LSI Technology Lab.



古賀 淳二 KOGA Junji

研究開発センター LSI基盤技術ラボラトリー主任研究員。
MOS デバイス、量子効果デバイスの研究・開発に従事。
応用物理学会会員。
Advanced LSI Technology Lab.