

# SoC システムレベル設計 における仕様合成技術

## UML による SoC 仕様検討から RTL までの設計工程をシームレスに接続

近年の SoC (System on a Chip) 設計においては、仕様作成時に作り込まれるバグが全体のバグの 70% を超えるという統計結果が報告されており、要求分析、仕様開発、仕様検討などの作業の改善への期待が高まっています。そこで、(株) インターデザイン・テクノロジー<sup>(注)</sup> は、仕様記述から RTL (Register Transfer Level) 設計にシームレスにつながる設計環境 “VisualSpec™/eMSC ツールスイート” を開発しました。図柄による仕様書の記述・入力から RTL 設計までをシームレスにつなぐ、本格的な設計ツールです。

### 仕様から RTL までを シームレスに接続

近年の SoC 設計では、LSI の仕様検討に UML (Unified Modeling Language) などのオブジェクト指向分析技術を適用することには様々なメリットがあるとされ、新しい設計手法として注目されています。しかし、仕様検討の結果を既存の設計ツールや設計フローにつなげるには、シミュレーション用や回路設計用に別途設計入力をやり直さなくてはならないという問題が

(注) (株) インターデザイン・テクノロジーは、東芝の全社横断の設計改革プロジェクト (Super Design Technology™) で培った技術を基に、2001 年に研究開発センターのシステム技術ラボラトリーからスピンアウトしたベンチャー企業です。システムレベル設計技術をコア技術として、各種ツールの開発・販売、設計環境構築ソリューションの提供、設計コンサルティングなどの事業を行っています。

ありました。eMSC (extended Message Sequence Chart : 拡張メッセージシーケンス図) ツールスイートは、仕様検討の結果を UML の図柄として記述した仕様書を入力として、シミュレーションのモデルや回路設計ツールの入力記述を自動生成することにより、これらの課題を解決しました。

その結果、eMSC ツールスイートは、図柄の仕様書から RTL 出力までをシームレスにつなぐ初めての本格的な設計ツールであることが評価され、第 12 回 LSI・オブ・ザ・イヤーの設計環境/開発ツール部門で優秀賞を受賞しました。

### eMSC ツールスイートの 設計フロー

設計フローを図 1 に示します。

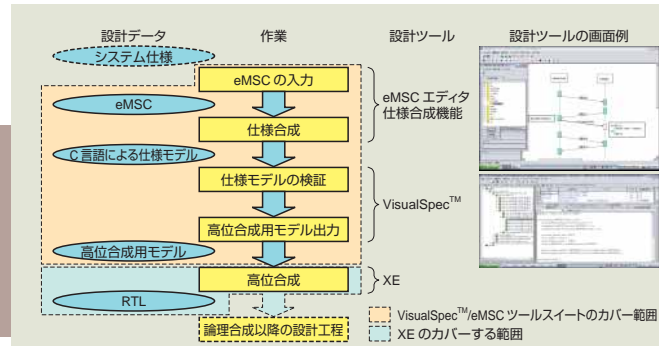


図 1. eMSC ツールスイートによる設計フロー — システム仕様の検討結果をもとに eMSC を入力して仕様合成し、シミュレーションで検証します。検証後、高位合成ツールで RTL に自動変換します。

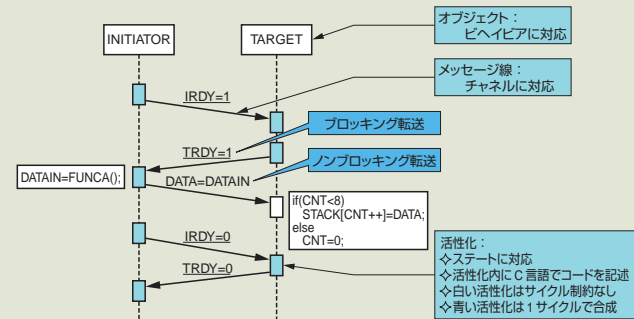


図 2. eMSC の概要 — メッセージ線でチャンネルを、メッセージ線の組合せでプロトコルを記述します。吹出しの内容は、eMSC とシステムレベル設計言語の概念との対応を示しています。

システム仕様の検討結果を元に eMSC を作成・入力し、仕様合成によって仕様モデルに変換します。

仕様モデルは (株) インターデザイン・テクノロジーの統合開発環境である VisualSpec™ でシミュレーションし、検証します。検証の結果、設計を修正する必要がある場合は eMSC の入力に戻ります。

検証後、仕様モデルを高位合成用モデルとして出力し、生成したモデルは高位合成ツールで RTL に自動変換できます。RTL は論理合成可能で、既存の設計フローとスムーズにつながります。

### eMSC による仕様の記述

eMSC は、UML のメッセージシーケンス図を拡張したもので、図柄と C 言語記述を組み合わせたチャートです。チャートにはコマンドとシナ

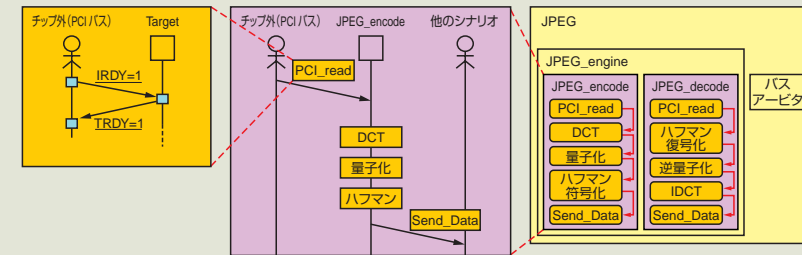


図 3. eMSC の階層構造 — 下位から順に、プロトコルを記述するコマンド、機能ブロックの動作の側面を記述するシナリオ、シナリオを組み合わせるマージドシナリオとなります。

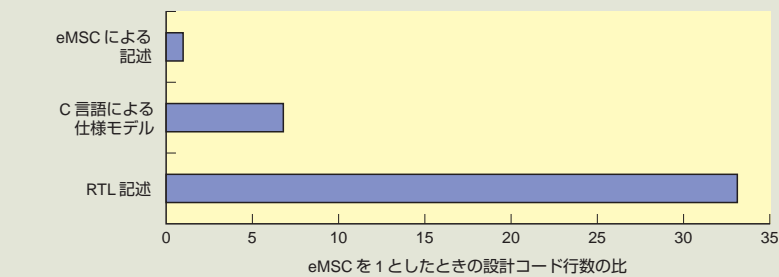


図 4. 設計コード量の比較 — 数種類の設計データについて、設計コード行数の比を平均で示しています。設計データによってばらつきがあり、調査したデータでは、eMSC と仕様モデルの行数比が 3 ~ 10、eMSC と RTL の行数比が 6 ~ 50 でした。eMSC ツールスイートにより、設計コード量の大幅な削減が実現されました。

リオの 2 種類があります。

コマンドでは、図柄でプロトコルを記述し、C 言語で処理内容を記述します。メッセージはデータのやり取りとタイミングを表しています (図 2)。

シナリオは、機能ブロックのふるまいを一側面での動作ごとに、コマンドを部品として使いながら記述します (図 3)。シナリオは機能ブロックの動作の側面をとらえた仕様書であり、複数の独立したシナリオを組み合わせることでマージドシナリオを作成することにより、機能ブロックを記述します。

### 仕様合成と仕様検証

#### ●仕様合成 1 : シナリオマージ

仕様合成では、複数のシナリオから一つの機能ブロックの仕様モデルを自動的に組み立てます。この技術をシナリオマージと呼びます。

#### ●仕様合成 2 : バス及びメモリの生成

仕様モデルを組み立てると同時に、通信路を共通化したバスを生成し、バスに伴うバスアービタを生成します。また、メモリ及び、メモリに読み書きするための内部バスを生成します。メモリを LSI の外から読み書きするためのバスも生成します。

#### ●シミュレーションによる仕様検証

仕様合成の結果である仕様モデルは、VisualSpec™ によりコンパイルし、シミュレーションして機能を検証します。波形図データが生成されますので、タイミング検証も行います。

#### ●高位合成用の中間言語出力

シミュレーションによって確認が終了したモデルを、高位合成用の中間言語として出力します。現在、米国 Y Explorations 社の高位合成ツールである XE (eXplorations Environment)

用)に出力する機能を備えています。

### 高位合成による RTL 出力

高位合成では、LSI の階層に従い RTL 回路を生成します。XE はライブラリを取り替えることにより FPGA (Field Programmable Gate Array) にも設計資産にも対応できます。以降、既存の典型的な LSI 設計作業へと進むことができます。

### 設計品質と生産性の向上

eMSC ツールスイートは、数 M ゲート規模に対応する能力を持っています。コード記述量からみた設計生産性は、既存の RTL 設計に比べて数倍~数十倍向上します (図 4)。同時に、高性能・低消費電力指向の回路を短時間で設計するために、様々な工夫を盛り込んでいます。

### 将来への展望

性能を抑えて面積を縮小したり、更に性能を向上するために機能を多重化する仕組みを追加するなど、仕様合成のバリエーションを提供するとともに、オブジェクト指向分析との連続性を更に高めていきます。

石井 忠俊

(株) インターデザイン・テクノロジー  
デザインソリューショングループ部長