

Ku帯 30 W 電力 FET

Ku-Band High-Power 30 W GaAs FET

高木 一考

■ TAKAGI Kazutaka

大森 智仁

■ OHMORI Tomohito

柏原 康

■ KASHIWABARA Yasushi

高出力化が要求されている衛星通信システム (VSAT) 向けに、Ku 帯 (12 ~ 15 GHz) の中の 14 GHz 帯 (14 ~ 14.5 GHz) 30 W 級電力 FET (Field Effect Transistor : 電界効果トランジスタ) の開発に成功した。この電力 FET は、この周波数帯では世界最高レベルの出力を持つ。開発のポイントは熱設計、パッケージの空洞共振制御の設計、及び内部整合回路設計の三つである。高出力化に伴う発熱量の増加に対しては、パッケージサイズを従来の 2 倍にすることで発熱密度を従来品並みに抑えた。パッケージの大型化に伴う空洞共振の帯域内への落込みに対しては、3 次元電磁界解析によりキャビティ形状の最適化を行い解決した。

Toshiba has recently succeeded in developing a Ku-band field-effect transistor (FET) with the highest output power in the world. It outputs 30 W in the 14.0 to 14.5 GHz frequency range. This was achieved by improvement of the thermal dispersion, optimization of the package configuration to control its cavity resonance, and the best mix of substrates for the internal power-combining circuit.

Toshiba has been in the leadership position in providing high-power microwave devices. This latest development further strengthens our lineup of microwave power FETs for high-power solid-state amplifiers used in very small aperture terminals (VSATs) and similar equipment.

1 まえがき

衛星通信分野などの Ku 帯 (12 ~ 15 GHz) アプリケーションにおいて、小型化、軽量化、長寿命化の要請により、従来の進行波管増幅器 (TWTA : Traveling Wave Tube Amplifier) から、固体増幅器 (SSPA : Solid State Power Amplifier) への置換が進んでおり、固体化のキーデバイスである半導体電力 FET の高出力化への要求が高まっている。

2000 年に東芝は、Ku 帯の中の 14 GHz 帯 (14 ~ 14.5 GHz) において当時世界最高出力となる 18 W 級電力 FET を製品化した。現在主流となっている 100 W 級 SSPA は、この電力 FET を 8 個並列動作させることにより実現されている。

近年の通信の大容量化に伴い、SSPA はいっそうの高出力化が求められているが、18 W 級電力 FET で 150 W 級 SSPA を実現するには 12 個もの並列動作が必要となる。並列動作させる電力 FET 数の増大は、SSPA の大型化とともに分配及び合成のための信号ラインも長くする必要が生じる。特に周波数が高くなるほど信号ラインにおける伝送損失が大きくなり、SSPA の高出力化は困難であった。このため並列動作させる電力 FET の数を増やすことなく 150 W 級 SSPA を実現するためには電力 FET そのもの高出力化が必須となる。

SSPA の固体化が進んでいる C 帯 (4 ~ 8 GHz) ではその出力は 500 W を超えているが、これ以上の高出力化には、電力 FET で発生する熱をいかに効率よく放熱するかということが

大きな課題となっている。14 GHz 帯では電力 FET の高出力化が始まったばかりで、幸いなことに C 帯に比べると放熱に関する技術課題は少なく、この事実も 14 GHz 帯電力 FET の高出力化に期待が高まっている理由の一つである。

しかし、電力 FET の出力アップのためには電力 FET 内部の集積度を上げなければならないため、電力 FET 内部の整合回路と放熱性が課題となる。

ここでは、内部整合型 14 GHz 帯 30 W 級電力 FET の開発における三つのキーポイントである、熱設計、空洞共振制御設計、そして整合回路設計について述べる。

2 FET 設計

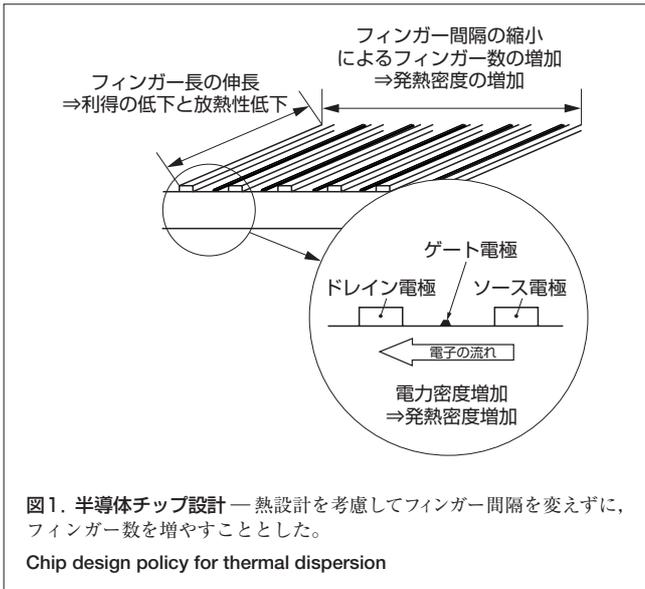
2.1 熱設計

30 W 級電力 FET の半導体チップ構造は、実績のある 18 W 級電力 FET をベースに設計した。

一般に、電力 FET の半導体チップ構造は線状の単素子が多数、くし状に並べられている (図 1)。高出力化を達成する方法は、次の 2 通りが考えられる。

- (1) 総ゲート幅を大きくする
- (2) 単位ゲート幅当たりの電力密度を増やす

その単素子の長さはフィンガー長、くしの本数はフィンガー数と呼ばれているが、フィンガー長を伸ばすことやフィンガー数を増やすことによって、(1) の総ゲート幅は大きくすることができる。

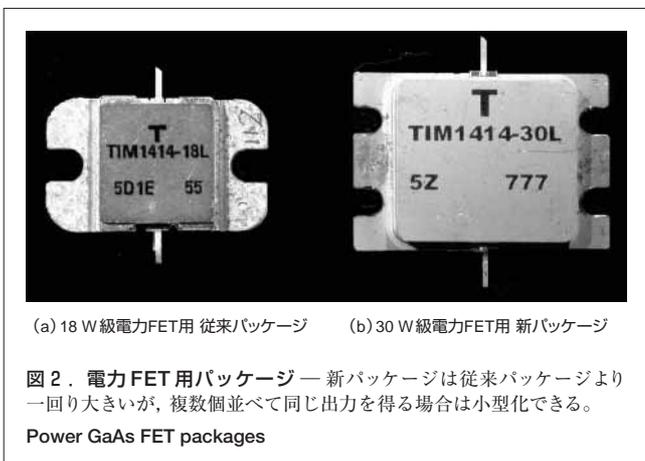


フィンガー長を伸ばすことは、利得の低下と放熱性の劣化を生むため、今回はフィンガー数を増やすことにより高出力化を図ることとした。30 W 出力を得るためには18 W 級電力FETのほぼ2倍のフィンガー数が必要となるが、フィンガー間隔の縮小は発熱密度の増加につながるため、間隔は従来のままとし、その分半導体チップを大きくした。

同様に(2)の電力密度を増加させる選択肢は、熱密度の増加を伴うため今回の検討から外した。

2.2 パッケージ設計

2.1項で述べたように、30 W 出力を得るためには従来の2倍のフィンガー数が必要となり、それを収めるキャビティ幅もほぼ2倍のサイズが必要となった。その結果、図2に示すように、新パッケージサイズは従来のパッケージサイズより一回り大きくなってしまったが、かりに150 W 級SSPAを実現するために従来の電力FETを12個並べるよりも、今回の新製品を8個並べたほうがSSPAは小型化を図ることができる。

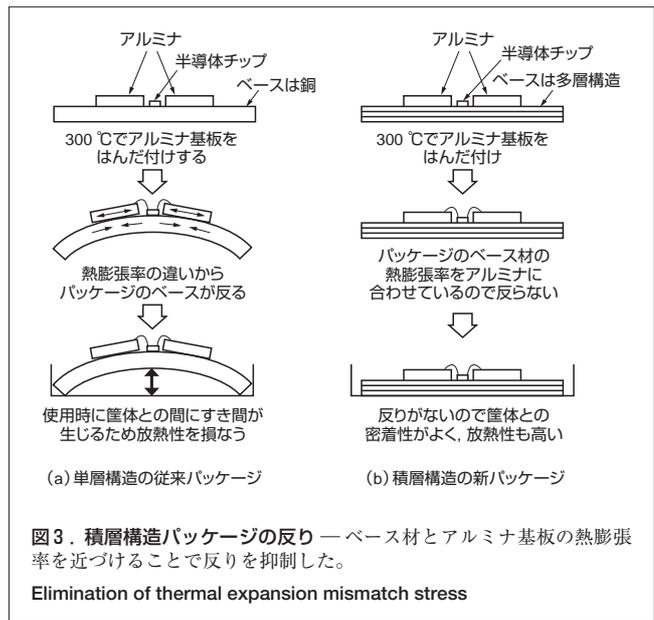


しかしながら、今回のパッケージの大型化は新たな二つの課題を引き起こした。その課題は熱膨張による反りと空洞共振で、これらに対する対策を以下に述べる。

2.2.1 パッケージの反り

パッケージは、発生した熱を速やかに放熱する役割を持つ。しかし、パッケージベース材を、通常よく使われる銅の単層構造とすると、内部整合回路を形成するアルミナ基板を高温ではんだ付け実装する際に、銅とアルミナ基板の線熱膨張率差でパッケージに大きな反りが発生する。このため、パッケージ底面とそれを取り付けている筐体(きょうたい)の放熱面との接触面にすき間ができ、放熱性が悪くなる(図3(a))。この問題は一般にパッケージが大きくなるほど生じやすくなる。

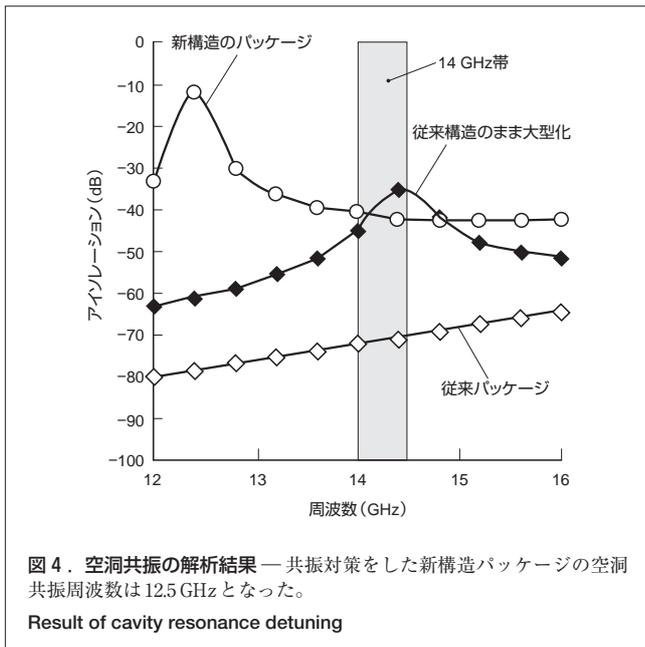
この問題を解決するために、今回のパッケージでは、ベース材を従来の銅単層構造からアルミナの膨張率に近いモリブデンを採用した銅/モリブデン/銅の積層構造に変更した。モリブデンは銅に比べて熱伝導率が小さいが、銅で挟む構造をとることにより放熱上の問題は低減され、そのうえ、パッケージの反りを十分小さく抑えることができたので、全体として放熱性を確保することができた(図3(b))。



2.2.2 空洞共振

パッケージのキャビティを大きくしたことにより14 GHz 帯の使用帯域内で空洞共振が発生した。この問題に対して、3次元の電磁界解析を用いてキャビティ形状の最適化を行った。

従来パッケージ、従来構造のまま大型化したパッケージ、及びキャビティ内形状を工夫した新構造パッケージの三つの場合について、共振による反射量の周波数特性を電磁界解析した結果を図4に示す。解析モデルは、フィードスルー構造の入出力の端子を持つキャビティ内にアルミナ基板を配置



したものとした。また、半導体チップ及びコンデンサは省略し、基板上に形成されたマイクロストリップラインはその端面で短絡状態とした。

従来パッケージのキャビティサイズは8.0(幅)×8.0(奥行き)×2.0(高さ)mmである。ここにアルミナ基板を実装したときの空洞共振周波数は17 GHzであり問題はなかったが、従来構造のまま大型化したパッケージのキャビティサイズは16.0(幅)×14.0(奥行き)×2.0(高さ)mmであり、このときの空洞共振周波数は14.5 GHzとなるため、このままでは14 GHz帯の使用帯域内に、空洞共振によって利得が低下する周波数ポイントが生じることとなる。

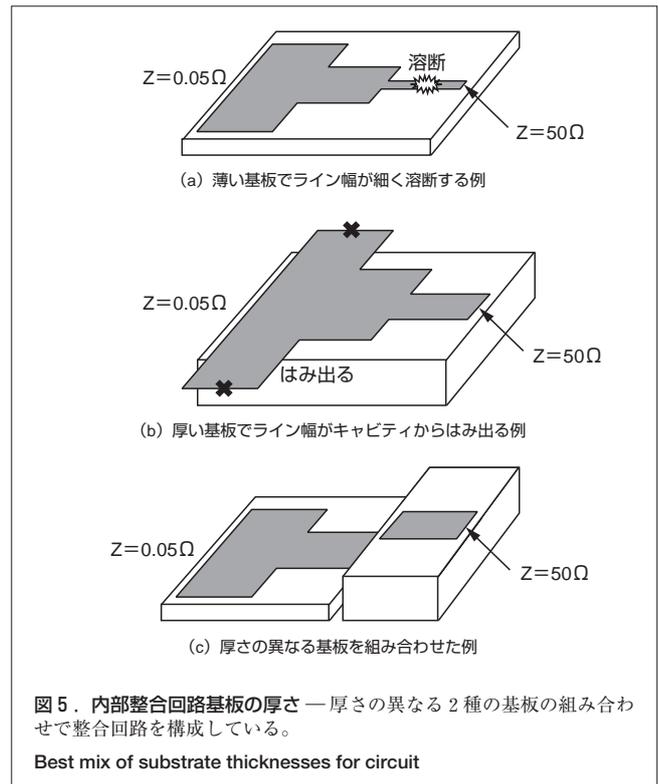
一方、キャビティ内の形状を工夫した新構造パッケージの空洞共振周波数は12.5 GHzとなり、共振点を帯域外へと制御できていることがわかる。

2.3 内部整合回路設計

電力FETのパッケージ内部には、半導体チップとともに内部整合回路が配置されている。この内部整合回路は、半導体チップの0.05 Ωという低インピーダンスを、システム信号ラインのインピーダンスである50 Ωに変換する役目を持つ。

内部整合回路を設計するうえで課題となったことは、マイクロストリップラインの電流容量を大きくすることと、合成効率の低下を抑制することである。

出力を2倍にしようとする信号ラインに流れる電流もほぼ2倍になるが、マイクロストリップラインを従来の薄い基板上に形成するとライン幅が細くなり、電流容量不足によりラインが溶断してしまう(図5(a))。基板厚を厚くすればライン幅も広く取れるが、今度は低インピーダンス側のライン幅も広くなりキャビティ内に収まらない(図5(b))。そこで厚さの異なる



2枚のアルミナ基板で整合回路を構成することで、電流容量の確保と整合回路設計の自由度を両立させた(図5(c))。

以上の着想の下、電磁界シミュレーションによる合成効率向上を図った。二つの半導体チップを合成している場合、互いのチップは対称関係を持っているが、四つの半導体チップを合成する場合、内側の二つの半導体チップとその外側の二つの半導体チップでは対称関係が崩れており、均一に信号が分配されない。以上のことを踏まえ、電磁界シミュレーションにより4チップが均一に動作するように整合回路パターンを設計した。

3 製品性能

3.1 放熱性能

高出力化のために、フィンガー長の伸長やフィンガー間隔の縮小といった集積化手法をとることなく発熱密度を抑制した。また、熱膨張によるパッケージの反りを抑えて放熱性を確保した。この結果、電力FETの熱抵抗を1℃/Wという低い値とすることができた。

3.2 高周波特性

開発したFETの高周波特性を図6に示す。この図は、動作電圧10 Vにおける出力電力、電力付加効率、及び利得の入力電力依存性を示すものである。1 dB利得圧縮点において、出力電力(P_{1dB}) 44.5 dBm (28 W)、利得(G_{1dB}) 4.5 dBを達成している。飽和出力では45.2 dBm (33 W)を得ている。

4 あとがき

今回当社は、衛星通信システム用途として、内部整合型14 GHz帯30 W級電力FETを開発した。この開発に際しては、放熱性を高めるために、従来のフィンガー間隔を変えずにフィンガー数を増やすこととした。それに伴い、大型化したパッケージ設計では、ベース材をこれまでの単層構造から積層構造に変更することにより実装時の熱過程での熱膨張による反りを抑え、実装面の平坦性を維持することにより放熱性を向上させて熱抵抗を低く抑えた。また、大型化したパッケージによる空洞共振の悪影響は、電磁界の3次元解析によるキャビティ形状の最適化によって解決した。

これらにより、14 GHz帯において、500 MHzの広い帯域にわたって飽和出力33 Wを得た。これは2005年8月現在、14 GHz帯としては世界最高出力である。

今後は、今回の開発で得た知見を製品に適用し、いっそうの高性能化を進めていく。

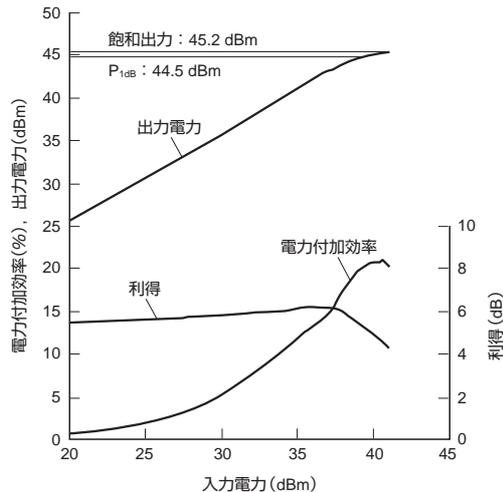


図6. 開発したFETの入出力特性 — 飽和出力45.2 dBm (33 W)を得た。
Input-output characteristics of newly developed FET

図7は、出力電力について他社との比較を示したものである。今回開発した電力FETは、14 GHz帯の出力が世界最高レベルであることがわかる。

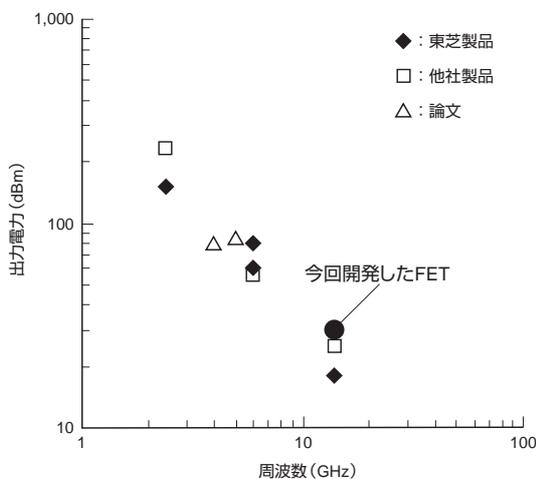


図7. 出力性能比較 — FET出力性能の他社比較を示す。14 GHz帯において世界最高レベルである。

Performance positioning of newly developed FET



高木 一考 TAKAGI Kazutaka

社会ネットワークインフラ社 小向工場 マイクロ波技術部 主査。マイクロ波半導体デバイスの設計・開発に従事。応用物理学会会員。

Komukai Operations



大森 智仁 OHMORI Tomohito

社会ネットワークインフラ社 小向工場 マイクロ波技術部。マイクロ波素子の回路設計に従事。

Komukai Operations



柏原 康 KASHIWABARA Yasushi

社会ネットワークインフラ社 小向工場 マイクロ波技術部 主務。マイクロ波素子のパッケージ及び回路の電磁界解析に従事。

Komukai Operations