

CELL プロセッサに見る アーキテクチャ — 次世代デジタルホームに向けて

Overview of CELL Processor Architecture for Next-Generation Digital Home

近藤 伸宏

■ KONDOH Nobuhiro

CELL プロセッサは、“スーパーコンピュータ オンチップ”を目指して開発された高性能プロセッサである。もっとも大きな特長は、1個の汎用プロセッサコアと8個の浮動小数点演算プロセッサコアを搭載した“マルチコア アーキテクチャ デザイン”を採用していることである。高精細デジタルテレビや次世代DVDなどのデジタル家電機器では、現在より鮮明で美しい映像を表示するために膨大な演算が必要とされる。その演算処理のほとんどは、“リアルタイム処理”と呼ばれるもので、一定時間内に一連の処理を必ず終了しなければならないという制約がある。CELL プロセッサは、この膨大なリアルタイム処理を同時並行処理によって解決する。

The CELL processor has been developed with the aim of realizing a "supercomputer on a chip." It incorporates an advanced multi-core architectural design with eight synergistic processor elements (SPEs) for floating-point processing and one power processor element (PPE) for general-purpose processing packed onto a single chip. Next-generation digital consumer electronic products, such as HDTV and HD DVD, require much more computing power. Real-time processing performance is important on these platforms. CELL architecture meets the real-time processing performance needs of broadband rich media applications.

1 まえがき

CELL プロセッサ⁽¹⁾は、IBM コーポレーション(以下、IBM と呼ぶ)、ソニー(株)及び(株)ソニー・コンピュータエンタテインメント(以下、ソニーグループと呼ぶ)、東芝の4社共同で開発を進めてきた高性能プロセッサである。

近年普及が進んでいる高精細デジタルテレビや、注目を集めている次世代DVDなどのデジタル家電機器では、出力画像の画質向上、映像のエンコード及びデコードなど、大容量データをリアルタイムに処理しなければならない。CELL プロセッサは、このようなリアルタイム処理の性能向上を第一の目的として設計された。

ここでは、CELL プロセッサの概要を説明し、8個の浮動小数点演算コア(SPE: Synergistic Processor Element)を中心に、リアルタイム処理の性能向上に寄与するコンピュータ アーキテクチャについて述べる。

2 CELL プロセッサの概要

CELL プロセッサの開発は、IBM、ソニーグループ及び当社のエンジニアを2001年3月から、米国テキサス州オースチンに設置した共同デザインセンターに集結し、進められている。実験室レベルの試作チップは、デザインルール90 nm

(注1) Power Architectureは、International Business Machines社の商標。

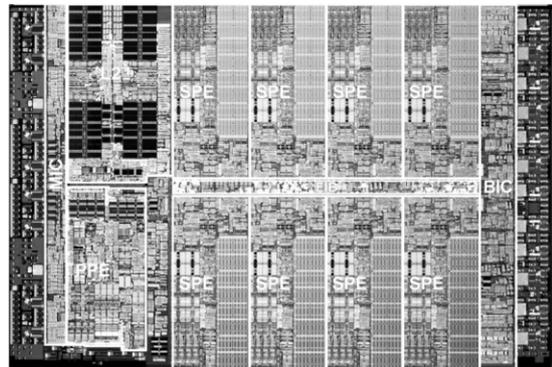


図1. CELLチップのダイ — 8個のSPE, 1個のPPEのマルチコア マルチプロセッサ構成である。

CELL chip die with high-level floor plan overlay

プロセスやシリコン オン インシュレータ(SOI)技術を用いて製造され、4 GHzを超えるクロックスピードとスーパーコンピュータ並みの浮動小数点演算性能(数を実数部と指数部に分け、これらを一組にして表現する計算方法)を実現している。試作チップのチップ面積は221 mm²で、その中に搭載されているトランジスタ数は2億3400万個となっている(図1)。

CELL プロセッサでは、マルチコア アーキテクチャ デザインを採用し、8個のSPEと、1個のPower Architecture^(注1)ベースの汎用コア(PPE: Power Processor Element)が搭載されている(図2)。各SPEは、128個の128ビットレジスタファイルを利用可能なSIMD(Single Instruction Multiple

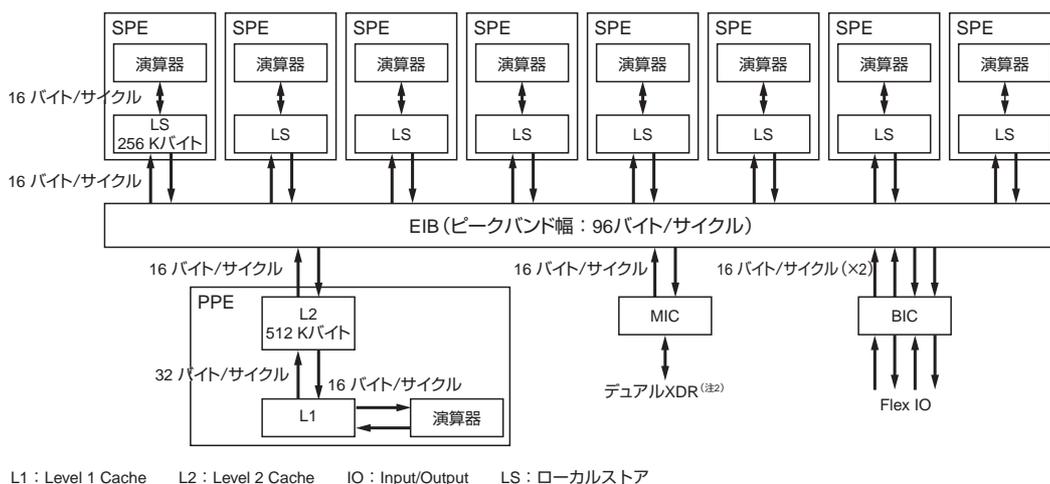


図2. CELLプロセッサのブロック図 — 各SPEは256Kバイトのローカルストア(LS)を持ち、SPE-PPE間は超高速バスEIBで接続されている。
High-level diagram of CELL processor

Data) 型演算処理ユニットと、256 Kバイトのローカルストアを持っている。SIMD型演算は、一つの命令で複数のデータを同時に処理する演算方法で、メディア処理に多用される。汎用コアに加えて、メディア演算に強いSPEを8個搭載することで、CELLプロセッサの高いメディア演算性能が実現した。

外付けのメインメモリとはMIC (Memory Interface Controller)を介して、他の外部チップとはBIC (Bus Interface Controller)を介して接続される。PPEと8個のSPE間、及びこれらとメインメモリ間などのデータ転送には、EIB (Element Interconnect Bus)と呼ばれるピークバンド幅96バイト/サイクルの超高速データ転送バスが用いられている。

3 CELLに見るコンピュータアーキテクチャ

CELLプロセッサのコンピュータアーキテクチャは、リアルタイム処理に向いている部分が多い。ここではSPE⁽²⁾を中心に、CELLに採用されているアーキテクチャを概説し、他のアーキテクチャと比較する。

3.1 命令パイプライン

SPEでは、インオーダー実行^(注3)の2命令同時実行パイプラインを採用している。更に、2命令同時実行のパイプラインは、主に演算を行うパイプラインと、主にメモリアクセスなど

(注2) XDRは、Rambus社の商標。

(注3) インオーダー実行とは、命令が投入された順序どおりに実行される方式。

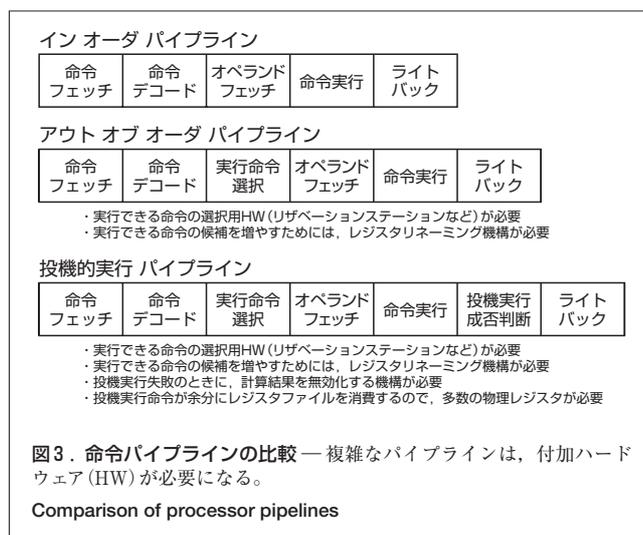
(注4) アウトオブオーダー実行は、命令の投入順序に関係なく、その時点で実行可能な命令を選択して演算を行う方式。

(注5) 投機的実行は、実行する命令を選択する時点では、実行すると決まっていな命令まで実行してしまう方式。

を行うパイプラインに分かれている。

SPEが採用したインオーダー実行に対して、従来の代表的なプロセッサは、アウトオブオーダー実行^(注4)や、投機的実行^(注5)を採用している。これらの実行方式では、どの命令が実行可能か判断する機構や、投機的に実行した命令の結果が有効か判断する機構が必要になる。これらの機構は複雑なため回路規模は大きくなってしまふ。また、その複雑な機構の動作周波数を上げるためには、一つの命令を処理するのに必要なステップが多くなり、結果として分岐時のペナルティが大きくなってしまふなどの弊害もある。

SPEで採用しているインオーダー実行パイプラインは、これらのアウトオブオーダー実行や投機的実行に比べ、ハードウェアの機構がシンプル(図3)なため回路規模は小さくなり、動作周波数も上げやすくなる。また、実行時に動きが変わ



$$\text{演算例: } (a \ b \ c) \cdot \begin{pmatrix} x \\ y \\ z \end{pmatrix} = a \cdot x + b \cdot y + c \cdot z$$

使用レジスタ数=2

	コード	reg0	reg1
	ld reg0 *addr (a)		
	ld reg1 *addr (x)	a	
	fmul reg0 reg0 reg1	a	x
	ld reg1 *addr (b)	a·x	x
#1	st *addr (t0) reg0	a·x	b
	ld reg0 *addr (y)	a·x	b
	fmul reg1 reg1 reg0	y	b
#1'	ld reg0 *addr (t0)	y	b·y
	fadd reg0 reg0 reg1	a·x+b·y	b·y
	ld reg1 *addr (c)	a·x+b·y	c
#2	st *addr (t1) reg0	a·x+b·y	c
	ld reg0 *addr (z)	z	c
	fmul reg1 reg1 reg0	z	c·z
#2'	ld reg0 *addr (t1)	a·x+b·y	c·z
	fadd reg0 reg0 reg1	a·x+b·y+c·z	c·z
	st *addr (rt0) reg0	a·x+b·y+c·z	c·z

使用レジスタ数=3

	コード	reg0	reg1	reg2
	ld reg0 *addr (a)			
	ld reg1 *addr (x)	a		
	fmul reg0 reg0 reg1	a	x	
	ld reg1 *addr (b)	a·x	x	
	ld reg2 *addr (y)	a·x	b	
	fmul reg1 reg1 reg2	a·x	b	y
	fadd reg0 reg0 reg1	a·x	b·y	y
	ld reg1 *addr (c)	a·x+b·y	b·y	y
	ld reg2 *addr (z)	a·x+b·y	c	z
	fmul reg1 reg1 reg2	a·x+b·y	c	z
	fadd reg0 reg0 reg1	a·x+b·y	c·z	z
	st *addr (rt0) reg0	a·x+b·y+c·z	c·z	z

ld : LSからレジスタへのデータ転送 reg : レジスタ
 st : レジスタからLSへのデータ転送 addr : アドレス
 fmul : 乗算 t : テンポラリ
 fadd : 加算 rt : 結果
 ■ : 使用可能なレジスタ □ : 使用中のレジスタ

図5. レジスタ不足のペナルティ—レジスタが足りないと、#1, #1', #2, #2'で示したようなむだな処理が必要になる。
 Penalty of register spill code (#1, #1', #2, #2')

ツールを使用して、プロセッサ上で実行できる形式に変換される。この変換の過程で高速化のための処理を施すことができる。有名な高速化の手法には、ループアンローリング、ソフトウェアパイプラインニング、レジスタカラーリングなどがある。これらの手法は、多数のレジスタを使用すると、より効果が出るものである。SPEでは、128個のレジスタを自由に使用できるため、高速化の手法を適用しやすくなっている。

リアルタイム処理の代表的なものにストリーミング処理がある。ストリーミング処理は、とぎれなく入力されるデータに対して、決まった処理を行うものである。このような処理は映像や音声のエンコード、デコードなどのメディア処理に多く用いられている。ストリーミング処理では、入力データに対して同じ処理を繰り返し行うため、プログラムの実行時間のほとんどはその繰り返し部分の処理に費やされる。この繰り返し部分に高速化の手法を適用できることは、プログラムを高速化するときには重要になる。SPEでは、SIMD演算をサポートし、多数のレジスタを用意するなど、ストリーミング処理に向けたアーキテクチャとなっている。

4 あとがき

CELLプロセッサは、次世代デジタル家電機器のコアプロセッサである。ここでは、SPEを中心に、そのコンピュータアーキテクチャがリアルタイム処理を目指しているものであることを示した。そのほかにも、高性能化を支えるための超高速データベースEIBや、高性能化とプログラマビリティの両

立のためのマルチコア・マルチプロセッサ構成など、特長のあるプロセッサになっている。これらは、最先端の半導体技術があったからこそ実現できたものであり、当社はそのリーディングカンパニーとして、更なる技術の向上を目指している。

現在、当社では、CELLプロセッサを利用してHD (High Definition) 映像のH.264 (ITU-T (国際電気通信連合－電気通信標準化部門)の動画標準化方式の一つ)ソフトウェアデコーダや、48画面のSD (Standard Definition) 映像を同時にデコードできるソフトウェアプラットフォームなどを実現し、そのパフォーマンスの高さを実証している。

当社は、CELLプロセッサの高速演算性能が、デジタル家電の機能向上と使いやすさ向上につながると期待している。そして、CELLプロセッサが普及し、それらがネットワークでつながったときが、次世代デジタルホームのスタートであると考えている。

文献

- (1) D.Pharm, et al. "The Design and Implementation of a First-Generation CELL Processor". ISSCC Dig. Tech. Papers, 2005, p.184 - 185.
- (2) B. Flachs, et al. "A Streaming Processing Unit for a CELL Processor". ISSCC Dig. Tech. Papers, 2005, p.134 - 135.



近藤 伸宏 KONDOH Nobuhiro
 セミコンダクター社 ブロードバンドシステム LSI事業推進部
 ブロードバンドシステム LSI事業企画部。
 並列処理、画像処理システムの研究・開発に従事。
 Broadband System LSI Div.