

C帯 90 W 電力 FET

C-Band 90 W GaAs Power FET

木村 英樹

■ KIMURA Hideki

高塚 眞治

■ TAKATSUKA Shinji

高木 一考

■ TAKAGI Kazutaka

近年、衛星通信システムなどに使用されるC帯(4~8 GHz帯)電力FET(Field Effect Transistor : 電界効果トランジスタ)は、より高出力化、より低ひずみ化への要求が高まっている。

東芝は、既にC帯において出力60 Wのヒ化ガリウム(GaAs)FETを製品化しているが、このたびウェーハ・素子構造の最適化による電力密度の向上を図ることにより、更なる高出力化を目指した。高出力化に伴う発熱量の増加に対しては、パッケージの放熱性を改善することにより対策を図った。これにより6 GHz帯において出力90 W級の電力FETの開発に成功した。今回開発したFETは、シングルエンド増幅器としては世界最高レベルの出力を誇る。

Demand for GaAs field effect transistors (FETs) of higher output power and lower distortion for such applications as satellite communication transmitters has been increasing in recent years.

Toshiba already has an internally matched C-band 60 W GaAs FET in its product lineup. In this paper, we report on our development of an internally matched C-band GaAs FET with an output power of 90 W at 6 GHz, ranked as the highest in the world. This was achieved by optimization of wafer and gate structures, as well as improvement of the package configuration for better heat dissipation.

1 まえがき

近年の通信システムの発展に伴い、キーデバイスであるGaAs電力FETに対して、更なる高性能化が求められている。衛星通信分野などのC帯アプリケーションにおいても、小型化、軽量化の要請により、従来の進行波管増幅器(TWTA: Traveling Wave Tube Amplifier)から、固体増幅器(SSPA: Solid State Power Amplifier)への置換えが進んでおり、そのキーデバイスであるGaAs電力FETの高出力化、低ひずみ化への要求が高まっている。

現在、東芝はC帯60 W級GaAs電力FETを既に製品化しているが、他社の研究レベルでは既に、飽和出力80 Wが報告されている⁽¹⁾。

今回、当社は内部整合型C帯GaAs電力FETを開発するにあたり、高出力化のためにウェーハ構造の最適化と、ゲート電極の埋込みリセス(溝)深さをパラメータとして素子構造の最適化を図った。またパッケージは、ベース材をこれまでの単層構造から積層構造に変更することで、実装時の熱過程で生じる反り(材料間の熱膨張率の差による)を抑え、フランジ面を平たんにより放熱性の低下を防いだ。これらにより、6 GHz帯(5.9~6.4 GHz)において、飽和出力で90 W級の高出力FETの開発に成功した。

ここでは、開発した内部整合型C帯GaAs電力FETについて述べる。

2 FET設計

2.1 チップ設計

高出力化を達成するためには、①総ゲート幅の拡大、②高耐圧化、③最大ドレイン電流の増大が求められる。

①の総ゲート幅の拡大については、パッケージサイズ及びチップサイズの制約から無制限に大きくすることはできない。また、ゲート幅の拡大はチップ内での配線パターンの高密度化を招き、熱抵抗の増大から温度上昇が起こり、FETそのものの信頼性を低下させる。

②の高耐圧化については、最近、電界の集中を緩和させる電極構造の研究^{(2),(3)}や、高電圧動作に向く窒化ガリウム(GaN)などのGaAsとは異なる材料の研究がなされており、当社も検討を進めているが、いまだ製品としての実用化には至っていない。

これに対し、③の最大ドレイン電流の増大による単位ゲート長当たりの電力(以下、電力密度という)の向上は、高出力化にとって非常に有効であると期待される。電力密度を増大させることで、総ゲート幅の短縮を図ることができ、チップパターン設計に余裕を持たせることができるからである。これにより、同じチップサイズにおいても、ゲートピッチサイズを広げることができ、熱抵抗の低減を図ることができる。

今回、当社は従来レベルの製造技術により、FETの電力密度の増大による高出力化を目指してFET素子構造の最適

化を図った。

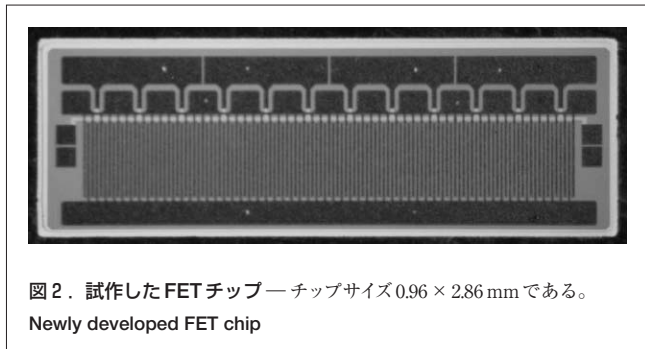
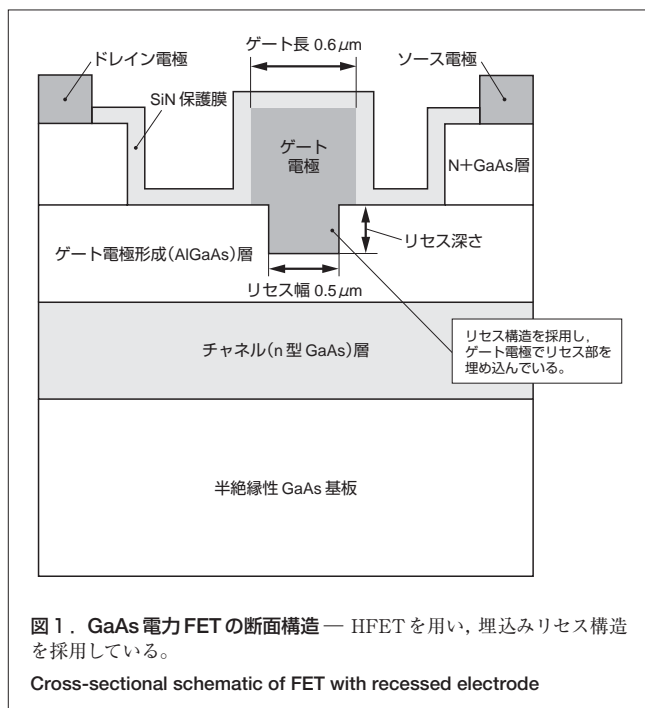
最大ドレイン電流を増大させるには、半導体と保護膜との界面に存在する表面準位の影響を軽減しなければならない。なぜならばマイクロ波印加時に、この表面準位の影響により、急速なゲート入力電圧の変化に対して、ドレイン出力電流応答を低下させるゲートラグと呼ばれる現象が起こるためである。

一般的にこのゲートラグを抑制するために、半導体の保護膜界面から、電流が流れるチャネル層を遠ざける目的で、埋込みゲート構造という方式が用いられている⁽⁴⁾。当社も既存の製品で、この埋込みゲート構造を採用しているが、今回、最大ドレイン電流を増大させる目的でウェーハ構造を変更し、埋込みリセス深さをパラメータとして最適化を図った。

90 W 級電力 FET を開発するにあたって、電力密度は 450 mW/mm 以上とし、直流特性の改善目標として、最大ドレイン電流は 400 mA/mm 以上、FET の耐圧目標値は動作電圧 ($V_{ds} = 10\text{V}$) を考慮して 18 V 以上と設定した。

今回試作した FET チップの断面構造を図 1 に示す。試作にはヘテロ接合型 FET (HFET: Heterojunction FET) を用い、ゲート電極の埋込みリセスを深くできるように、ゲート電極形成層のアルミニウムガリウムヒ素 (AlGaAs) 層の厚みを最適化し、ゲート長は $0.6\ \mu\text{m}$ 、埋込みリセス幅は $0.5\ \mu\text{m}$ とした。

作製した FET チップの外観を図 2 に示す。チップサイズは $0.96 \times 2.86\ \text{mm}$ 、総ゲート幅は $42.92\ \text{mm}$ 、チップ厚は $30\ \mu\text{m}$ まで薄層化している。

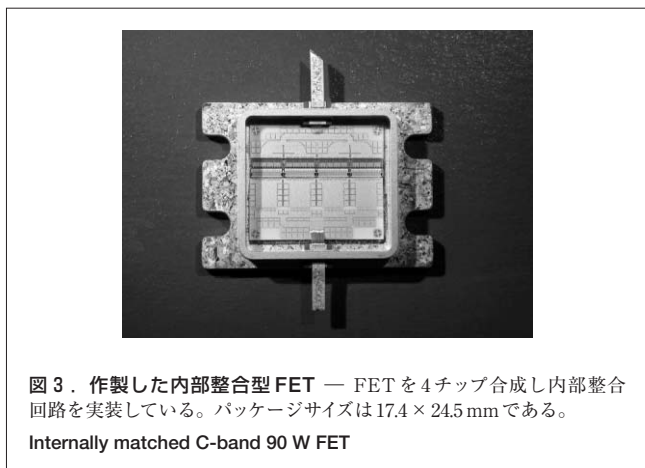


2.2 パッケージ設計

パッケージは、高出力化に伴う発熱量の増大を緩和するため、発生した熱を速やかに放熱する役割を果たさなければならない。しかし、パッケージベース材が通常よく使われる銅の単層構造では、FET チップや内部整合回路を実装する際に、実装部の熱膨張率の差でパッケージに大きな反りが発生する。これによりパッケージと放熱面との接合部にすき間ができ、放熱性が悪化するという問題が生じる。

以上のことを考慮して、今回のパッケージのベース材には従来の銅単層構造から銅/モリブデン/銅の積層構造を採用した。モリブデンは銅に比べて熱伝導率が小さいという放熱上の問題があるが、この構造をとることにより、パッケージの反りを十分小さく抑えることができ、全体として放熱性を確保することができるからである。

今回作製したパッケージを図 3 に示す。内部に実装されているのは、4 個の FET と整合回路基板である。パッケージのサイズは $17.4 \times 24.5\ \text{mm}$ である。



3 電気性能

3.1 直流特性

先に述べたようにリセス深さは、最大ドレイン電流の増大に大きな影響を及ぼす。埋込みリセス深さをパラメータとし

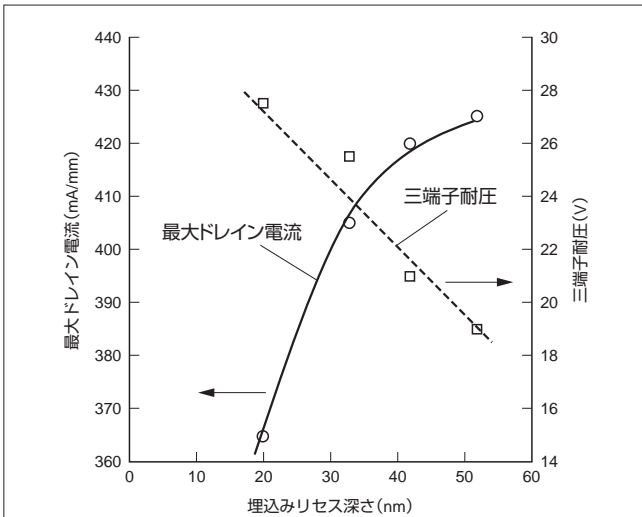


図4. 最大ドレイン電流と耐圧の埋込みリセス深さ依存性 — リセスが深くなるにつれて、最大ドレイン電流は増大し、三端子耐圧は単調に低下する。

Maximum drain current and drain breakdown voltage vs. recess depth

た最大ドレイン電流及び耐圧のリセス深さ依存性の実測結果を図4に示す。リセス深さを深くすることで、最大ドレイン電流を増大させることができる。一方、耐圧についてはリセス深さが深くなるにつれて、単調に減少していく傾向を示している。最適リセス深さを決定するには、最大ドレイン電流及び耐圧のトレードオフを考慮する必要がある。今回作製したFETはリセス深さを52 nmとした。このときの最大ドレイン電流は425 mA/mm、耐圧は19 Vであり、共に目標値を超える値を示している。

3.2 高周波特性

埋込みリセス深さ52 nmで試作したFETの特性を図5に示す。図中には動作電圧10 Vにおける、出力電力 (P_{OUT})、電力付加効率 (PAE: Power Added Efficiency), 及び利得 (GL) の入力電力 (P_{IN}) 依存性を記載した。このときのドレイン電流 (I_{dsq}) は10 Aである。この図から、1 dB利得圧縮点出力 (P_{1dB}) は49.0 dBm (80 W)、飽和出力は49.4 dBm (87 W) を得ることができ、90 W級の出力が達成できたことがわかる。また、このときの電力付加効率は35%, 線形利得7.0 dBであった。

埋込みリセス深さに対する、電力密度と三次相互変調ひずみ (IM3) との関係を図6に示す。電力密度は、埋込みリセスを深くすることにより、深さ52 nmにおいて今回の開発の目標値を超える460 mW/mmが得られ、埋込みリセス深さの改善が高出力化に有効であったことがわかる。また、出力45.5 dBm時のIM3についても埋込みリセスが深くなるに従い、4 dBの改善効果が得られることが判明した。これは、電力密度増大により高出力化が達成されたことで、出力電力

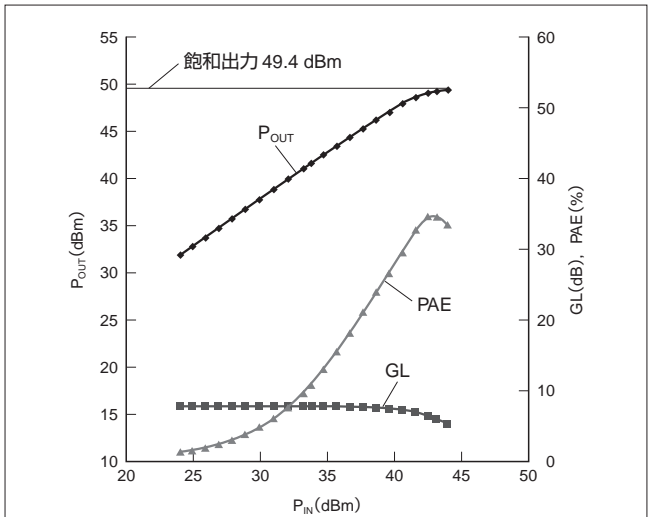


図5. 作製したFETの入出力特性 — チップ及びパッケージの改良により、飽和出力49.4 dBm (87 W)を得た。

Input-output characteristics of newly developed FET

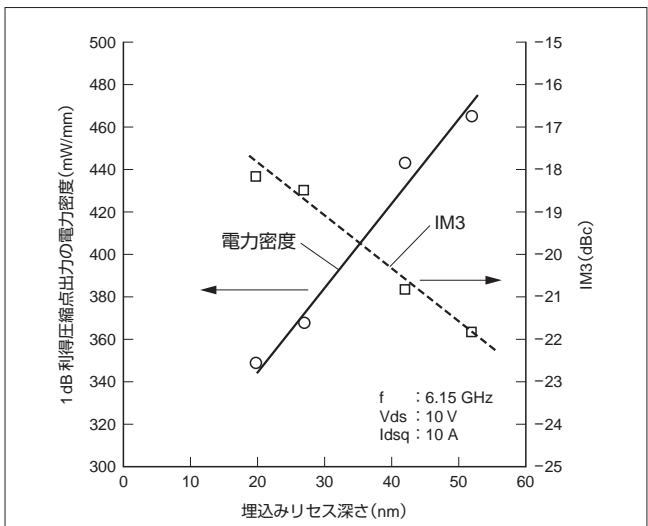


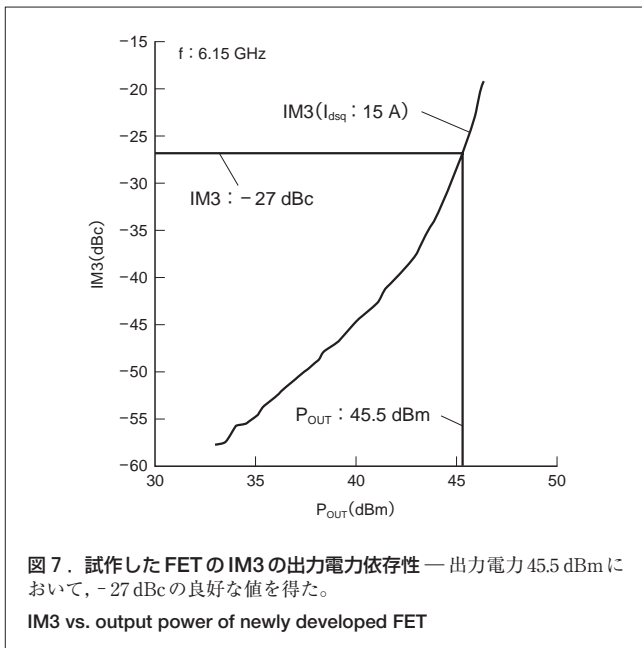
図6. 電力密度, IM3の埋込みリセス深さ依存性 — リセス深さ52 nmにおいて、電力密度の目標を達成した。

Power density and IM3 vs. recess depth

波形にゆとりができたためである。

2波の連続波 (CW) 信号を入力したときのIM3の P_{OUT} 依存性を図7に示す。ドレイン電流15 Aの場合、出力45.5 dBmにおいて、IM3は-27 dBcと良好なひずみ特性が得られた。

図8は出力電力について、他社比較を示すものである。今回作製したGaAs高出力FETが、シングルエンド増幅器としては世界最高レベルであることがわかる。



して新たに積層構造材を採用することにより、熱膨張による反りを抑え、放熱性を確保した。

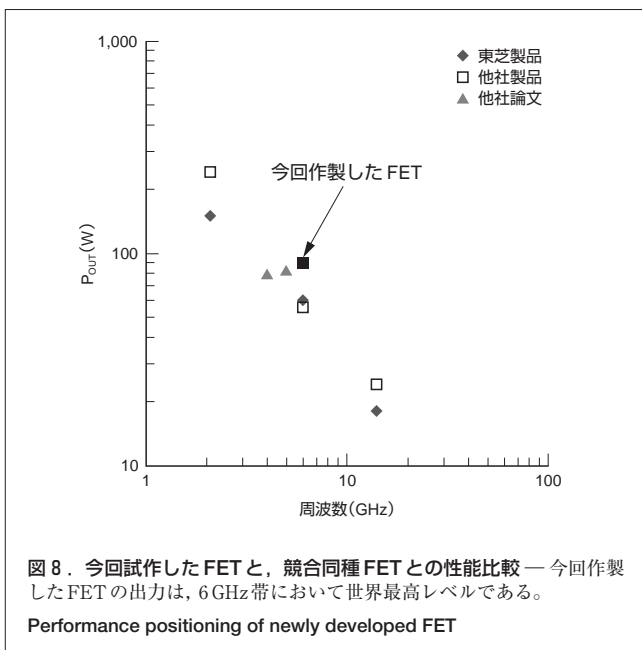
これにより、6 GHz帯において飽和出力87 Wを得た。

また、ひずみ特性としては、出力電力45.5 dBにおいてIM3 = -27 dBcという良好な結果を得た。特に出力電力については、世界最高レベルを達成することができた。

今後は、今回達成した電力密度の向上策を製品化に適用し、更なる高性能化を進めていく。

文献

- (1) 分島彰男, ほか. 衛星搭載用C帯80W GaAs-FET増幅器. 電子情報通信学会誌. **104**, 550, 2005, p.77-82.
- (2) 前川 新, ほか. C帯高利得5.5 GHz, 26 V動作25 W GaAs FET. 電子情報通信学会誌. **104**, 550, 2005, p.59-63.
- (3) Hori, Y. Analysis of electric field distribution in GaAs metal semiconductor field effect transistor with a field-modulating plate. Journal of Applied Physics. **87**, 11, 2000, p.3483-3487.
- (4) 石田秀俊, ほか. W-CDMA基地局用200 W MODFET. 電子情報通信学会誌. **99**, 555, 1999, p.19-23.



4 あとがき

衛星通信システム用途として、6 GHz帯高出力FETを開発した。チップ設計では、ウェーハ構造及び素子構造について検討を加え、ゲート電極の埋込みリセス深さを最適化することにより、単位ゲート長当たりの電力密度の向上を図り、目標性能を達成できた。また、パッケージ設計では、ベース材と



木村 英樹 KIMURA Hideki

社会ネットワークインフラ社 小向工場 マイクロ波技術部 主務。マイクロ波半導体及び半導体製造プロセスの設計・開発に従事。

Komukai Operations



高塚 眞治 TAKATSUKA Shinji

社会ネットワークインフラ社 小向工場 マイクロ波技術部。マイクロ波素子の回路設計に従事。

Komukai Operations



高木 一考 TAKAGI Kazutaka

社会ネットワークインフラ社 小向工場 マイクロ波技術部 主査。マイクロ波半導体デバイスの設計・開発に従事。応用物理学会会員。

Komukai Operations