

先端半導体 LSI デバイスの信頼性保証技術

Reliability Assurance Technologies for Advanced Semiconductor LSI Devices

瀬戸屋 孝 和田 朗 土肥 靖弘

■ SETOYA Takashi

■ WADA Akira

■ DOHI Yasuhiro

DVDレコーダ、薄型テレビ、デジタルカメラなどのデジタル機器に使用される先端半導体 LSI デバイスでは、微細化、高機能化、高性能化が進み、現在 90 nm プロセスルールのデバイスが量産され、2005 年には 65 nm プロセスルールのデバイスが量産されようとしている。これらの先端プロセスにおいては物理限界領域での信頼性保証技術が必須になってきている。

東芝は、このような集積回路の大規模化に対応し、不良品を除去するテスト技術、不良箇所を特定する技術を新たに開発した。更に、これらのデバイスの品質を上流から作り込み、顧客の要求に応じて短期間で市場投入することができる品質認定システムを構築した。

Advanced semiconductor LSI devices utilizing the 90 nm process rule are now being mass-produced and applied to DVD recorders, thin TVs, and digital cameras. The demand for even greater miniaturization and higher performance is driving the development of 65 nm process devices, whose prospect is in sight in 2005, where reliability assurance technologies at the margins of physical sensitivity are indispensable.

Toshiba has developed a testing method to eliminate defective materials and a pointing method to identify defect locations. Quality is designed so as to be embedded in products when they are manufactured. We have completed a quality accreditation system to satisfy customers' requirements with the shortest possible delivery times.

1 まえがき

現在の“新三種の神器”といわれる DVDレコーダ、薄型テレビ、デジタルカメラなどのデジタル機器に採用される SoC (System on Chip) と呼ばれるシステム LSI は、高品質・高性能化の要求とともに、新製品の投入時期が早ければ大きな市場シェアを得られるため、いかに短期間で新製品を納入できるかが重要なポイントになっている。

これらを同時に達成するために、開発段階から信頼性寿命予測技術、信頼性向上施策、品質・信頼性の作り込み技術や、大規模システム LSI を効率よくテストする技術、数百万個レベルの素子から不良箇所を短時間で特定する技術が必須になっている。

東芝は、これらに対応した技術を開発してきたが、特に、品質・信頼性面では、顧客の要求に応えるため短期間で開発、量産できる仕組みとして、開発の上流段階から品質・信頼性を作り込める、クオリティゲート(Q-Gate)システムを使った開発段階の品質認定システムを新たに導入した。更に、過去の不具合やノウハウをデータベース化して選ばれたエキスパートを横断的に組織化することによって、各段階でのデザインレビューを充実させるとともに、上流での品質を確保するナレッジマネジメントシステムを導入し、ミスによる

修正や後戻りなどを削減する体制を構築した。

2 先端プロセスの信頼性技術

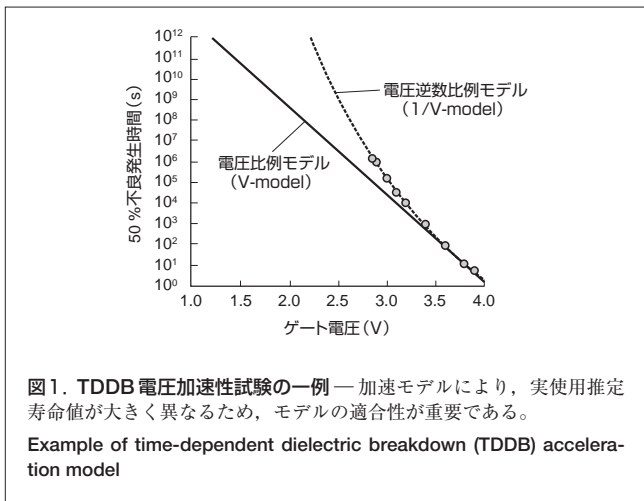
2.1 極薄酸化膜の信頼性寿命予測

MOS (Metal Oxide Semiconductor) デバイスの微細化に伴い、ゲート酸化膜は 2 nm 以下の極薄膜が実用化されている。薄膜化に伴い酸化膜の経時的破壊 (TDDB: Time Dependent Dielectric Breakdown) 寿命は短くなり、デバイスの耐用年数に近づいてきたため、よりいっそう正確な寿命予測が必要となってきている。

寿命予測は加速試験により TEG (Test Element Group) を用い、高電圧、高温度などのストレス条件下で実施されている。

試験により得られた結果から、各電界と温度条件ごとに累積故障率と破壊時間の関係をプロットし、試験条件から製品の実使用条件への外挿による寿命推定が行われる。ここで、試験条件と市場使用環境の間の電圧加速係数は寿命予測に大きな影響を与える。絶縁膜の経時破壊は電圧の増加により著しく加速され、その加速性モデルはいくつか提案されているが、現在、まだ定説は確立されていない。

当社では、プロセス世代ごとに図1のような電圧加速モデル



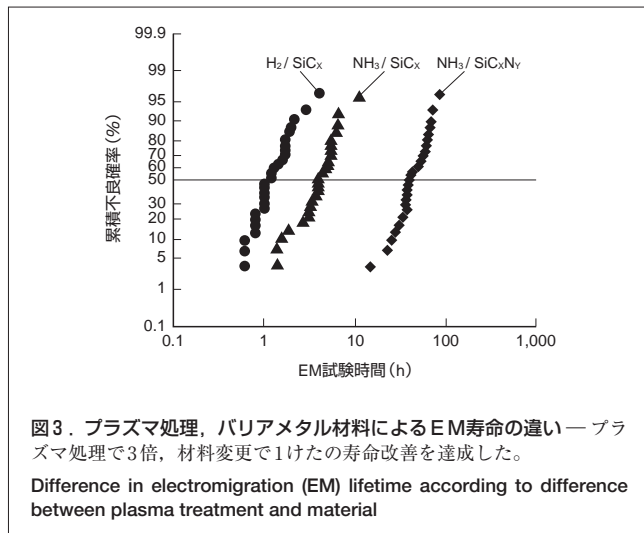
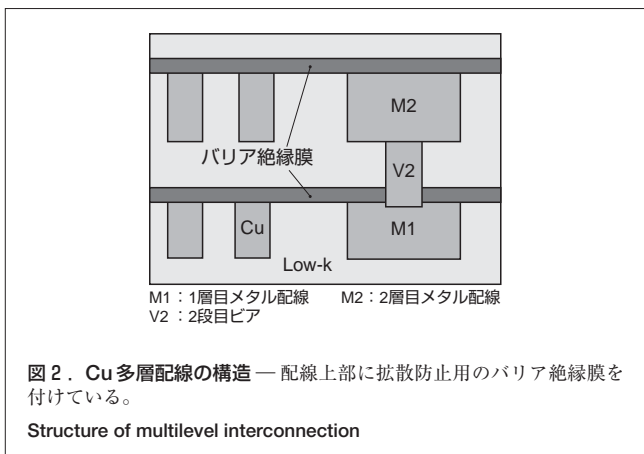
の適合性を確認して適正な寿命予測を行っており、高精度な酸化膜寿命予測を行っている。

2.2 Cu 配線の信頼性向上

システム LSI の高性能化に伴い、多層配線構造においては電気抵抗の低い銅 (Cu) 配線が導入され、配線間や層間の容量を減らすために低誘電率絶縁膜 (Low-k) の適用が進められている。多層配線の断面を図2に示す。

配線の高温動作中に発生する Cu の拡散によって抵抗が増大し不良化する EM (ElectroMigration) という故障モードにおいて、バリア絶縁膜と Cu の界面拡散が EM 寿命に大きな影響を与えるという報告がある^{(1), (2), (3)}。

そこで今回、バリア絶縁膜工程で、プラズマ前処理条件とバリア絶縁膜種による高信頼化の検討を実施した。プラズマ前処理工程 (水素 (H₂) プラズマ, アンモニア (NH₃) プラズマ) とバリア絶縁膜 (炭化シリコン (SiC_x), 炭窒化シリコン (SiC_xN_y)) の2種類から得られた結果を図3に示す。この結果から、Cu 配線における EM 寿命は Cu 表面状態とバリア絶縁膜種に大きく依存することが確認された。しかし、プラズマ前処理の適正化 (H₂ 処理 → NH₃ 処理) により酸化物を還



元し、MTF (Mean Time Failure: 50% 確率故障時間) が約3倍向上した。更に、バリア絶縁膜を SiC_xN_y 化することで MTF は1けた以上向上できることを確認した。

2.3 製造段階での信頼性確保技術

半導体デバイスのウェーハレベルの信頼性試験は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート酸化膜やメタル配線に固有な故障モードについて、その寿命などを確認する方法として一般的に実施されている。この開発デザインでの信頼性試験が終了し、量産段階に移行したデバイスの信頼性レベルの安定性を確認していくための手法の一つに、信頼性モニタリングがある。MOSFET の信頼性は、HCI (Hot Carrier Injection) 及び高温バイアス試験 (特に、逆バイアス特性変動寿命 (NBTI: Negative Bias Temperature Instability)) による特性変動が代表的な故障メカニズムとなっている。この MOSFET の信頼性について、製造工程上で発生する特性や寸法などのバラツキとの関係を明確にできれば、評価時間を要するストレス試験を実施するよりも効率的に、信頼性レベル推移の確認及び安定生産のための工程での早期の補正が可能となる。そこで、MOSFET の HCI 及び NBTI 信頼性寿命のバラツキ要因を確認したところ、以下の結果が得られた。

- (1) HCI 寿命のバラツキはゲート長に依存し、n 型 MOSFET は基板電流、p 型 MOSFET はドレイン電流に依存していることがわかった。p 型 MOSFET の結果を図4に示す。
- (2) NBTI 寿命はゲート酸化膜厚に依存し、特性やゲート長の間には明確な依存性は得られなかった。NBTI と酸化膜厚の関係を図5に示す。

これらの結果から、前記の MOSFET の信頼性寿命の支配要因を半導体の製造工程で管理することにより、信頼性モニタ試験を実施する前に信頼性寿命の見積りと維持管理

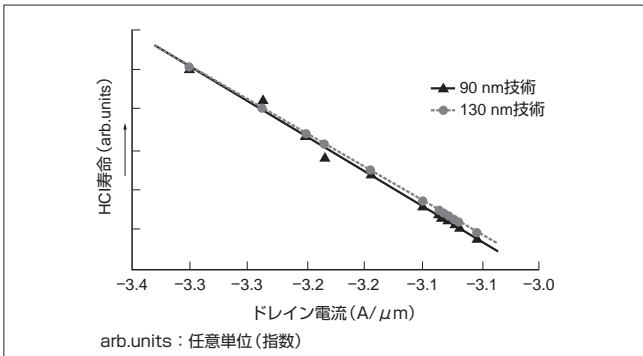


図4. p型MOSFETのHCI劣化寿命 — HCI劣化寿命はドレイン電流に依存している。

Dependence of p-type MOSFET life on hot carrier injection (HCI) degradation

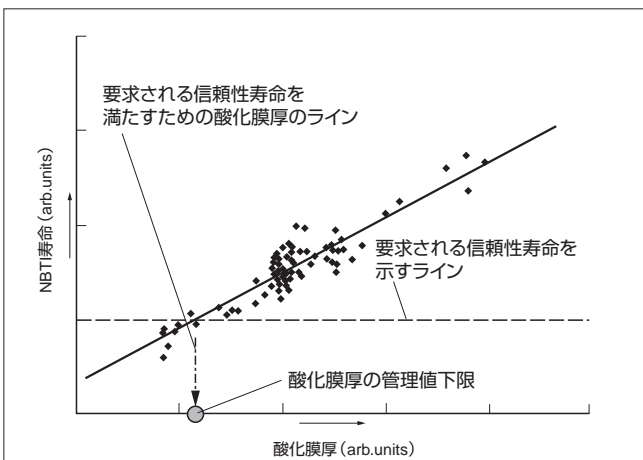


図5. NBTIと酸化膜厚の関係 — NBTIは、酸化膜厚依存性がある。

Relationship between negative bias temperature instability (NBTI) lifetime and oxide thickness

ができるようになり、工程への適用を行っている。

3 大規模集積回路の品質・信頼性確保技術

3.1 縮退・遅延故障検出 (DFT : Design For Test) 技術

SoCの故障には様々なモデルがある。代表的な故障モデルとしては、回路の入力状態に関係なく、常に論理的に0又は1に固定されたようにふるまう縮退故障がある。縮退故障については、SoCの大規模化に伴い、従来のファンクションテストだけで高い故障検出率を達成することは難しくなっている。このため以前から、スキャン手法とATPG (Automatic Test Pattern Generation) 技術とを組み合わせると高い故障検出率を達成していた。更に、近年のプロセスの微細化によりSoCの高速化が進み、縮退故障に加え、遅延故障などへの対応が求められるようになっていくと思われる。遅延故障とは、何らかの原因により回路の遅延が仕様内に収まらない

故障である。遅延故障も縮退故障と同様、従来のファンクションテストだけで高い故障検出率を達成することは難しくなっており、スキャンを使用したトランジションディレイテストなどの手法を併用し、高い故障検出率を達成する必要がある。トランジションディレイテストの概要を図6に示す。

図6のように、クロック間を所定のテスト周期で動作させ、周波数テストを行う。パターンはATPGのアルゴリズムに基づき自動的に発生させ、SoCに印加され、遅延故障を検出する。

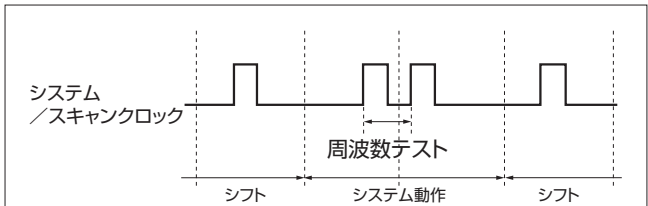


図6. トランジションディレイテストの概要 — クロック間を所定のテスト周期で動作させ、周波数テストを行う。

Outline of transition delay test

3.2 故障場所特定技術

故障箇所を特定するには、設計、測定、物理解析など様々な技術が使われる。ここでは、設計にかかわる技術について述べる。前記のように、近年はスキャン/ATPG技術が使われている。これらの技術により自動的に発生させたパターンは、機能検証用パターンと違い、回路の機能とは無関係に、回路の接続情報に基づき特定のアルゴリズムを使用して発生されている。これによりパターンを解析し、不良箇所を特定することが困難になってきている。このため、解析用の環境構築が必要になる。当社では、図7に示す不良箇所特定

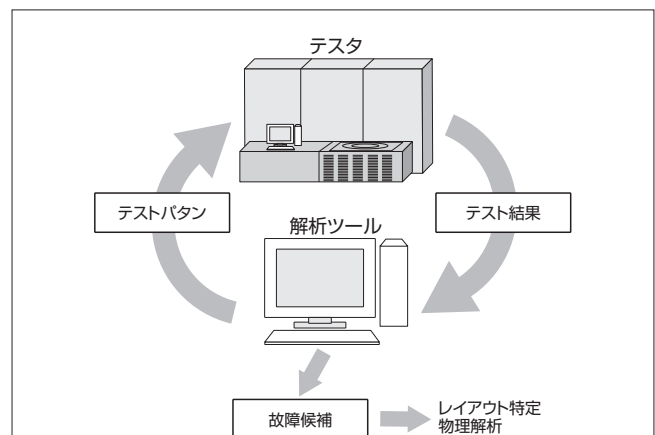


図7. 故障解析フローの概要 — テストデータから、解析ツールを使い故障候補を絞り込んでいく。

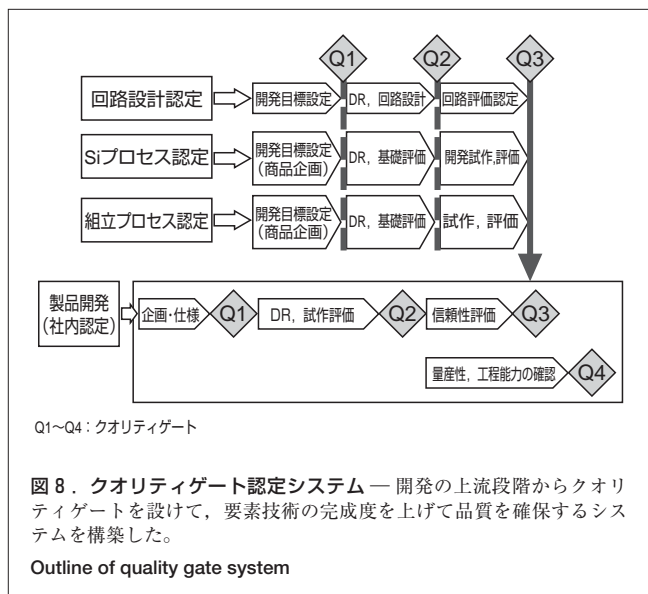
Outline of defect location identification procedure

環境を構築している。これにより、テストと解析ツールとの間でスムーズなデータの受け渡しが可能になる。

4 源流から品質を作り込む開発システム

4.1 クオリティゲート認定システム

設計をやり直すことなく短時間で製品を開発するため、SoC 製品向けに社内開発品質認定システム (IQS: Internal Quality System) を構築し、導入した。半導体デバイスは、多くの要素技術を使い開発するため、ウェーハ製造プロセス、回路設計、パッケージなどの各要素技術について設定品質が確保されたかを、それぞれ開発段階で品質ゲートを設けて確認し、各要素の各段階での品質レベルを確保している。各要素技術の品質・信頼性確認には専用の評価 TEG を開発して、製品チップがなくても評価ができる体制を構築した。概要を図 8 に示す。これにより、各要素の源流からの品質・信頼性確保が可能になり、量産間際の品質トラブルを未然に防ぐとともに、開発期間の大幅な短縮が可能になった。



4.2 再発防止ナレッジマネジメントシステム

開発品質の向上を目的として、事業部直下及び共通技術部門に横断的にナレッジマネジメント担当が設置されている。ナレッジマネジメント担当のミッションは、(a) 事故事例の検出・周知・対策指導, (b) 開発業務の監督・監査, (c) 日常のスキルアップ活動, である。

(a) は部門間で共有すべき情報として、設計・検証ノウハウや不具合情報などがあり、これらの情報の共有のため、自部門からの情報の発信や、他部門から発振された情報の自部門内への展開を図る。また、共通のデータベースを設置しており、その維持管理を行う。

(b) では製品のデザインレビュー (DR) に参画し、DR が適切に行われたか確認する。また必要に応じ開発段階での指導を行う。

(c) では分科会を構成し、技術課題の検討や対策立案を行っている。

前記の活動を通じ、開発品質の向上や、更には事故の再発防止に努めている。

5 あとがき

最先端の大規模なシステム LSI では、個別の要素技術の信頼性向上はもちろんのこと、設計開発ツールとの連携や、設計データの解析ツールへの取込み、各要素での開発段階に応じた個別品質認定システムや、技術エキスパートの活用を横断的組織によって展開することが必須になっている。当社は、これらの技術を駆使して、顧客に満足のいく品質の製品を最短期間で開発する体制を構築していく。

文献

- (1) Usui, T. et al. "Identification of electromigration dominant diffusion path for Cu damascene interconnects and effect of plasma treatment and barrier dielectrics on electromigration performance." IEEE IRPS. Reliability Physics Symposium Proceedings, 2004, 42nd Annual, p.246 - 250.
- (2) Hu, C.K., et al. "Scaling effect on electromigration in on-chip Cu wiring." IEEE ITC. Interconnect Technology, 1999, IEEE International Conference, p.267 - 269.
- (3) Hatano, M. et al. EM lifetime improvement of Cu damascene interconnects by p-SiC cap layer. IEEE ITC. Interconnect Technology Conference, 2002. Proceedings of the IEEE 2002 International, p.212 - 214.
- (4) 山下和彦, ほか. Cu 配線高信頼性化技術. (財) 日本科学技術連盟, 第 35 回信頼性・保全性シンポジウム, 2004, p.21 - 24.
- (5) 若井伸之, ほか. 微細化 MOSFET 信頼性モニター手法に関する考察. (財) 日本科学技術連盟, 第 35 回信頼性・保全性シンポジウム, 2004, p.29 - 34.



瀬戸屋 孝 SETOYA Takashi

セミコンダクター社 品質推進センター 経営変革上席エキスパート。システム LSI の信頼性技術開発に従事。信頼性学会会員。

Quality Promotion Center



和田 朗 WADA Akira

セミコンダクター社 システム LSI 第一事業部 システム LSI 設計技術部参事。テスト容易化設計技術の開発に従事。System LSI Div. 1



土肥 靖弘 DOHI Yasuhiro

セミコンダクター社 品質推進センター システム LSI 信頼性技術部主務。先端 CMOS プロセスの信頼性技術開発に従事。

Quality Promotion Center