

# 高性能デジタル機器の エレクトロニクス実装信頼性設計

Reliability Design of Electronics Packaging for High-Performance Digital Equipment

廣畑 賢治

■ HIROHATA Kenji

田窪 知章

■ TAKUBO Chiaki

高橋 邦明

■ TAKAHASHI Kuniaki

デジタル機器の高性能・多機能化、小型化及び低価格化など、顧客ニーズの多様化が進んでいる。新技術や新たな材料の導入及び調達、設計、製造のグローバル展開が進み、信頼性アップとコストダウンの両立が大きな課題となる。

東芝は、設計段階において信頼性に関するデザインレビューを強化するために、現象論に基づく先進的なCAE (Computer Aided Engineering) と、統計・確率論的手法及びデータベースを活用した統合信頼性設計技術の開発を進めている。この技術により、デジタル機器の高品質化に欠かせないエレクトロニクス実装において、不良発生リスクベースの信頼性設計を実現できる可能性を示した。

Successive improvements in the performance of consumer electronic products are spurring demand for high-speed design technologies and high-density packaging technologies. In electronics packaging design, the growing complexities in conjunction with the decrease in design margins are driving the need for a new reliability design method applicable to quality problems.

To improve design review in terms of reliability, Toshiba has developed a multidisciplinary reliability design method based on statistical and probabilistic methods for electronics packaging in order to reveal the reliability relationships among packaging solutions and to identify failure risks. This paper presents our activities in the field of electronics packaging reliability design technologies.

## 1 まえがき

デジタル機器の品質・価格競争が激化するなか、高性能・多機能化、小型化及び低価格化など、顧客ニーズの多様化が進んでいる。更に、EU (European Union) におけるRoHS (Restriction on Hazardous Substances) 指令などの環境コンプライアンスへの対応も重要問題である。また、新技術や新たな材料の導入及び調達、設計、製造のグローバル展開が進み、信頼性アップとコストダウンの両立が大きな課題となる。

電子機器の市場不良問題は、機器の誤動作に伴いユーザーの安全と安心を脅かすだけでなく、メーカーへの信頼を失墜させる社会的及び経済的にも重大な問題である。ユーザーに“安全と安心”を提供するための信頼性の確保へ向けた取組みは、製造者責任の観点からも、これまで以上に重要になってきている。

東芝は、設計段階において信頼性に関するデザインレビューを強化するために、現象論に基づく先進的なCAE (Computer Aided Engineering) や統計・確率論的手法及びデータベースを活用した統合信頼性設計技術の開発を進めている。

ここでは、エレクトロニクス実装における信頼性設計技術に対する取組みについて述べる。

## 2 エレクトロニクス実装における統合信頼性設計

### 2.1 課題と目的

エレクトロニクス実装においては、信号伝送の高速・大容量化や素子の高発熱化が進み、実装技術の高度化は不可欠となっている。また、新実装方式や新たな材料の導入及び構造の微細化が進んでおり<sup>(1)</sup>、信頼性スペックまでの設計マージンを合理的に把握するためには、潜在的な不良発生リスクに関する詳細な取扱いが必要となってきている。一方、デジタル機器のモノづくりにおいて、CAD (Computer Aided Design) やCAEに代表されるDM'g (Digital Manufacturing) ツールを製品開発に適用するための環境構築が進行している<sup>(2)</sup>。このなかで、モニタリング技術やネットワークとデータベースなどのIT (情報技術) インフラの進歩により、材料・製造条件や製品の品質に関するオンラインのデータがリアルタイムで得られる環境が整いつつある。これらのデータを製造・設計工程へフィードバックし、品質の向上に役だてる試みが行われている。

しかし、潜在的な不良発生リスクを可視化し、合理的な信頼性設計を実現するには、前記のCAEやIT技術だけではなく、不良現象解析と信頼性解析・評価に関する知識と技術の継続的な蓄積と、これらの技術を有機的に融合するための統合信頼性設計技術が不可欠である。当社は、高性能デジタル機器のエレクトロニクス実装における潜在的な不良

発生リスクに対して、現象論に基づく不良現象解析・評価技術の深耕と蓄積、及び統計・確率論的手法を活用した統合信頼性設計法の構築を進めている。

## 2.2 統合信頼性設計の位置づけ

統合信頼性設計の特徴と位置づけを図1に示す。従来の原因追求と対策方法確立という受身的な方法論だけでは、温度変動や機械荷重及び市場でのユーザーの使用形態などの市場不良問題における多岐にわたる原因が、劣化や破損へ及ぼす影響を信頼性設計段階で合理的に同定・予知するのは容易でない。信頼性に関するデザインレビューを強化するためには、故障物理モデルとCAEに基づく不良現象解析と、材料・製造・検査・試験・負荷・品質モニタリングによるデータの蓄積を積極的に行い、不良モード情報の未知の部分に対して、能動的に信頼性に関する情報抽出や不良メカニズムの早期検出・同定を行うための方法論を構築することが不可欠である。調達をより早期に着手する観点や、設計の質的な向上及び後戻りの防止の観点からも必須である。

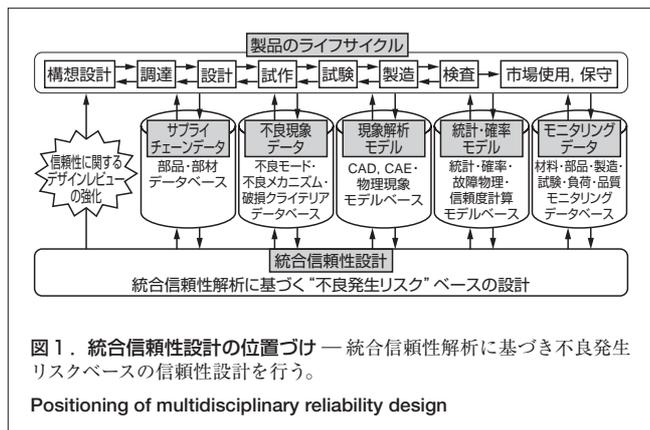


図1. 統合信頼性設計の位置づけ — 統合信頼性解析に基づき不良発生リスクベースの信頼性設計を行う。

Positioning of multidisciplinary reliability design

前述した統合信頼性設計に関する当社の取組み事例について以下に述べる。

## 3 統合信頼性設計の特徴と適用事例

現象論的な故障物理モデルとCAEに基づく統合信頼性設計の流れを図2に示す。現象の不確実な側面に着目するため、統計・確率論的手法の導入は不可欠である。具体的な特徴と適用事例について以下に述べる。

### 3.1 不良現象解析と統計的手法による影響度解析

電子機器は、製造・試験・使用環境からの物理・化学的作用による負荷（ストレス）を受け、そのエレクトロニクス実装部品は、設計条件によっては破損する恐れがある。これまでの大量の製品開発のなかで蓄えられた品質データや不良メカニズムに関する知識は、企業にとって大きな財産であるが、現象論に基づく不良現象解析法やFTA (Fault Tree Analy-

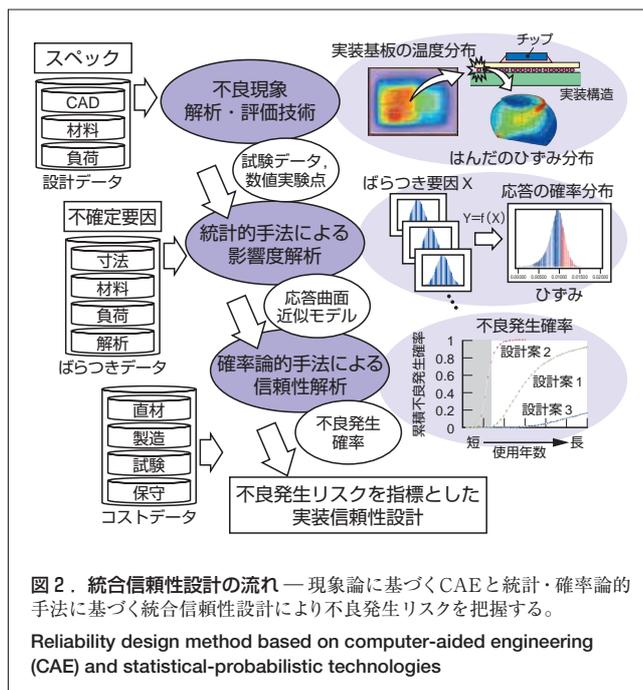


図2. 統合信頼性設計の流れ — 現象論に基づくCAEと統計・確率論的手法に基づく統合信頼性設計により不良発生リスクを把握する。

Reliability design method based on computer-aided engineering (CAE) and statistical-probabilistic technologies

sis), FMEA (Failure Mode and Effect Analysis), ET (Event Tree)などの不良情報管理法により、電子機器に内在する不良発生リスクを同定・抽出し、その波及効果を明らかにするための継続的な取組みは欠かせない。故障物理と整合する試験の結果や、現象論に基づくCAEから算出した数値実験結果をもとに、影響度解析や信頼性解析の近似解法として応答曲面法などの統計的手法を活用する。鉛フリーはんだ実装基板を対象として、設計・プロセス条件が製造不良（不良発生にかかわる評価指標として、はんだ接合部温度と基板変形曲率を抽出）に及ぼす影響を解析した事例を図3に示す。これらのCAEと統計的手法を活用して得られた結果から、不良要因に関する影響度解析が可能となる。

### 3.2 確率論的手法による信頼性解析とリスクベース設計

#### 3.2.1 信頼性ポジショニングマップによる構想設計

前述のとおり、エレクトロニクス実装においては、信号伝送高速化・高発熱化・高密度実装化が進んでいる。このような状況の下、LSIシステム(CPU, グラフィックスプロセッシングユニット, メモリなど)の高密度実装方式として、従来型のボード実装のSCM (Single Chip Module)に加え、新たな実装方式のSiP (System in a Package)が登場してきた。素子単体の性能やコストだけではなく、信号伝送・冷却・強度特性なども含めたトータルの実装方式や設計案を、要求されるスペックや信頼性に応じて“使いこなす”ことが重要となる。

熱、応力、電磁気によって代表される複合領域の信頼性設計においては、多くの設計項目の間にトレードオフの関係が存在する場合や、設計変数に不確実性が内在する場合も多く、設計スペックに対するマージン（余裕度）をバランスさせること

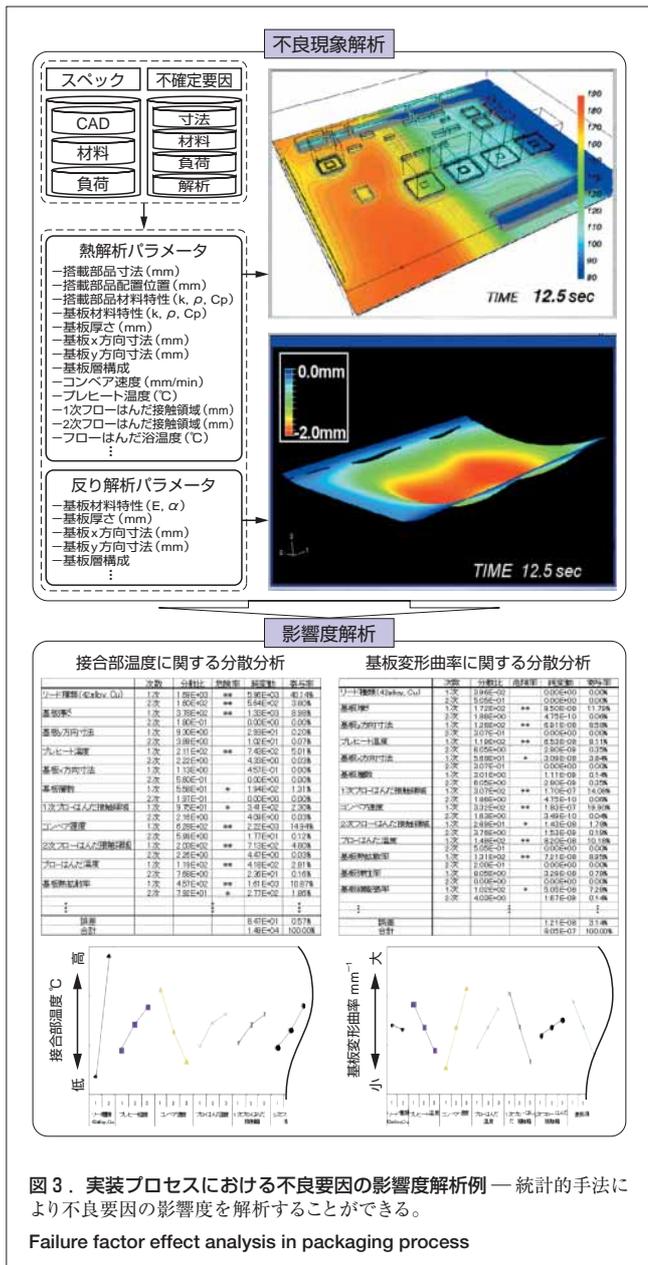


図3. 実装プロセスにおける不良要因の影響度解析例—統計的手法により不良要因の影響度を解析することができる。

Failure factor effect analysis in packaging process

が課題となる。そのため、設計に内在する不確実性を考慮したうえで、多くの設計案に対する設計マージンを評価し、トレードオフとなるメカニズムを明らかにしたうえで信頼性設計を行うことが必要となる。ここでは、多くの設計項目(信号伝送・冷却・疲労強度特性)が存在する高集積半導体パッケージの実装構造における信頼性設計問題を対象として、標準正規化した設計空間におけるスベックまでの距離(信頼性指標  $\beta$ )を指標として設計マージンを高速に評価するFORM(First Order Reliability Method)により、構想設計段階での信頼性ポジショニング把握に活用した事例を示す。実装形態種類(SCM, SiP), インターポーザ種類(樹脂基板, セラミック基板1, セラミック基板2), 寸法(30~60 mm角)などの組合せから実現可能な設計案について、統合信頼性

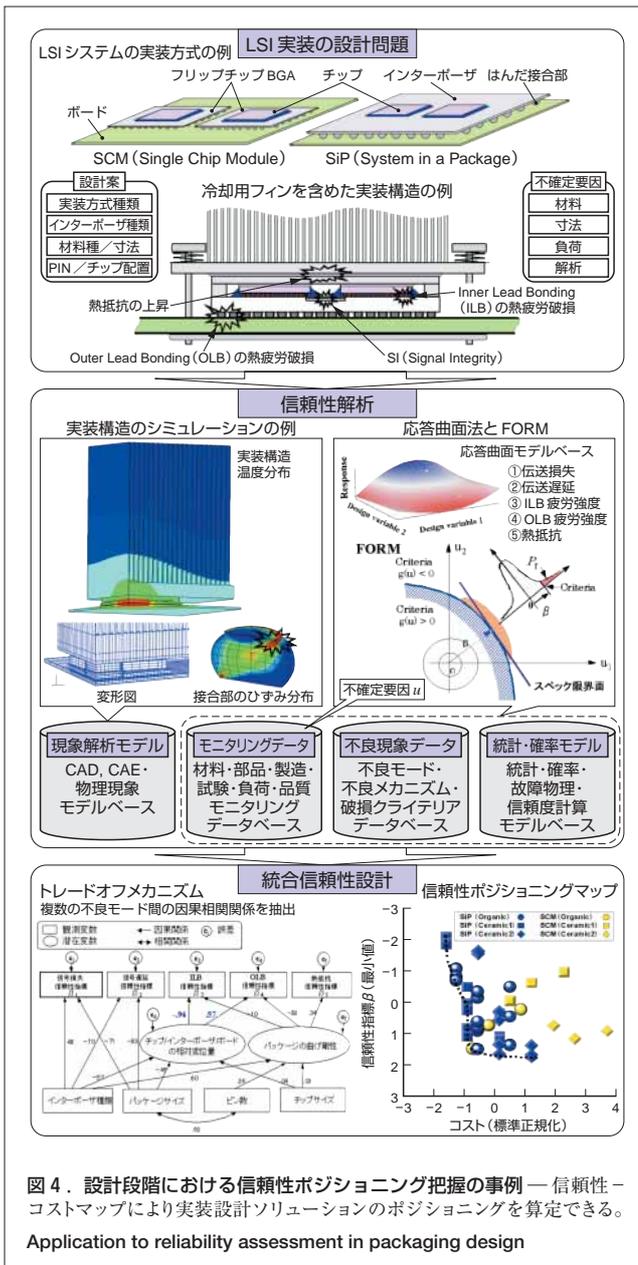


図4. 設計段階における信頼性ポジショニング把握の事例—信頼性-コストマップにより実装設計ソリューションのポジショニングを算定できる。

Application to reliability assessment in packaging design

設計を行った結果を図4に示す。

信号伝送・冷却・強度特性に関する各設計案の信頼性指標(各スベックまでの最小マージン)とコストの関係をマップ化した例を図4の右下に示す。この信頼性ポジショニングマップをもとに設計前段階において、信頼性ベースの設計ソリューション算定が可能となる。

3.2.2 不良発生リスクに基づく信頼性設計 高密度実装技術の革新や新たなコンセプトに基づく電子機器の登場は、時間的に不連続な形で起こる。例えば、新しい材料や構造の開発あるいは新たな環境下や異なる負荷想定の下での使用などである。このとき、必要十分な信頼性を確保するために要求される安全係数を、過去の経験を外挿して決定することが困難となる。不確定要因が設計項目に及ぼす影

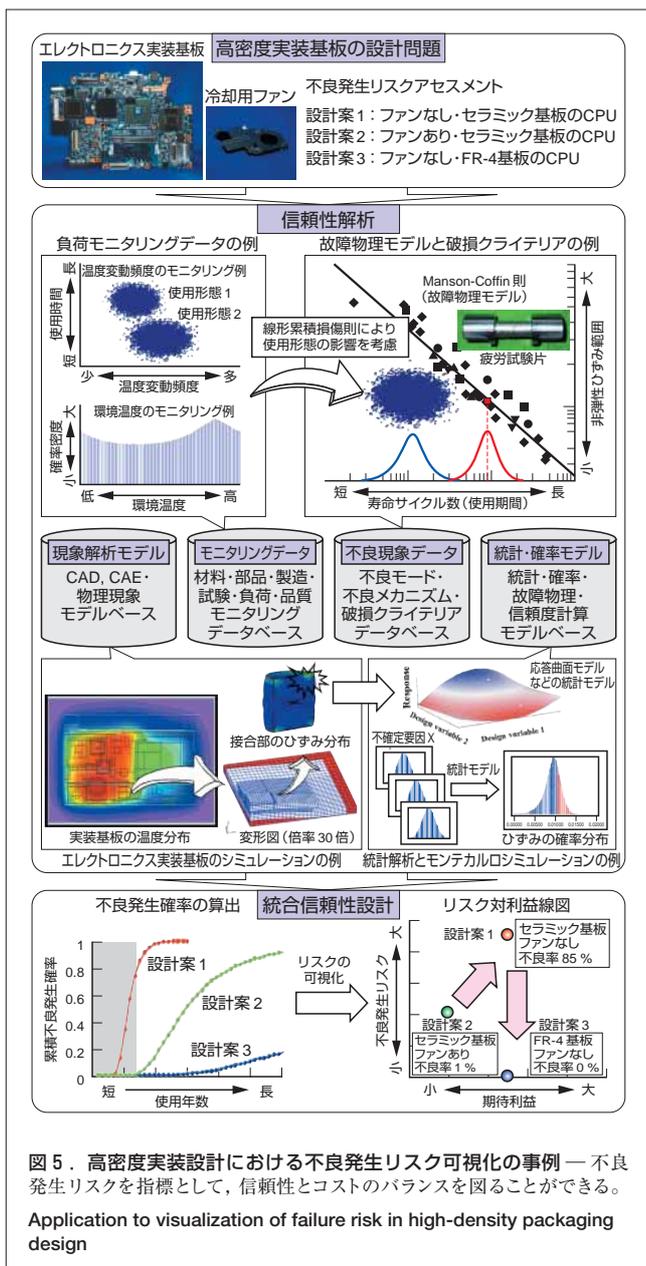


図5. 高密度実装設計における不良発生リスク可視化の事例 — 不良発生リスクを指標として、信頼性とコストのバランスを図ることができる。  
Application to visualization of failure risk in high-density packaging design

響度を統計的に把握し、適切な構造設計及び安全係数の設定を行うためには、不良発生リスクベースの信頼性設計技術が必要である。ここでは、高速・高密度実装構造において多く用いられているFC-BGA (Flip-Chip Ball Grid Array)のはんだ接合部を対象として、冷却用ファン有無の影響度や市場での負荷因子の影響度を、実装信頼性の観点から検討した事例を紹介する。品質を保証するための温度サイクル試験 (TCT) や市場における電源のオン/オフなどの温度変動 (熱負荷) に伴って、FC-BGA周辺には各部の線膨張率差に起因して熱応力が繰返し発生する。その結果、構造強度上もっとも軟らかいはんだバンプにひずみが集中し、設計によっては熱疲労破損を起こす場合があるため、設計段階で実装信頼性を十分に検討しておく必要がある<sup>(3)</sup>。不良発生

リスクの予測方法の流れを図5に示す。また、モンテカルロシミュレーションにより求めた結果を図5の右下に示す。冷却用ファン有無の影響度や市場での負荷因子 (稼働時間、使用頻度、環境温度) の影響度を、不良発生確率を指標に算定できる。これにより、破損が発生した場合の損失を考慮し、不良発生確率をコスト換算して求めた不良発生リスク (期待損失コスト) を見積もることも可能であり、リスクを指標とした信頼性設計の実現に近づきつつある。

#### 4 あとがき

すべての設計において3章の方法を適用することは、費用対効果の観点から、設計法として必ずしも得策ではなく、信頼性解析を積み重ね、更に合理化された簡便な信頼性設計法が確立されることも望まれる。一方、対象とするデジタル機器について、安全寿命設計を行うのか、フェイルセーフ設計を行うのか、あるいは耐損傷設計を採用するのかという、設計思想の問題は重要な課題として残っている。許容しうる不良発生確率をいかにして判断し、信頼性をどういう設計思想を用いて確保するかという問題は不良現象のもたらす結果の重大性によって変わり、広義の経済的・社会的判断を要する。当社は、ユーザーに“安全と安心”を届けるために、今後も不良発生リスクベースの信頼性設計を推進することにより、信頼性に関するデザインレビューを強化していく。

#### 文献

- (1) 原田 亨, ほか. 高密度実装技術. 東芝レビュー. 59, 8, 2004, p.26-30.
- (2) 清野武寿, ほか. デジタルマニファクチャリングによるモノづくり変革. 東芝レビュー. 58, 7, 2003, p.2-6.
- (3) Mukai, M., et al. Thermal Fatigue Life of Solder Bumps in BGA. JSME Int. J. 41, 2, A, 1998, p.260-266.



廣畑 賢治 HIROHATA Kenji, D.Eng.

研究開発センター 機械・システムラボラトリー研究主務, 工博。エレクトロニクス実装における信頼性設計技術開発に従事。日本機械学会, エレクトロニクス実装学会会員。Mechanical Systems Lab.



田窪 知章 TAKUBO Chiaki

セミコンダクター社 プロセス技術推進センター 半導体組立要素技術部長。半導体パッケージの技術開発に従事。Process & Manufacturing Engineering Center



高橋 邦明 TAKAHASHI Kuniaki

PC&ネットワーク社 PC開発センター 実装開発センター 主査。ノートパソコンなどの情報機器用プリント配線板実装の要素技術開発に従事。日本機械学会, エレクトロニクス実装学会会員。PC Development Center