

次世代極薄ゲートシリコン窒化膜の実現

Realization of Ultrathin and Ultralow-Leakage SiON Gate Dielectrics

松下 大介

■ MATSUSHITA Daisuke

村岡 浩一

■ MURAOKA Kouichi

加藤 弘一

■ KATO Koichi

東芝は、次世代 CMOS (相補型金属酸化膜半導体) 用として、世界最薄かつ最小のリーク電流特性を持つゲートシリコン窒化膜 (SiON 膜) を世界に先駆けて開発した。従来のシリコン窒化膜 (Si_3N_4 膜) をただ酸化する方法では、 Si_3N_4 膜の耐酸化性の低さのために、SiON 膜中での高い膜中窒素濃度と高い界面酸素濃度の両立が困難であったが、当社は Si_3N_4 膜の結合状態と膜形状を改善して耐酸化性を向上させる新しいプロセスを開発し、この問題を解決した。

これにより、シリコン酸化膜 (SiO_2 膜) 換算膜厚が 0.7 nm と世界最薄、リーク電流が 95 A/cm^2 と従来の 1/10 以下、 SiO_2 膜比で 89 % の高い移動度、そしてボロン突き抜けによるしきい値電圧シフトを極限 (0.04 V) まで抑えた極薄ゲート SiON 膜を実現した。

Toshiba has developed a gate silicon oxynitride (SiON) film with the world's smallest thickness and lowest leakage current for next-generation CMOS. It has been difficult to realize SiON film with a high dielectric constant and good interfacial properties, because if we oxidize a SiN film, not only oxidization of the SiN/Si interface but also that of the bulk SiN and its surface occur simultaneously due to its low oxidation resistance. We found that oxidation-resistant Si_3N_4 film can be formed by uniformly arranging threefold coordinated N atoms into the Si subsurface layer, and successfully incorporated O atoms into the SiN/Si interface with minimum disruption to the SiN structures.

Using this novel process, we have realized a high-quality ultrathin gate SiON film having an equivalent oxide thickness of 0.7 nm and a leakage current of 95 A/cm^2 (which is 1/10 or less the conventionally achieved leakage current), with superior suppression of boron penetration ($\Delta V_{\text{th}} = 0.04 \text{ V}$). The mobility is not degraded below 89 % that of the ideal SiO_2 film.

1 まえがき

情報社会の発展は、携帯電話に代表されるデジタル機器市場の拡大をもたらした。しかし、一方で消費者の環境意識の高まりに伴い省電力機器が強く望まれるようになってきており、今後の市場拡大に役立てていくためには、情報処理の根幹となる CMOS デバイスには高性能でありながらも低消費電力であることが求められる。

これまで、CMOS の高性能化はその基本素子である MOS トランジスタを微細化することで実現されてきた。微細化は、スイッチング特性の高速化、高集積化、動作電圧の低電圧化を可能にするため高性能化に欠かせない技術である。そして、MOS トランジスタの微細化はその構成要素であるゲート絶縁膜の薄膜化を要求する。

ITRS (International Technology Roadmap for Semiconductors) によると、2004 年での高性能 MOS トランジスタ用のゲート絶縁膜の厚さは 1.2 nm である⁽¹⁾。更なる高性能化のために微細化がこのまま進行すると、ゲート加工寸法が 45 nm 程度 (45 nm ノード) になると予想される 2010 年ころには、ゲート酸化膜の厚さは 0.7 nm 程度になると予想されている。ところが、従来ゲート絶縁膜として用いられている SiO_2

膜には、厚さが 2 nm を切ると直接トンネル電流という電圧で制御できないリーク電流 (J_g) が支配的になり、消費電力を抑えることが難しくなるという問題がある。そのため最近では、 SiO_2 膜よりも誘電率の高い材料の導入が不可欠となっている。 SiO_2 膜換算膜厚 (EOT: Equivalent Oxide Thickness) は高誘電率膜の物理膜厚を T、誘電率を ϵ 、 SiO_2 膜の誘電率を ϵ_{SiO_2} とすると、次の関係にある。

$$\text{EOT} = \epsilon_{\text{SiO}_2} \times T / \epsilon$$

誘電率が高ければ高いほど同じ SiO_2 膜換算膜厚でも物理膜厚を厚くできるので、漏れ電流を抑えるには有利となる。しかし、窒素添加ハフニウムシリケート膜 (HfSiON 膜) に代表される高誘電率膜は、電源電圧を決定するしきい値電圧 (V_{th}) が大きくシフトし設計許容値を超えてしまうために移行が困難という問題を抱えている。そのため、従来使用されてきた SiON 膜の窒素 (N) 濃度をより高濃度化し、高誘電率化することが一つの方法として挙げられる。

2 SiON 膜の高窒素濃度化に伴う問題

ところが、SiON 膜も $\text{EOT} = 1.0 \text{ nm}$ 以下が必要とされる 2007 年以降 (65 nm ノード以降) になると適用が難しいと考

えられている。薄膜化につれてSiON膜の高誘電率化(高窒素濃度化)が難しくなっていることが原因である。SiON膜としては、誘電率は低い界面特性に優れたSiO₂層を下側に配置し、界面特性は劣るが誘電率が高いSi₃N₄層を上側に配置した構造が望ましい。しかし、従来のSiO₂膜を窒化する手法では、下地となるSiO₂膜が1.5 nmを切るようになると窒素がSiO₂膜を通りぬけてシリコン(Si)を窒化する現象が発生するため、界面特性の維持と窒化による高誘電率化を両立することが困難となる。また、従来からSi₃N₄膜を先に生成する手法はあるが⁽²⁾、Si-N結合の耐酸化性が低く、界面を酸化する前にSi₃N₄膜自体が酸化されてしまうため、この手法も界面特性の維持と高誘電率化の両立が難しいという問題があった。そこで東芝は、元素がすり抜けることを狙って、安定な構造の窒化膜(Si₃N₄)を形成して窒化膜越しにSiの酸化を行うプロセスに着眼した。

このプロセスを実現するために、第一原理計算による窒化・酸化反応素過程のシミュレーションと高分解能原子構造分析技術と微細CMOSプロセス技術を融合させて、原子レベルでの極薄SiON膜構造制御を試みた。その結果、Si₃N₄膜の結合状態と膜の形成過程を改善し高品質化することでSi₃N₄膜の耐酸化性を大幅に改善できることを明らかにした。これにより2010年(45 nm ノード)以降にもSiON膜を適用できる可能性を見いだした⁽³⁾。以下に耐酸化性向上の概要と、電気的特性の観点からその効果について述べる。

3 窒化膜の改質

まず耐酸化性の向上指針について考察する。図1は窒素(N:○)の結合状態とその安定性について計算した第一原理計算結果を示している。横軸が単位体積当たりの密度であり、右側ほど窒素原子の第2近接の窒素数が多く、Si₃N₄構造に近づいていることを示している。縦軸は窒素(あるいは酸素)の吸着エネルギー/原子(eV)である。

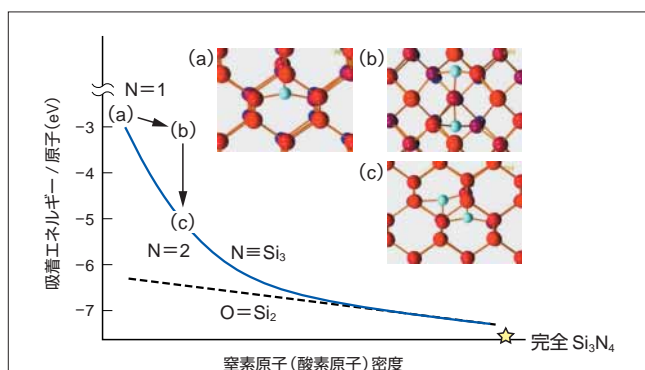


図1. 窒素の3配位結合状態の密度と安定性の関係 — N ≡ Si₃は数が増え高密度化することでO = Si₂並に安定になる。

Calculated nitrogen adsorption energy as function of N ≡ Si₃ density

1原子当りに換算した吸着エネルギーであり、結合の強さに相当する。下にあるほど結合が強く安定であることを示している。図中の(a), (b), (c)はシリコン(Si:●)と窒素の結合である3配位の状態とその密度の関係について示している。(a)は格子間に3配位の窒素数が1個、(b)は格子間の3配位の窒素は2個であるが、互いの第2近接には窒素がない状態、(c)は格子間の3配位の窒素が2個で、互いの第2近接に窒素がある状態である。窒素の3配位の結合状態(N ≡ Si₃)は、1個ではO = Si₂結合よりも不安定であるが、数が増え、高密度化することによってO = Si₂並みに安定になることがわかった。そして実験の結果、低温で形成した場合にはSi₃N₄膜はN ≡ Si₃が低密度となること、高温では高密度となることがわかった。つまり、高温でSi₃N₄膜を形成することがN ≡ Si₃結合の耐酸化性を改善するキーということである。

次にSi₃N₄膜の形成過程にも注目した。Si₃N₄膜は、高温で形成する場合には、窒素が凝集しながら島状に成長し、島どうしが融合することによって連続膜となることが報告されている⁽⁴⁾。これを検証したところ、図2に示すように、窒化温度が高温の場合、N ≡ Si₃結合が高密度の膜を形成することに成功したが、一方で1 nm以下の薄い膜厚では連続膜にならず膜厚に不均一性が発生していることもわかった(図2のB)。膜厚の不均一性は、局所的な耐酸化性の劣化、ひいては電気的特性の劣化を引き起こすと推測される。第一原理計算による原因考察の結果、図3に示すように、①窒素原子は非常に動きやすいうえに、②表面から2原子層目が安定な結合位置であり(図3の左上図)、更に③集まると安定になり、酸素が侵入してきても置換されにくくなる(図3の左下図)という三つの特徴を持っていることがわかった。そして、Si中への窒素導入レートが高い場合には、この三つの特徴によって凝集が促進され、過剰凝集が起きてしまうことがわかった(図3の右上図)。そこで、窒化時の圧力を下げてゆっくり1層ずつ窒化することを試みた。その結果、図2のCに示す

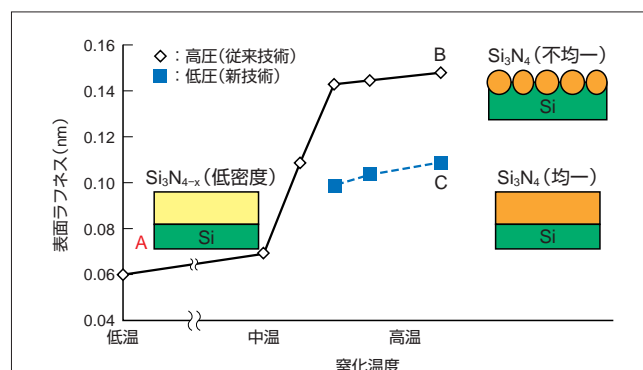
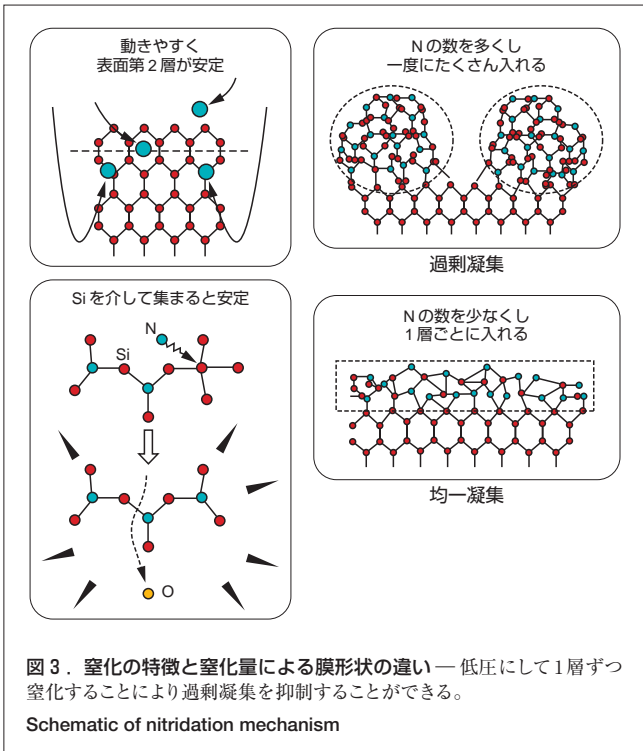


図2. 窒化温度・圧力と表面ラフネスの関係 — 窒化温度が高い場合、窒素が凝集し島状成長するため膜形状が劣化する。

Effect of nitridation temperature on surface roughness



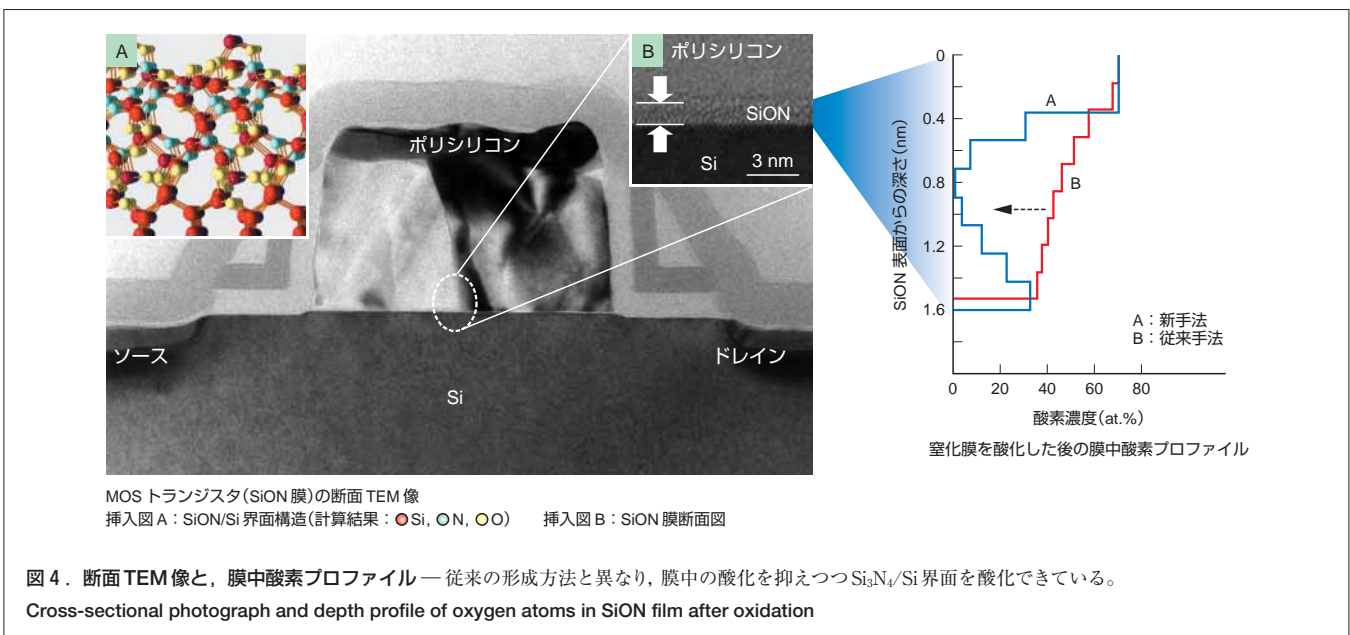
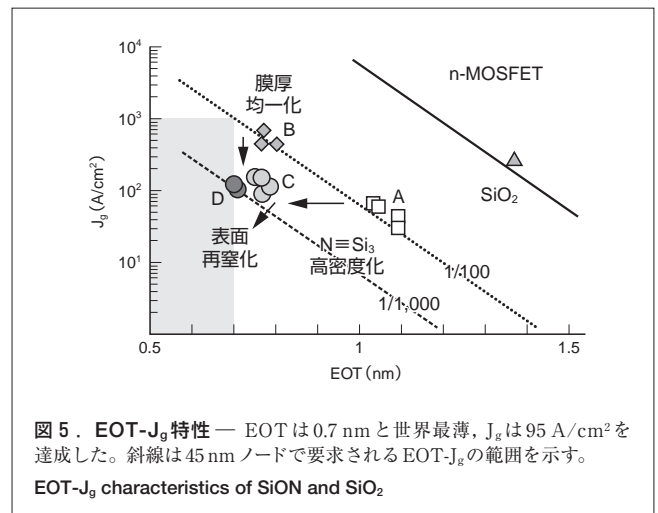
ように過剰凝集を抑えることに成功した。高温でゆっくり膜を形成することが、均一にN≡Si₃結合を高密度化するためのキーということである(図3の右下図)。

図4にN≡Si₃結合の高密度化と膜厚均一化を考慮したSi₃N₄膜ベースのSiON膜の断面透過型電子顕微鏡(TEM)像と、SiON膜中の酸素(O:○)プロファイルを示す。従来の形成方法と異なり、膜中の酸化を抑えつつSi₃N₄/Si界面を酸化できている。この結果から、N≡Si₃結合の高密度化と膜厚均一化が従来窒化膜の問題であった耐酸化性の弱さを

大幅に改善し、膜中酸化の抑制とSi₃N₄/Si界面の優先酸化を両立するための必須のプロセスであることが示された。

ところで、実際には酸化プロセスにおいて窒化膜表面も酸化されているため、最初に議論した理想的な窒素・酸素分布を実現しているわけではない。そこで、酸化後にSiON膜表面の酸化層のみを再窒化する手法も新たに開発した。表面の酸化層の酸素を窒素と置換する方法である。これにより、SiON膜表面近傍の窒素濃度を更に向上させることに成功した。

次に電気的側面からN≡Si₃結合の高密度化と膜厚均一化、そして表面再窒化の効果について検証する。当社が開発したSiON膜のEOT-J_g特性を図5に示す。AはN≡Si₃結合が低密度のSi₃N₄膜を下地としたSiON膜、BはN≡Si₃結合が高密度だが均一性の悪いSi₃N₄膜を下地としたSiON膜、CはN≡Si₃が高密度で、膜厚も均一なSi₃N₄膜を下地とした



SiON膜, DはCに更に表面窒化を施したSiON膜の結果である。C, Dで示すように $N \equiv Si_3$ 結合の高密度化と膜厚の均一化を図り, 更に表面の酸素を窒素と置換することによって, 絶縁性を大幅に改善し, EOTが0.7 nmと世界最薄, リーク電流は $95 A/cm^2$ と従来SiON膜の1/10以下, J_g は SiO_2 膜の1/1,000を実現することに成功した。

また, 窒化膜の改質が界面特性に与える影響について, EOT- G_m (最大相互コンダクタンス) 特性を例にして図6に示す。A, B, C, Dは先述した条件と同じである。4タイプの比較から, 窒化膜の3配位結合の高密度・均一化を図り, 界面の優先的な酸化を実現することにより, G_m が大きく向上していることがわかる。 $N \equiv Si_3$ 結合を均一に高密度化することにより膜中の欠陥密度を低減させたことが, 膜中の酸化反応を抑制し, 界面を優先的に酸化させ, 結果として界面準位などのキャリアの散乱中心を低減しドレイン電流を増加させたと考えている。これによって, 界面特性の良さを指標である電子の移動度に関して, SiO_2 膜の89%という非常に高い特性を得ることに成功した。

最後に, ボロン突き抜け耐性改善について検証する(図7)。

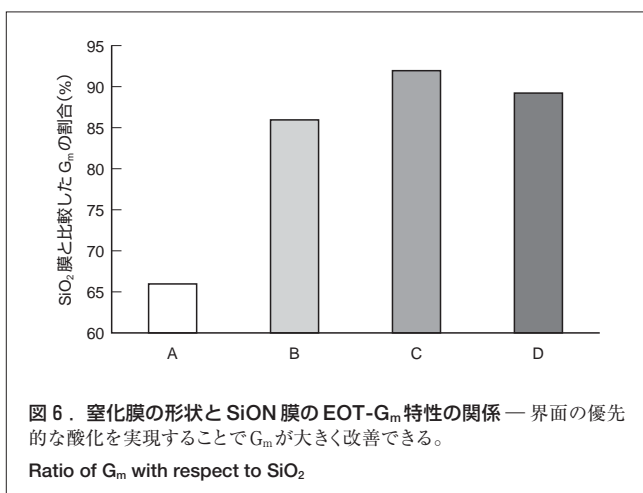


図6. 窒化膜の形状とSiON膜のEOT- G_m 特性の関係 — 界面の優先的な酸化を実現することで G_m が大きく改善できる。
Ratio of G_m with respect to SiO_2

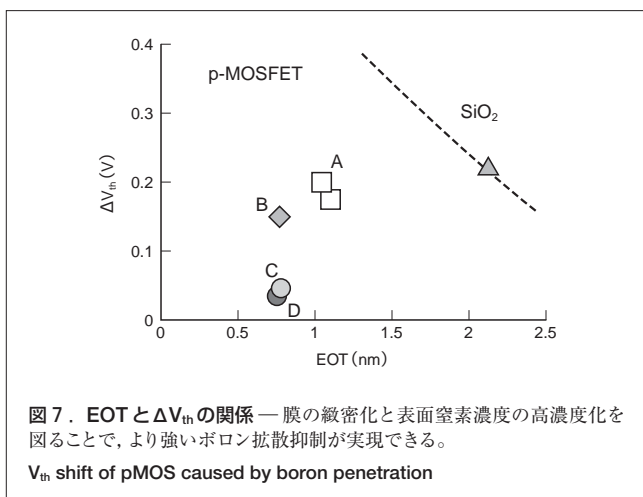


図7. EOTと ΔV_{th} の関係 — 膜の緻密化と表面窒素濃度の高濃度化を図ることで, より強いボロン拡散抑制が実現できる。
 V_{th} shift of pMOS caused by boron penetration

検証したのはSiON膜をボロンが突き抜けた場合に発生するpMOSの V_{th} の変化(ΔV_{th})である。ここでもベースの窒化膜の特性による比較を行っている。図7に示すように, 窒化膜の3配位結合の高密度・均一化を図ることにより, ΔV_{th} が0.04 Vという非常に小さい値を達成することができる。つまり, ボロン拡散の抑制をより強くするためには, 3配位結合の高密度化と膜質均一化による膜の緻密(ちみつ)化と表面窒素濃度の高濃度化が必須であり, 1 nm以下の極薄領域においても小さい値の高い制御性を実現するキーであると言える。

4 あとがき

SiON膜の高窒素濃度化を目指し, ベースとなる窒化膜の改質を図った。その結果, SiNの3配位結合状態を高濃度化し, 膜厚の均一化を図ること(高品質化すること)が, SiON膜の特性の大幅な改善につながることを実証した。これらの技術は, SiNベースのSiON膜を, 45 nmの高性能版ロジックLSIだけでなく⁽⁵⁾, その先の世代までも適用を可能とする技術であると考えている⁽⁶⁾。

文献

- (1) International Technology Roadmap for Semiconductors. "International Technology Roadmap for Semiconductors 2004 edition". <http://public.itrs.net/>, (accessed 2005-02-18).
- (2) S. Tsujikawa, et al., An Ultra-thin Silicon Nitride Gate Dielectric with Oxygen-enriched Interface (OI-SiON) for CMOS with EOT of 0.9 nm and beyond. Symp. VLSI Tech., 2002, p.202 - 203.
- (3) D. Matsushita, et al., Novel Fabrication Process to Realize Ultra-thin (EOT = 0.7 nm) and Ultra-low Leakage SiON Gate Dielectrics. Symp. VLSI Tech., 2004, p.172 - 173.
- (4) D. Matsushita, et al., Atomic-Scale Characterization of Nitridation Process on Si(100)-2x1 Surfaces by Radical Nitrogen. Jpn. J. Appl. Phys. 40, 2001, p.2827 - 2829.
- (5) M. Iwai, et al., 45 nm CMOS Platform Technology (CMOS6) with High Density Embedded Memories. Symp. VLSI Tech., 2004, p.12 - 13.
- (6) N. Yasutake, et al., A hp22 nm Node Low Operating Power (LOP) Technology with Sub-10 nm Gate Length Planar Bulk CMOS Devices. Symp. VLSI Tech., 2004, p.84 - 85.



松下 大介 MATSUSHITA Daisuke, D.Eng.

研究開発センター LSI基盤技術ラボラトリー, 工博。
次世代LSIに関する研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



村岡 浩一 MURAOKA Kouichi

研究開発センター LSI基盤技術ラボラトリー研究主務。
次世代LSIに関する研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



加藤 弘一 KATO Koichi, D.Sc.

研究開発センター LSI基盤技術ラボラトリー研究主幹, 理博。
次世代LSIに関する研究・開発に従事。日本物理学会, 応用物理学会, 電子情報通信学会会員。
Advanced LSI Technology Lab.