

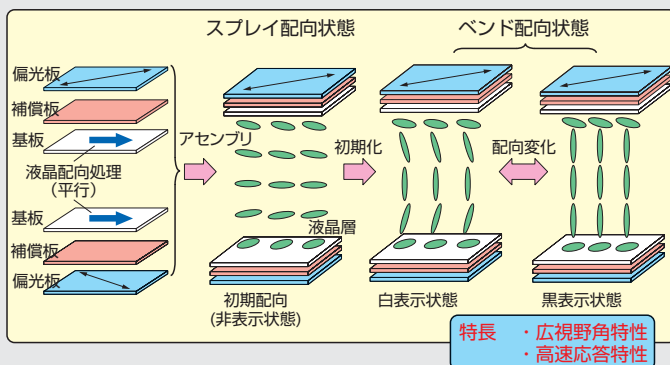
次世代薄型ディスプレイとして、高速応答性、広視野角などの特性に優れ、明瞭な動画像を実現する画像デバイスの開発に注力しています。高性能化、小型・高密度化、低消費電力化の要求に応える新デバイスとして、新しい配線アーキテクチャの高速 SoC 製品化や次々世代をにらんだ低消費電力トランジスタ技術、高密度記録対応の磁気ヘッドなどの要素技術を開発しています。



▲ 36型 WXGA SED  
36-inch diagonal WXGA SED



▲ 32型 OCB 低温ポリシリコン TFT LCD  
32-inch OCB-mode low-temperature poly-silicon TFT-LCD



▲ OCB 液晶の構造  
Structure of OCB-mode LCD

### ■ 次世代薄型ディスプレイ “SED”

冷陰極電子源を用いた、世界最大の薄型ディスプレイとして、36型 WXGA “SED (Surface-conduction Electron-emitter Display)” をキヤノン (株) と共同で開発した。

蛍光体を電子線で発光させるため、ブラウン管 (CRT) と同様な高品位画像を薄型ディスプレイで実現した。

SED の特長としては、

- 明瞭な動画像を実現する高速応答性 (CRT 同等)
- 暗い画面での階調表示を実現する高い暗コントラスト比 (10,000 : 1 以上)
- LCD (液晶ディスプレイ) の 2/3, PDP (プラズマディスプレイ) の 1/3 の低消費電力などである。

また、画素ごとに形成した電子源から放出される微細電子ビームにより、CRT よりも輪郭が明瞭な画像を実現できる。

次世代大画面ディスプレイの本命として、SED (株) にて早期実用化を目指す。

(ディスプレイ・部品材料統括)

### ■ 世界最大サイズの 32型低温ポリシリコン TFT-LCD

OCB (Optically Compensated Bend) 技術を適用した、32型低温ポリシリコン (p-Si) 薄膜トランジスタ (TFT) 液晶を開発した。

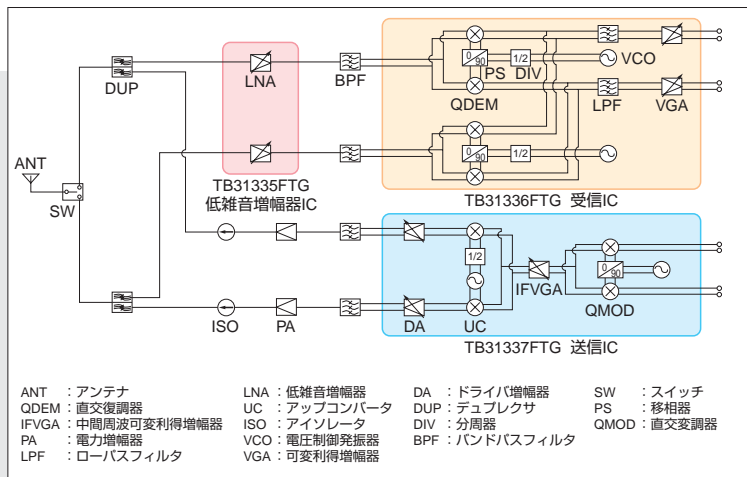
OCB 技術とは、これまでの液晶の弱点だった視野角特性と応答特性を大幅に改善できる技術である。今回、この技術により、従来の液晶に比べ、応答時間を 1 けた、改善できた (応答時間は 5 ms)。これにより、ブラウン管 (CRT) 並みの画質を実現した。

OCB 技術は、2004 年 10 月から 23 型 TV 用液晶で量産が開始されている。量産に成功したのは世界初<sup>(注)</sup>となる。

更に、この技術の世界最大サイズの低温 p-Si TFT に生かすことで、32 型ワイド (1,366 × 768 画素) の高画質 TV 用低温 p-Si TFT 液晶ディスプレイ (LCD) の開発に成功した。

(注) 2004 年 10 月 1 日現在。

(東芝松下ディスプレイテクノロジー (株))



▲デュアルバンドFOMA<sup>®</sup>用アナログチップセット  
 Analog chip set for dual-band FOMA<sup>®</sup> transceiver



▲低雑音増幅器 IC (TQON16)  
 外形寸法 : 2.4 × 2.4 × 0.5 mm  
 Low-noise amplifier (TQON16)



▲受信 IC 及び送信 IC (VQON44)  
 外形寸法 : 5.3 × 5.3 × 0.6 mm  
 Receiver and transmitter IC (VQON44)

## ■デュアルバンドFOMA<sup>®</sup>用アナログチップセット

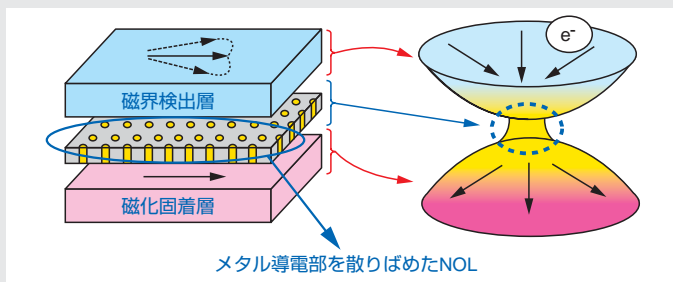
(株)NTTドコモでは、FOMA<sup>®</sup>のデュアルバンド化(800MHz/2GHz)を予定している。

このデュアルバンド化に対応するため、低雑音増幅器 IC (TB31335FTG)、受信 IC (TB31336FTG)、送信 IC (TB31337FTG)の三つの IC で構成するチップセットを開発した。

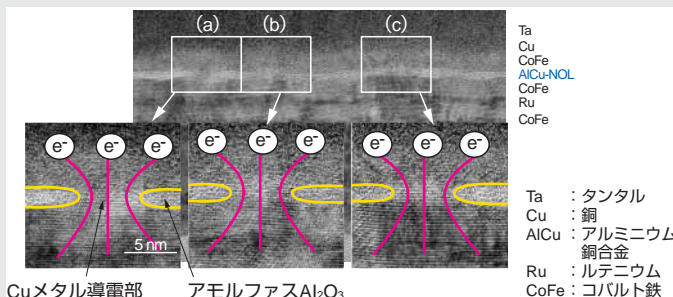
チップセットは SiGe-BiCMOS プロセスを用いて製造されており、低雑音増幅器 IC は TQON16 パッケージ、受信 IC と送信 IC は VQON44 パッケージに実装されている。

FOMA<sup>®</sup>端末の長い連続待ち受け時間を実現するために、世界でトップクラスの低消費電力化を達成した。

(セミコンダクター社/研究開発センター)



▲電流狭窄(きょうさく)構造を持つCPP-GMR構造の概念  
 Concept of CPP-GMR head with "current confined path" structure



▲電流狭窄型CPP-GMRの透過電子顕微鏡観察  
 Cross-sectional TEM image of "current confined path" type CPP-GMR head

## ■CPP-GMRヘッドのナノ構造実証

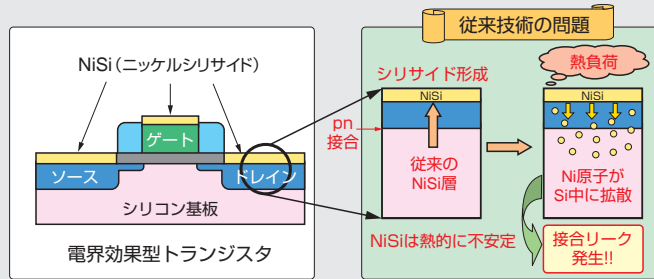
200 Gビット/in<sup>2</sup>以上の面記録密度を目指した、次世代の膜面垂直通電型巨大磁気抵抗 CPP (Current-Perpendicular-to-Plane)-GMR (Giant Magnetoresistive) ヘッドにおいて、高 MR (磁気抵抗) 比の実現の鍵となる、1 ~ 2 nm 厚の NOL (Nano Oxide Layer) に、数 nm サイズのメタル導電部を散りばめたナノ構造を、透過電子顕微鏡により世界で初めて<sup>(注)</sup>実証した。それにより、電子が集中して流れる Cu メタル導電部に、上下金属磁性層と整合性を持った鮮明な格子像を確認した。

NOL を用いないオールメタルの CPP-GMR では、電流がすべての領域を流れるために極端な低抵抗となり、実用化の大きな障害となっていた。しかし、今回の NOL 構造の実現により、初めて製品化への展望が開ける高 MR 比と適度な抵抗が実現できるようになる。

(注) 2004年2月現在。

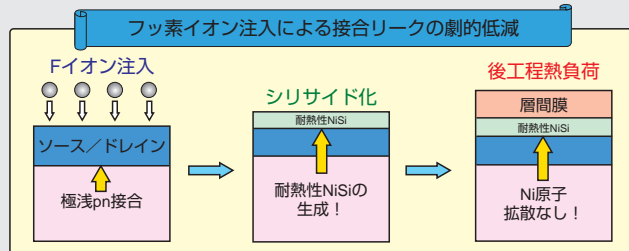
関係論文 : 東芝レビュー, 59, 5, 2004, p.58 - 59.

(研究開発センター)



シリサイド：シリコンと金属の化合物  
pn接合：Positive型半導体とNegative型半導体の接合

▲シリサイド従来技術の問題点  
Problems of conventional silicidation



▲フッ素イオン注入による接合リークの劇的的低減  
Dramatic leakage suppression by pre-silicide F implantation

### ■ フッ素イオン注入による接合リーク低減化技術

高速電界効果型トランジスタ中の接合漏れ電流を、従来の百万分の1に低減することに成功した。

同素子では、ソース、ドレイン電極の低抵抗化のために、自己整合的にNiSi（ニッケルシリサイド）を形成する。しかし、微細化につれて接合が浅くなると、シリサイド中のニッケル原子がシリコン側に拡散し、漏れ電流が増大してしまう。

今回、シリサイド形成前に $10^{14}$ 個/cm<sup>2</sup>という微量のフッ素（F）イオンを注入することにより、漏れ電流の劇的な低減を達成した。

この新技術を用いることで、65 nm 世代以降の多機能携帯端末、デジタル家電、超高性能ゲーム機など、幅広い用途のLSIの低消費電力化に対応できる。

（研究開発センター）

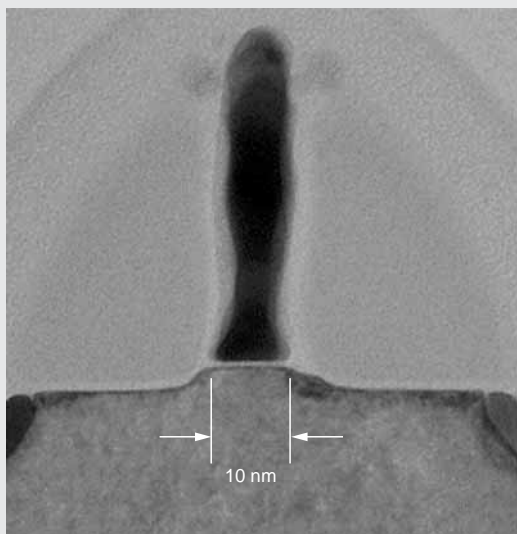
### ■ 22 nm 世代の低消費電力トランジスタ技術

22 nm 世代（2016 年量産開始予定）の低消費電力 LSI に対応する、ゲート長 10 nm 以下のトランジスタ技術を開発した。

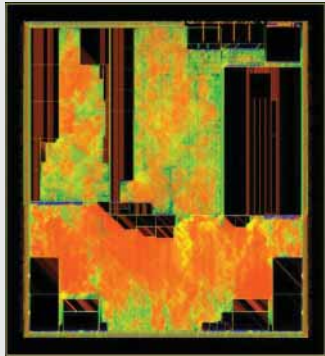
メモリやアナログデバイスを混載した SoC (System on a Chip) の高性能化を実現するために、LSI を構成するトランジスタの微細・高速化への要求が厳しくなっており、22 nm 世代のトランジスタでは、10 nm 程度のゲート長が要求されている。一方、ゲート長 20 nm 以下は、従来構造では実現不可能と考えられており、フィン構造のような三次元構造が提案されている。

今回開発したトランジスタでは、ゲート電極、ゲート絶縁膜材料などデバイス構造の最適化を図ることで、設計上、コスト上でメリットの大きい、従来構造での性能達成の可能性を実証し、ゲート長 10 nm 以下の極微細なトランジスタを開発していくうえでの設計指針を示した。

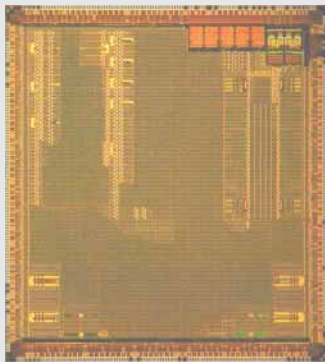
（セミコンダクター社）



▲ゲート長 10 nm 以下のトランジスタ断面像  
TEM photo of 10 nm gate length MOS transistor



▲パターンレイアウト図  
Pattern layout plot of SoC with the X Architecture



▲チップ写真  
Micrograph of SoC with the X Architecture

## ■ 世界初の斜め配線技術 (X アーキテクチャ) 適用 SoC を製品化

世界で初めて<sup>(注)</sup>、斜め配線技術“X アーキテクチャ”を適用した SoC (System on a Chip) を製品化した。

X アーキテクチャは、東芝とケイデンス・デザイン・システムズ社が共同開発した技術で、半導体チップの一部の配線層を、斜め 45° 及び 135° に配線することで配線長を短くし、信号遅延の少ない高速回路を実現する設計手法である。

その第一弾として、欧州向けデジタルテレビ用 SoC, TC90400XBG を製品化した。

TC90400XBG は、X アーキテクチャを導入することにより、従来方式に比べ、動作速度を 11 % 向上させ、X アーキテクチャ適用部分の面積を 10 % 縮小させている。

(注) 2004 年 6 月 8 日現在。

(セミコンダクター社)



▲モバイル液晶モジュール用 COG ライン  
Manufacturing line using COG process for mobile LCD modules

## ■ モバイル液晶モジュール用 COG ライン

携帯電話などのモバイル用液晶パネルに、2 種類の IC チップと 1 種類の FPC (Flexible Printed Circuit) 基板を接合する COG (Chip On Glass) ラインを開発した。

このラインは、パネル供給→パネル洗浄→COG 接続→COG 接続→FPC 基板接続→パネル収納までの工程を連続して行うことができる、全自動一貫ラインである。液晶パネル厚測定機能や ACF (Anisotropic Conductive Film) 貼付け自動検査機能を備えており、業界最高レベル<sup>(注)</sup>の実装精度 ±5 μm (COG 本圧着後精度)、タクトタイム 5 秒を達成し、高品質・高生産性を実現した。

(注) 2004 年 6 月 30 日現在。

(生産技術センター)