

# 不純物偏析ショットキー接合トランジスタ

Dopant-Segregation Schottky Barrier Transistors

木下 敦寛

■ KINOSHITA Atsuhiko

八木下 淳史

■ YAGISHITA Atsushi

古賀 淳二

■ KOGA Junji

東芝は、金属ソース・ドレインを持つショットキー接合トランジスタにおいて、不純物偏析技術を適用してショットキー障壁の高さを下げるというアプローチを提案し、その効果を実験的に検証した。既存のコバルト シリサイドプロセスを用いて作ったショットキー電界効果トランジスタ(FET)にこの技術を適用することで、ソース・ドレイン接合の障壁高さを低減することに成功し、従来型FETと同等の駆動電流を達成しつつ、より優れた短チャネル効果耐性を示した。これらの結果から、今回開発した接合形成技術は、将来のMOS(金属酸化物半導体)FETのソース・ドレイン電極に有用であると考えられる。

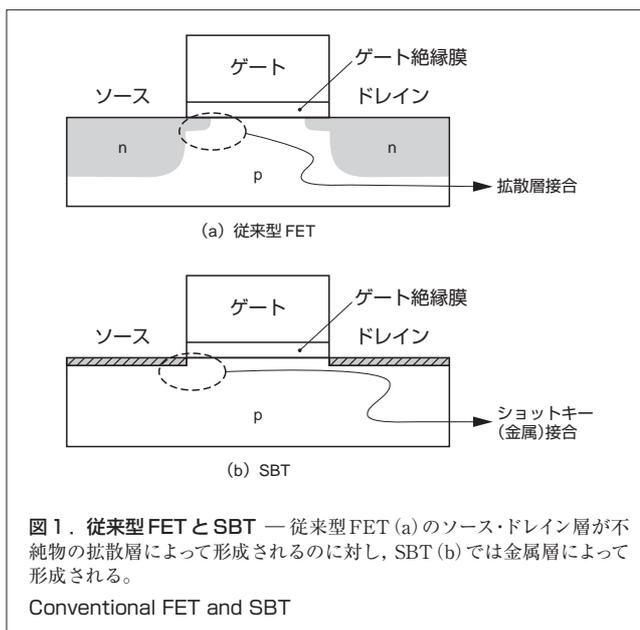
Toshiba has proposed a novel approach for a dramatic increase in the drivability of Schottky-source/drain MOSFETs (Schottky barrier transistors: SBTs). The dopant segregation (DS) technique is employed, and a significant lowering of the Schottky barrier height is demonstrated. DS-SBTs fabricated with the current  $\text{CoSi}_2$  process show comparable drive current and better short-channel-effect immunity, compared to the conventional MOSFET. The DS-Schottky junction therefore shows promise as a source/drain for advanced MOSFETs.

## 1 まえがき

シリコン ULSI (Ultra LSI) の高性能化は、その構成素子である電界効果トランジスタ(FET)を微細化することによって実現されてきた。FETの微細化においては、チャネル長を短くし、ゲート酸化膜厚を薄くすることに加え、ソース・ドレイン層を浅くし、低抵抗にすることが本質的に重要である。

最近、ソース・ドレイン層を、従来の不純物をドーパしたシリコン層(拡散層)ではなく、金属によって形成する技術が注目されている。これは、金属と拡散層とを比較した場合、金属の方が浅い接合を形成することが容易で、しかも圧倒的に低抵抗であるためである。このように、ソース・ドレイン接合を、拡散層によるpn接合ではなく、金属/シリコン接合(ショットキー接合)で実現したFETをショットキー接合トランジスタ(以下、SBTと略記)と呼ぶ(図1)。SBTは、前述した、浅くて低抵抗なソース・ドレイン層を実現しやすいという特長に加えて、微細FETの問題点である短チャネル効果に対する耐性が高いなど、様々な利点を持っていることから、将来の高速デバイスの候補として注目されている<sup>(1)</sup>。

ところが、SBTは利点が多い反面、トランジスタ性能が劣化してしまうという深刻な欠点が指摘されており、これまでに高性能なSBTの実用化に成功した例はない。トランジスタ性能は、駆動電流が決めているが、SBTではソースに存在するショットキー障壁が抵抗となって、駆動電流が劣化してしまうのである。この問題を解決するためには、ショットキー障壁



高さ(以下、 $\phi_b$ と略記)が0.2eV未満の金属をソース・ドレインに用いる必要があると考えられ、従来使われてきたコバルト(Co)シリサイドやニッケル(Ni)シリサイドに代わって、エルビウムシリサイド、プラチナシリサイドといった新しい金属シリサイドをソース・ドレインに用いたSBTが検討されている<sup>(2)</sup>。

しかしながら、このように金属材料を変えようとするアプローチは必ずしも成功しているとはいえず、更には製品化の際、プロセス開発の点で大きな困難に直面することが懸念さ

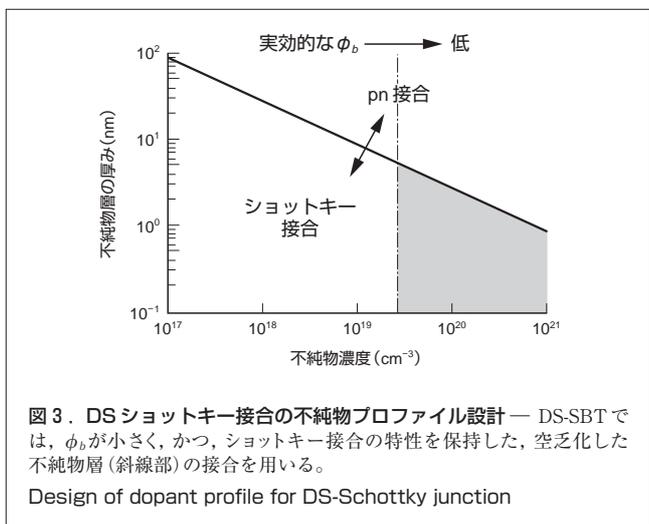
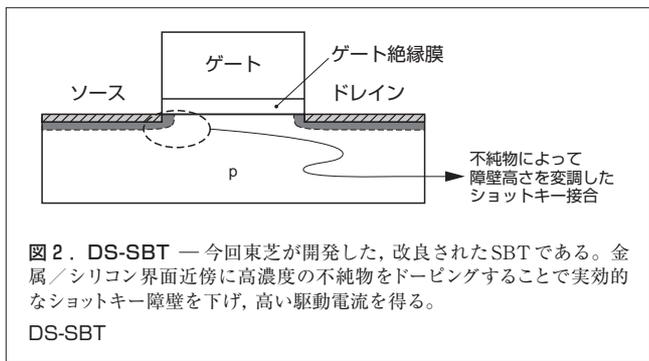
れている。

このような状況において、東芝は今回、金属材料は従来のままでソース・ショットキー接合の障壁高さを変調できる新しいアプローチを提案し、既存のCo シリサイドプロセスを用いてその有効性を世界で初めて実証した。障壁高さの変調は、不純物をショットキー接合界面に偏析させることで実現している。ここでは、この技術のコンセプトとその効果を検証した試作結果について述べる<sup>(3)</sup>。

## 2 完全空乏化DSショットキー接合のコンセプト

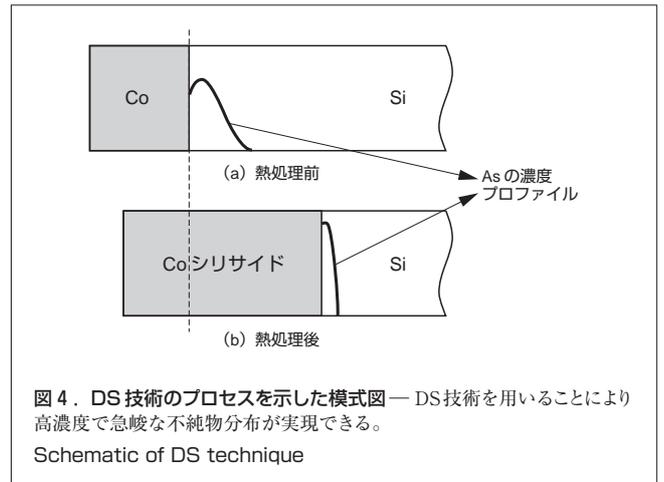
当社が今回開発した、 $\phi_b$ を変調できるショットキー接合を用いたトランジスタの模式図を図2に示した。このトランジスタでは、金属/シリコン界面近傍に高濃度の不純物をドーピングした接合をソース・ドレインとして用いており、不純物の濃度によって実効的な $\phi_b$ を制御できることが最大の長特である。

しかし、不純物層が有限の幅を持っている場合、ショットキー接合のメリットを失わずに $\phi_b$ 変調を実現するためには、不純物領域全体を空乏化しなければならず、不純物層の厚みを非常に薄くする必要がある。この不純物層が空乏化するような厚みと濃度の関係を完全空乏近似によって求めたものが図3である。例えば、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の



場合、不純物層厚みを5 nm以下にしなければならないことがわかる。すなわち、この“不純物領域が完全に空乏化している”という点が、当社の提案するショットキー接合が、通常のpn接合や、エクステンション付きと呼ばれる不純物層を付加したショットキー接合<sup>(2)</sup>とは本質的に異なる点である。

ところが、通常のプロセスでは、前記のような高濃度で急峻(きゅうしゅん)な不純物分布を、金属/シリコン界面の近傍に制御性よく作製することは困難である。そこで今回は、不純物偏析技術によって上記の完全空乏化不純物層を作製した。図4にその手順を模式的に示す。



まず、シリコン基板に不純物(今回用いたのはひ素: As)を注入し活性化することで、浅い不純物領域を形成する。次に、金属(今回はCo)をスパッタし(図4a)、不純物領域全体が消費されるようにシリサイド化する。このとき、“雪かき効果”と呼ばれるシリサイド化に伴う不純物の再分布によって、不純物がCoシリサイド/シリコン界面に偏析し、金属/シリコン界面にきちんと整合した急峻な不純物プロファイルが形成される。このようにして形成された不純物プロファイルは、はじめのものよりピーク濃度が高く、分布も急峻になる(図4b)。

このような極めて浅い不純物層は、不純物偏析という物理現象を利用することで初めて実現できるもので、更に、でき上がりの不純物層厚みをシリサイド厚みによって制御可能なことから、この技術の開発によって前記の完全空乏化不純物層を容易に作製できるようになった。このようにして作られた、完全空乏化不純物層を持つショットキー接合を、DS(Dopant-Segregation: 不純物偏析)ショットキー接合と呼ぶことにする。

## 3 実験

コンセプトどおりにDSショットキー接合が形成されていることと、それが狙いどおりの効果を発揮することを確認する

ため、実際にデバイスを試作し、その特性を調べた。

### 3.1 デバイス試作

今回試作した、DSショットキー接合をソース・ドレインに適用したn型チャンネルのFET(以下、DS-SBTと略記)の断面走査型電子顕微鏡(SEM)像を図5に示す。今回試作したDS-SBTは、CoシリサイドによるDSショットキー接合によってソース・ドレインが形成されており、ゲート長( $L_g$ )は0.4~10 $\mu\text{m}$ 、ゲート酸化膜厚( $T_{ox}$ )は10nmである。また、チャンネル不純物濃度は $1 \times 10^{17} \text{cm}^{-3}$ とした。DSショットキー接合の形成時には、加速電圧1keV、ドーズ $1 \times 10^{15} \text{cm}^{-2}$ の条件でAsをイオン注入した。

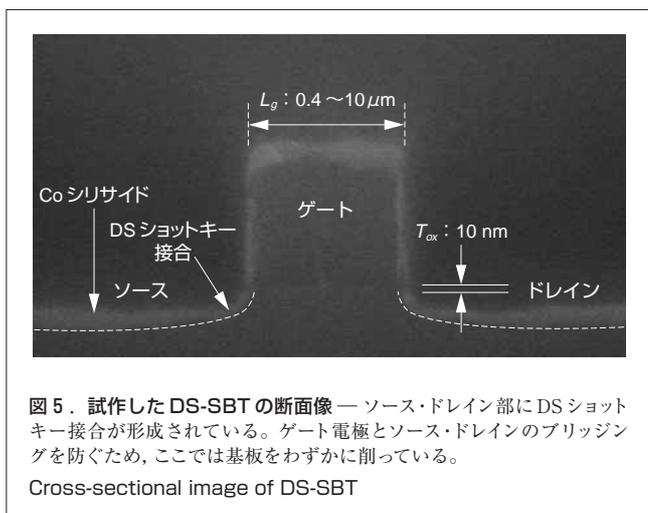


図5. 試作したDS-SBTの断面像 — ソース・ドレイン部にDSショットキー接合が形成されている。ゲート電極とソース・ドレインのブリッジングを防ぐため、ここでは基板をわずかに削っている。  
Cross-sectional image of DS-SBT

構造からわかるとおり、DS-SBTの作製プロセスは、Coシリサイドのシリサイド・ソース・ドレイン構造を持つ従来型FETとまったく同様であり、製品化時においてもよけいなコストを発生させることがない。

更に今回は、比較対象として、完全空乏化DS層を持たない、通常のCoシリサイド・SBT(以下、単にSBTと略記)、及び従来型のpn接合によるFET(以下、従来型FETと略記)も作製した。

### 3.2 接合特性

DSショットキー接合中における、Asの濃度分布の実測値を図6に示す。なお、ここではCoスパッタ膜厚が12nmのものを示したが、前述のとおり、接合深さはでき上がりのシリサイド膜厚に依存し、シリサイドプロセスによって制御可能である。図6からわかるとおり、Coシリサイド/シリコン界面のAs濃度はほぼ $1 \times 10^{20} \text{cm}^{-3}$ で、不純物層の厚みは10nm以下であった。したがって、前述した完全空乏化されたDSショットキー接合が、狙いどおりに形成できているものと考えられる。なお、Coシリサイド/シリコン界面のラフネスなどに起因する分析誤差を考慮に入れると、実際の不純物プロファイルは、図6に示されたプロファイルよりも更に急峻

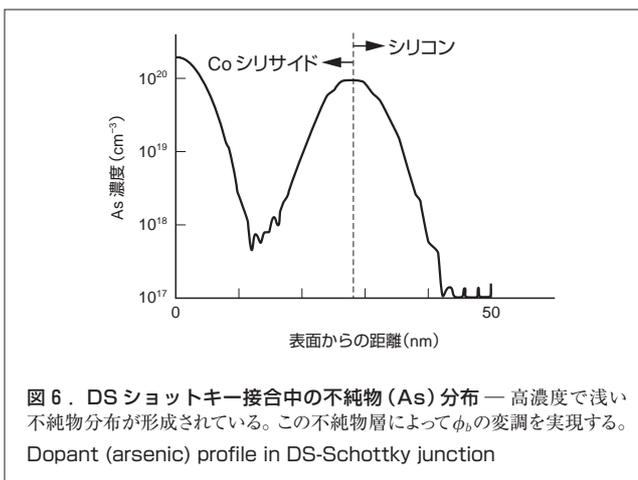


図6. DSショットキー接合中の不純物(As)分布 — 高濃度で浅い不純物分布が形成されている。この不純物層によって $\phi_b$ の変調を実現する。  
Dopant (arsenic) profile in DS-Schottky junction

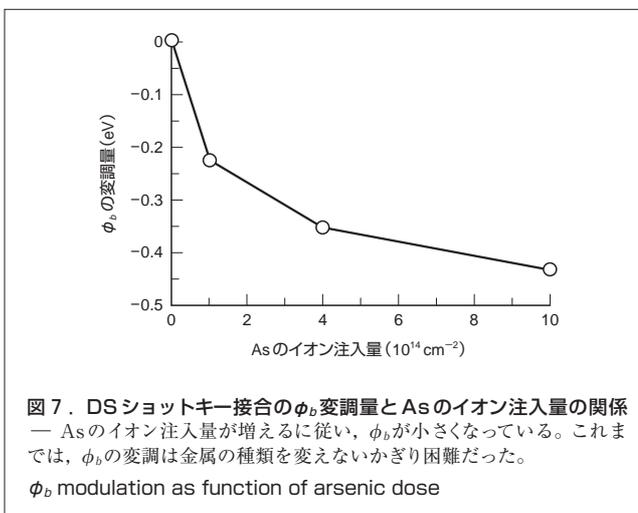


図7. DSショットキー接合の $\phi_b$ 変調量とAsのイオン注入量の関係 — Asのイオン注入量が増えるに従い、 $\phi_b$ が小さくなっている。これまでは、 $\phi_b$ の変調は金属の種類を変えないかぎり困難だった。  
 $\phi_b$  modulation as function of arsenic dose

になっているものと予想される。

実験で確認されたDSショットキー接合の $\phi_b$ とAsのイオン注入量の関係を図7に示す。 $\phi_b$ はAsのイオン注入量ドーズが増えるにつれて低下し、その変調量( $\Delta\phi_b$ )は0.4eV以上であった。このとき、実際に測定された $\phi_b$ の値は0.1eV未満となっており、1章で述べた、高性能なSBTを実現するための条件( $\phi_b < 0.2 \text{eV}$ )を十分満たしている。

これらの結果は、今回提案した完全空乏化DS層が良好に $\phi_b$ を変調することを意味しており、AsドープのDSショットキー接合をn型チャンネルFETのソース・ドレインに適用することで、ショットキー接合の利点を生かしてFETの高性能化が実現できるものと期待される。そこで次に、トランジスタ特性の面からDS-SBTの性能を検証した。

### 3.3 トランジスタ特性

作製したトランジスタのソース電流-ゲート電圧特性を図8に示す。今回作製したDS-SBTは、既存のCoシリサイドプロセスで作製したにもかかわらず、従来型FETに匹敵する駆動電流(ソース電流)とリーク電流を示した。これは同図中に示されたSBTと比べると明白なように、大幅な改善

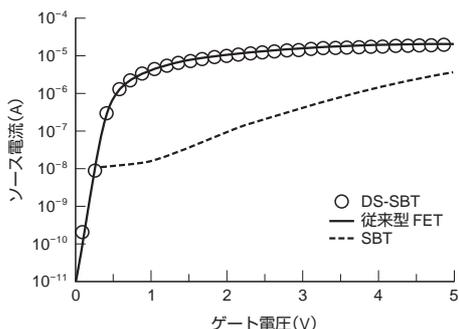


図8. トランジスタ特性の比較 — DS-SBTのソース電流-ゲート電圧特性を、従来型FET及びSBTと比較した。駆動電流(ソース電流)はトランジスタのもっとも重要な特性で、これが大きいほど高性能なデバイスである。DS-SBTは従来型FETに匹敵する優れた特性を示した。  
Comparison of transistor characteristics

である。この改善効果は、ゲート長を短くしても維持される。

このことは、通常のSBTで問題となる、ソース端のショットキー障壁による駆動電流の低減が、DS-SBTでは観察されないことを意味している。すなわちDS-SBTは、これまでのSBTにおける最大の欠点を克服した、理想的なトランジスタであると言える。

今回試作したチャンネル長の範囲ではソース・ドレインの抵抗が問題にならないため、DS-SBTが従来型FETの性能を上回るという結果こそ得られていないが、実際にDS-SBTが使用されるような、ゲート長が数十nm領域のMOSFETにおいては、ソース・ドレインの寄生抵抗が素子性能に大きく影響してくるため、DS-SBTがより優れた特性を示すことが期待される。

更に図9に示すとおり、DS-SBTは従来型FETと比較して明らかに短チャンネル効果耐性が強い。短チャンネル効果は、FETの微細化を妨げる大きな要因であり、それに対する耐

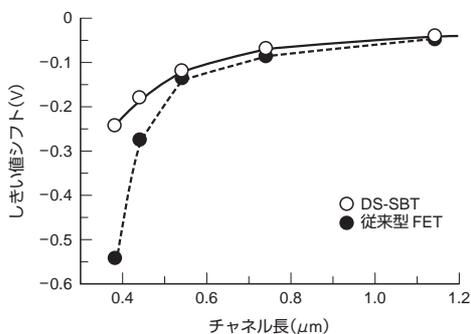


図9. 短チャンネル効果耐性 — チャンネル長が短くなるにつれてトランジスタのしきい値がシフトするようすをDS-SBTと従来型FETとで比較した。このしきい値シフトが小さいほうが微細化しやすく、特性として優れていることを意味する。  
Short-channel-effect immunity

性が強いことは、DS-SBTの極めて大きな利点である。このようにDS-SBTが強い短チャンネル効果耐性を持つのは、SBT特有の長所をDS-SBTがきちんと保持しているためだと考えている。

以上のようなDS-SBTの優れた特性は、完全空乏化DSショットキー接合を、コンセプトで述べたように注意深く設計したことによって実現したものであり、SBTの欠点を克服しつつ、利点を最大限に利用した結果であると考えている。

#### 4 あとがき

不純物偏析技術によって形成された、完全空乏化不純物層を持つ新しいショットキー接合トランジスタのコンセプトを提案し、試作したデバイス特性から、その有効性を確認した。ショットキー障壁高さのエンジニアリングに成功した結果、今回提案したデバイスは、従来型の電界効果トランジスタに匹敵する駆動力と、より高い短チャンネル効果耐性を併せ持っていることが確認された。

以上により、今回提案した不純物偏析ショットキー接合トランジスタは、チャンネル長が数十nm以下の世代における高速デバイスとして有望であり、将来のULSIの大幅な高性能化を実現する有力な技術と期待できる。

当社では、今回開発した不純物偏析技術はCMOS(相補型MOS)への適用も可能だと考えており、現在、広く用いられているCoシリサイド及びNiシリサイドプロセスを用いて、駆動力の大きいCMOSトランジスタの開発を進めている。

#### 文献

- (1) 2004年版ITRSロードマップ.
- (2) J. Kedzierski, et al. "Complementary silicide source/drain thin-body MOSFETs for the 20 nm gate length regime". Tech. Dig. IEDM 2000. p.57 - 60.
- (3) A. Kinoshita, et al. "Solution for High-Performance Schottky-Source/Drain MOSFETs". Tech. Dig. 2004 Sympo. on VLSI Tech. p.168 - 169.



木下 敦寛 KINOSHITA Atsuhiko  
研究開発センター LSI基盤技術ラボラトリー。  
MOSデバイスの研究・開発に従事。応用物理学会会員。  
Advanced LSI Technology Lab.



八木下 淳史 YAGISHITA Atsushi  
セミコンダクター社 プロセス技術推進センター 半導体プロセス開発第四部主務。MOS・LSIのプロセス/デバイス開発に従事。応用物理学会会員。  
Process & Manufacturing Engineering Center



古賀 淳二 KOGA Junji  
研究開発センター LSI基盤技術ラボラトリー主任研究員。  
MOSデバイス、量子効果デバイスの研究・開発に従事。応用物理学会会員。  
Advanced LSI Technology Lab.