

高密度実装技術

High-Density Packaging Technologies

原田 享

■ HARADA Susumu

杉崎 吉昭

■ SUGIZAKI Yoshiaki

田窪 知章

■ TAKUBO Chiaki

デジタルネットワーク情報社会の急速な進展に伴い、モバイル情報端末では高機能・小型化に対応した高密度実装技術 (SiP) が不可欠であり、また、大量の通信情報を処理する高性能サーバでは、超高速動作を支える実装技術が必要とされている。

東芝は、モバイル情報端末用途向けには、チップあるいはチップをパッケージングしたものを三次元に積層する技術の開発を進めている。また、高性能サーバ用途には、電気・放熱特性に優れたフリップチップパッケージ技術の開発を進めている。

Accompanying the rapid progress of the digital network information society, there is strong demand for high functionality and miniaturization of mobile personal digital assistants (PDAs). At the same time, ultrahigh-speed operation is required for a high-performance server to process large volumes of communicated information.

Toshiba has developed a three-dimensional stacking technology for chips and packages for mobile PDAs. We have also developed a flip-chip package technology with good electrical and thermal properties for use in high-performance servers.

1 まえがき

デジタルネットワーク情報社会の急速な進展に対応し、携帯電話に代表されるモバイル情報端末の高性能・高機能化 (複合化, 融合化) と小型化が加速され、それらが接続されるサーバでは、情報量の急速な増大に伴って情報処理速度の更なる向上が要求されてきている。

これらを支える主要技術として、心臓部に当たる LSI 技術と、それらの有機的な接続をつかさどる実装技術の重要性がますます高まっている。モバイル情報端末用途にはチップあるいはチップをパッケージングしたものを三次元に積層する技術、高性能サーバ用途には電気・放熱特性に優れたパッケージに対する要求が高い。

ここでは、東芝が進める高密度三次元実装技術、及び高性能フリップチップパッケージ技術の開発について述べる。

2 携帯・モバイル機器の高密度実装・組立技術

携帯電話は、通信の多様化 (電話, テレビ, 無線 LAN), 画像, 音声, ゲーム, データストレージなどの様々な機能が凝縮されたモバイル情報端末機器の代表であり、その中には図 1 に示すように、多種のデバイスや機能部品が高密度に実装されている。多数の部品は、もはや単体を寄せ集めるだけでは限られたスペースへの搭載と高性能化は不可能であり、

機能ごとに最適化されたモジュール化 (SiP: System in Package) を図る必要がある。

特に、搭載されるメモリには、静止画や動画あるいはゲームなど大容量の情報データを高速処理することに対応し、プログラム保存用の NOR (Negative OR circuit) 型フラッシュメモリ, 処理中データの一時保管用 SRAM (Static RAM) や DRAM, 大量データ保存用の NAND (Negative AND circuit) 型 EEPROM (Electrically Erasable and Programmable ROM) などが必要となる。これらのモジュール化では、メモリを三次元に積層したチップスタック型 MCP (St-MCP: Stacked MultiChip Package) が中核である。

2.1 チップスタック型 MCP 技術

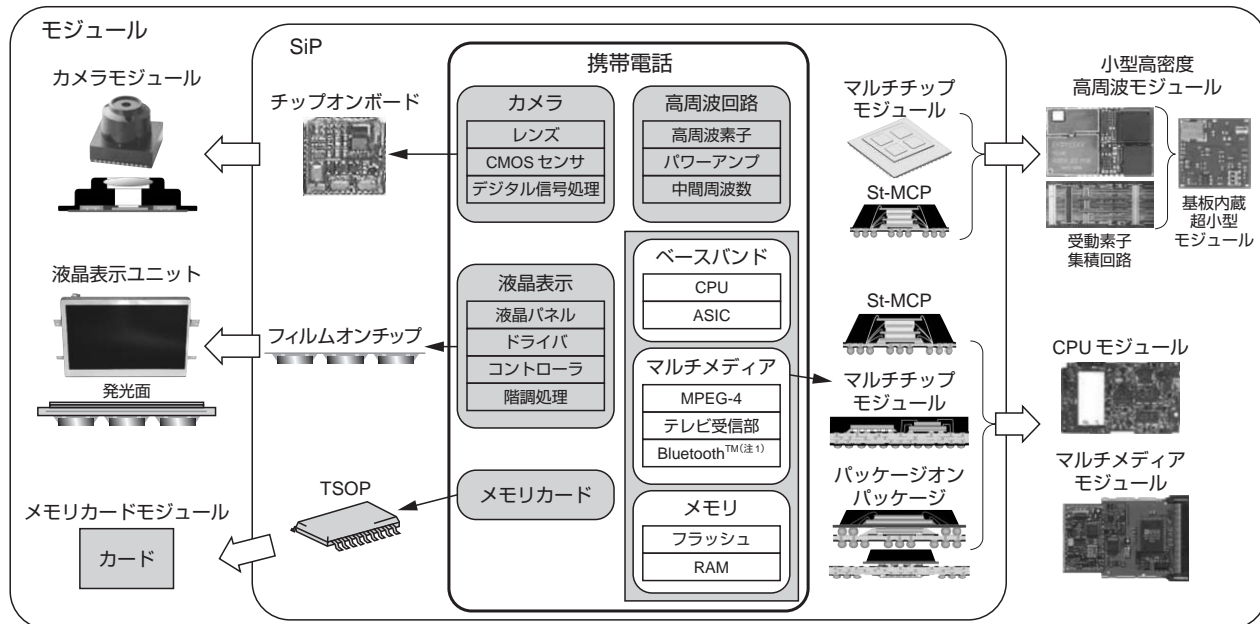
SRAM, NOR 型フラッシュ EEPROM, NAND 型 EEPROM, 低消費電力型 SDRAM (Synchronous DRAM), 疑似 SRAM の合計 5 種類のメモリを、用途に応じて自由に組み合わせることが可能な、最大 9 個のチップを積層し、取付け高さ 1.4 mm の St-MCP を開発した (図 2)。

St-MCP の高密度化のためには、大きく次の二つの技術が必要である。

- (1) チップの厚さを 70 μm 以下に薄くする技術
- (2) ボンディングワイヤの形状制御技術

2.1.1 チップの薄化技術

ウェーハ裏面を砥石 (といし) で機械的に研削して 70 μm 以下に薄くする工程では、裏面に加工ひずみ (破碎層) や条痕 (じょうこん), ウェーハ周辺



CMOS：相補型金属酸化膜半導体 MPEG-4：Moving Picture Experts Group-phase 4 TSOP：Thin Small Outline Package ASIC：用途特定IC

図1. 携帯電話の機能構成の概略 — 携帯電話を構成する各機能は、それぞれ最適化された小型モジュール化が図られる。

Outline configuration of cellular phone functions

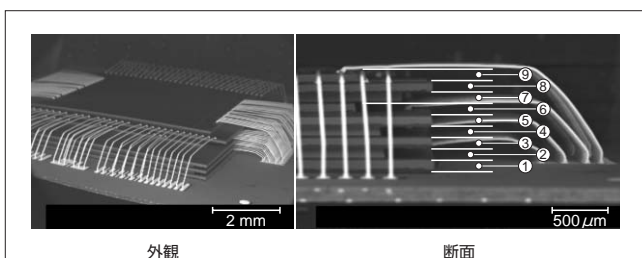


図2. 9段チップ積層 St-MCPの走査型電子顕微鏡(SEM)像 — 5種類のメモリを用途に応じて自由に組み合わせ、最大9個のチップを積層している。

SEM image of nine chips stacked inside stacked multichip package

にはチップング(微少な欠け)が発生する。これらは、ウェーハの反りや抗折強度の低下を招き、次工程への搬送を困難にしたり、ウェーハ割れの原因となる。

破砕層と条痕の除去には、化学的機械研磨、ウェットエッチングやドライポリッシュ法が有効で、ウェーハの抗折強度を1.5倍に向上させることができた。ウェーハ周辺のチップングは、粗研削と仕上げ研削の最適化によりそのサイズを約40%削減した。ウェーハの反りは、サポート用の保護テープを新規に開発することにより5 mm以下(200 mm ウェーハ)を達成した。

ウェーハを切断しチップへ個片化するダイシング工程では、チップ表面と側面にチップングが発生し抗折強度を低下

(注1) Bluetoothは、Bluetooth SIG, Inc.の商標。

させる。特に側面のチップングサイズは表面の8倍にも達し、これを削減することが課題であった。ブレードの回転数や移動速度、ウェーハを保持するテープ材質の最適化を図ることにより、側面のチップングサイズを約70%削減し、チップの抗折強度を向上させることができた。

更にチップを薄化するには、裏面研削の前にウェーハへ溝入れダイシングをして、裏面研削中にチップを分割する先ダイシング技術(DBG: Dicing Before Grinding)で側面チップングを飛躍的に小さくした後に、前述の破砕層と条痕を除去

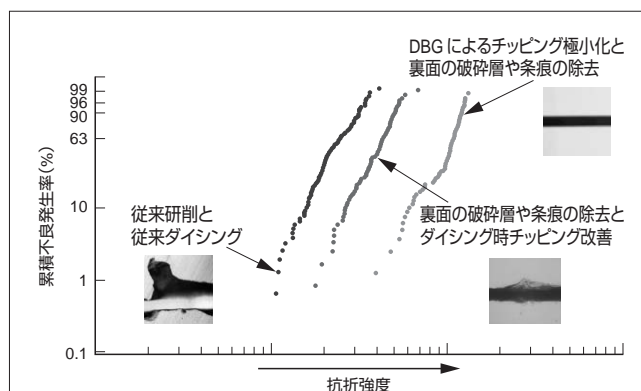


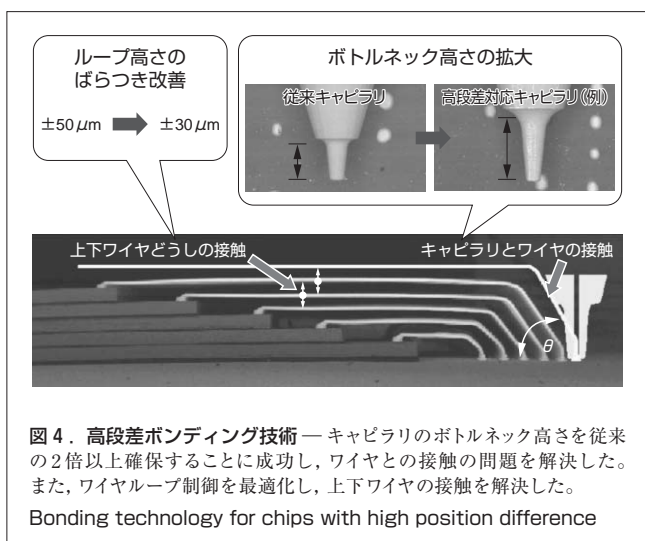
図3. チップ薄化技術と抗接強度の関係 — チップ裏面の破砕層と条痕を除去し、チップ側面の欠けを小さくすることにより、チップの抗折強度を上げることができる。

Improvement of chip strength by new grinding and dicing technology

する技術を組み合わせることが有効である。これにより、シリコン素材自体の強度に極めて近い抗折強度を達成できることがわかっている(図3)。

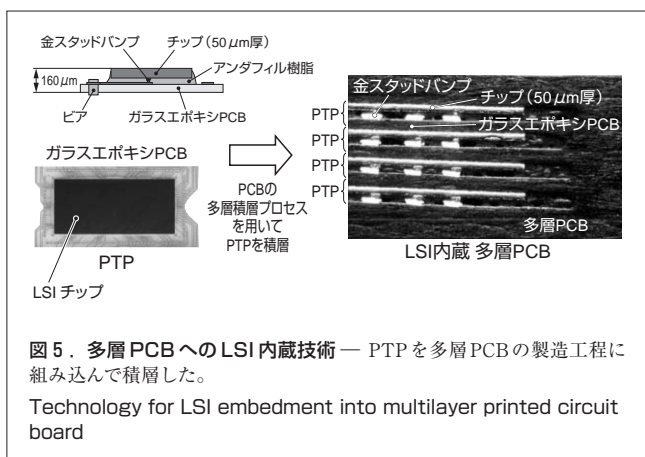
2.1.2 ボンディングワイヤの形状制御技術 積層された最上層チップへの高段差ワイヤボンディングが必要となるが、ボンディング時にキャピラリとワイヤが接触してしまう。これを避けるためにキャピラリ先端部のボトルネックを高くすると、キャピラリ強度の低下や印加する超音波エネルギーが十分に伝わらなくなる問題がある。先端形状とボンディング条件の最適化により、ボトルネック高さを従来の2倍以上確保することに成功した。

また、ワイヤループ形状の制御方法を見直すことにより、ループ高さばらつきを $\pm 30 \mu\text{m}$ まで小さくし、チップ薄化に伴う上下ワイヤの接触を解決した(図4)。



2.2 更なる高密度の三次元実装に向けて

LSIチップやそれを極薄にパッケージングしたものを、マザーボードへ積層内蔵すれば、更に高密度実装が図れる。50 μm に薄くしたチップを、60 μm 厚のガラスエポキシプリント



ント回路板(PCB)へフリップチップ接続法により搭載した、総厚160 μm のPTP(Paper Thin Package)を開発した。このPTPを多層PCBの製造工程に組み込んで積層することにより、LSI内蔵の多層PCBを実現し、基板にメモリチップを4枚内蔵したものを開発済みである(図5)⁽¹⁾。

また、シリコンチップに貫通穴を形成してチップ表面と裏面を導通する電極とし、これを利用してチップを直接積層接続する貫通電極型三次元実装技術^(注2)を応用すれば、もっと高密度な実装が可能になる。

3 高性能サーバ機器の高密度実装・組立技術

デジタルネットワーク情報社会の進展に伴い、端末を束ねるサーバには膨大な情報処理が必要となり、そこに用いられる半導体デバイスにも更なる高性能化が求められてくる。この領域における半導体デバイスの性能を決める重要な要素は、プロセッサ演算能力と外部通信帯域幅であり、前者は内部クロック周波数、後者は信号数と外部バス周波数で指標化される。

表1は、ITRS2003(The International Technology Roadmap for Semiconductor for 2003 edition)から抜粋したロードマップである。2010年には内部クロック周波数は15.1 GHz、信号数は2,400ピン、外部バス周波数は9.5 GHzに達する。それに伴い、デバイスの最大許容消費電力は218 Wへ増大し、チップ内高速化のためLSI内の多層配線では低誘電率で脆弱(ぜいじゃく)な絶縁膜を用いるようになる。パッケージング技術には、低熱抵抗化技術、超多ピン接続技術、脆弱な絶縁膜に対応した低ストレスパッケージング技術、高周波対応微細PCB技術、が要求される。

表1. 高速対応パッケージのロードマップ

Roadmap of leading-edge packages (ITRS 2003 edition)

生産開始(年)	2004	2005	2006	2008	2010
内部クロック周波数 (GHz)	4.2	5.2	6.8	11.0	15.1
外部バス周波数 (GHz)	2.5	3.1	3.9	6.1	9.5
信号数	1,800	2,000	2,100	2,300	2,400
最大許容消費電力 (W)	158	167	180	200	218
実効比誘電率	3.1	3.1	3.1	2.7	2.3
Flip Chip 端子ピッチ (μm)	150	130	130	110	100
基板配線ピッチ (μm)	64.2	55.7	55.7	47.1	42.8

3.1 フリップチップパッケージ

高性能サーバ機器向けの半導体には、電気・熱的に優れたフリップチップパッケージが用いられる。その外観及び断面

(注2) ASET(技術研究組合 超先端電子技術開発機構)がNEDO(新エネルギー・産業技術総合開発機構)の委託を受けて開発した技術。

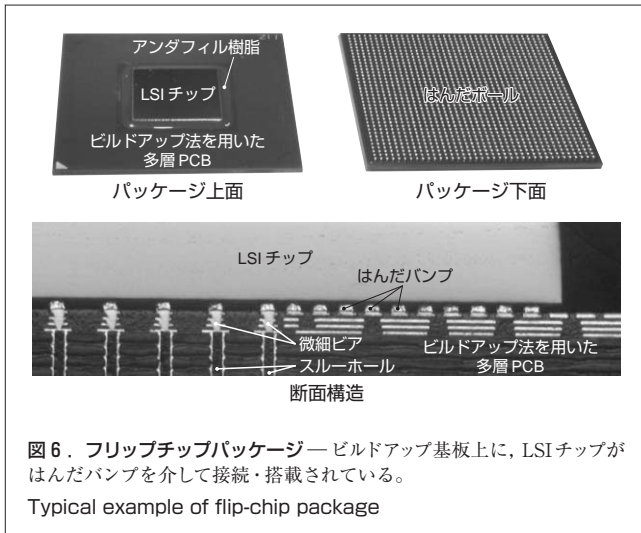


図6. フリップチップパッケージビルドアップ基板上に、LSIチップがはんだバンプを介して接続・搭載されている。
Typical example of flip-chip package

を図6に示す。LSIチップとPCBの接続は微細なはんだバンプを介して最短距離で接続され、ボンディングワイヤを使った接続に比べてループインダクタンスを劇的に低減した高速信号伝送に好適な構造である。また、はんだバンプはチップ上全面に格子状に配置できるため、従来の外周のみの端子配置に比べて、飛躍的に接続点数を増加させることができる。

3.1.1 低熱抵抗化技術 チップの裏面がむき出しになっているため、この上にヒートシンクをじか付けすれば極めて効率的に冷却することが可能である。この際、LSIチップとヒートシンクとの熱抵抗を十分小さくすることが重要となる。新規開発の高熱伝導接着剤を使った熱抵抗を図7に示す。これによりパッケージの熱抵抗は、0.1℃/W程度まで低減できることが確認されている。

3.1.2 はんだバンプ 環境への取組みとして、はんだバンプの鉛フリー化を重要課題として進めている。LSIチップ上のはんだバンプの形成には、微細化に有利なメッキ法を用いている。鉛フリーはんだでは、すずと銀などの電極電位差が大きい金属の組合せが多く、共析が困難である。

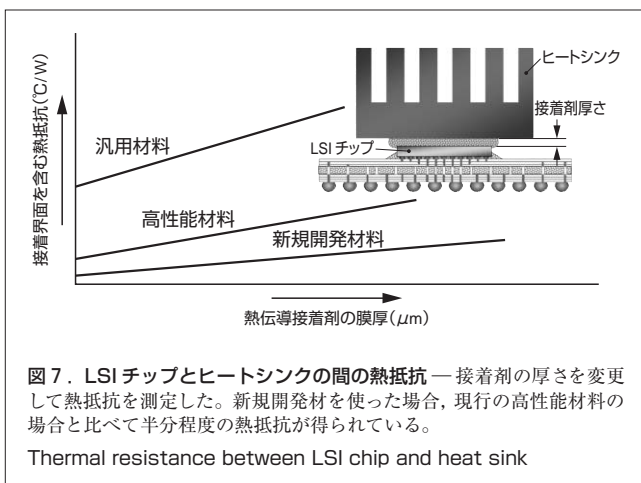


図7. LSIチップとヒートシンク間の熱抵抗—接着剤の厚さを変更して熱抵抗を測定した。新規開発材を使った場合、現行の高性能材料の場合と比べて半分程度の熱抵抗が得られている。
Thermal resistance between LSI chip and heat sink

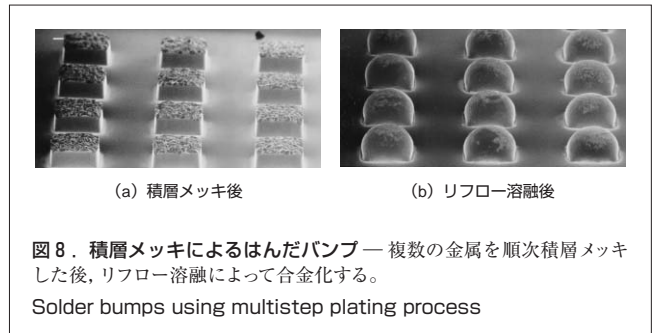


図8. 積層メッキによるはんだバンプ—複数の金属を順次積層メッキした後、リフロー溶融によって合金化する。
Solder bumps using multistep plating process

そこで、個々の金属の積層メッキ後、リフロー溶融で合金化する手法を開発した(図8)^{(2),(3)}。

鉛フリーはんだバンプは、従来の鉛系はんだに比べ剛直なため、接続点へ応力が集中し、LSI側の低誘電率で脆弱な絶縁膜が破壊しやすい。ウェーハ工程も含めたプロセスデザインの最適化で、より低誘電率で脆弱な次世代絶縁膜に対しても鉛フリーはんだが使える見込みが得られた。

3.1.3 高周波対応微細PCB 超多ピン接続に用いられる微細PCBの一例を図9に示す。

微細で高周波に対応した配線の直上に電源プレーン層を形成し、実効インダクタンスを下げノイズの低減を図っている。このような高周波の電気特性において数千の接続と結線を両立するために、微細でかつ多層配線が可能なビルドアップ法を用いた多層PCBを用いている。前述のロードマップによれば、ビルドアップ法を用いた多層PCBの配線ピッチは、2005年には55.7μm、2010年には42.8μmが必要とされる。現在は50μmピッチが十分実用レベルにあることを確認している。

一方、ビルドアップ法を用いた多層PCBの配線の微細化は30μmピッチが限界と考え、シリコン基板を用いた配線技術の開発も進めている。配線の形成にウェーハの多層配線工程を流用することにより、10μmピッチ未満の微細化が可能で

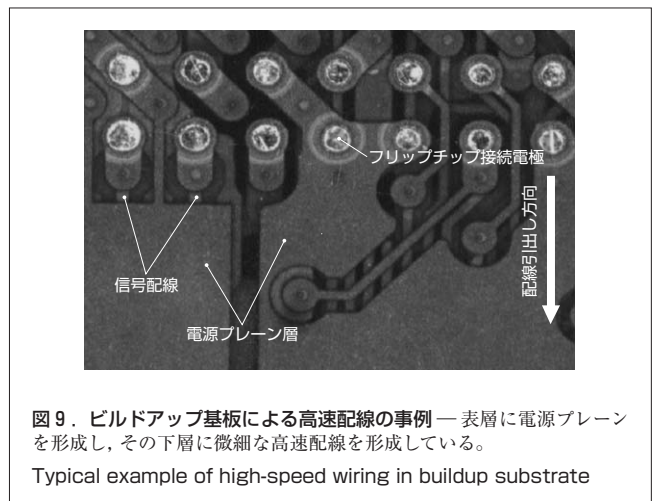
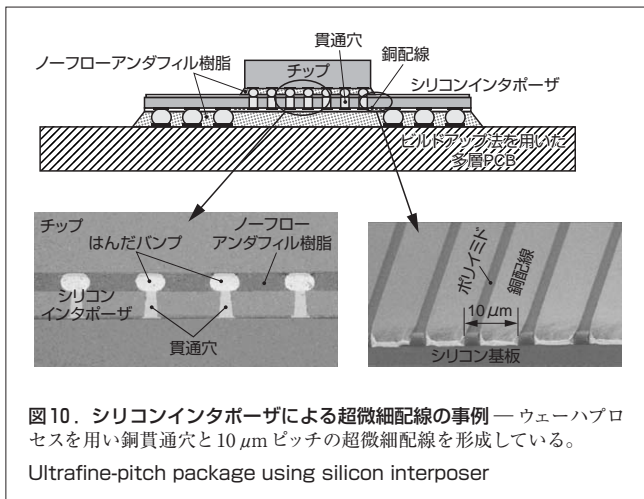


図9. ビルドアップ基板による高速配線の事例—表層に電源プレーンを形成し、その下層に微細な高速配線を形成している。
Typical example of high-speed wiring in buildup substrate

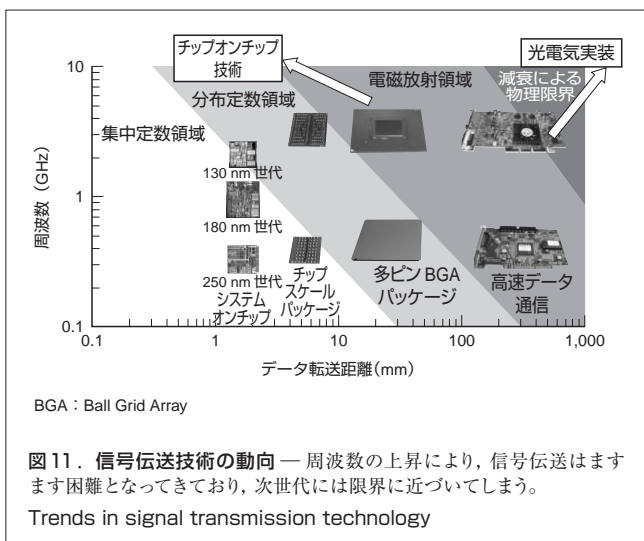


ある。また、表裏の導通を取るため、貫通穴を形成している(図10)⁽⁴⁾。

3.1.4 ノーフローアンダフィル技術 シリコン基板を必要とするような超微細接続では、接続部のフラックスの洗浄や、その後の毛管現象(フロー)による樹脂封止(アンダフィル)を行うことが困難になる。そこで、封止樹脂にフラックス機能を持たせて、接続と樹脂封止を一括で行ってしまうノーフローアンダフィル技術の開発も行っている。この技術を用いることにより、100 μmピッチの接続・封止も可能になることを確認している(図10)⁽⁴⁾。

3.2 更なる高速化に向けて

高速信号伝送技術の難易度は、周波数と伝送距離によって決まる。周波数が上がり、あるいは伝送距離が長くなるなどで、波長が伝送距離に近づいてくると電氣的挙動の取扱い



(注3) PCI-expressは、PCI Special Interest Groupにより策定された次世代高速バス規格。
(注4) Redwoodは、米国Rambus® Inc.が提供する次世代高速バス規格。

には、より複雑なモデルが必要となってくる(図11)。パッケージ間の比較的長距離の信号伝送が必要な外部バスにおいては、10 GHzを超えると、電気信号が減衰によって届かなくなってしまう。実際、PCI-express^(注3)やRedwood^(注4)といった次世代の高速バスの規格は、それぞれ最大で1.25 GHz × 75 cm, 6.4 GHz × 38 cmであり、この物理限界に近づいている。この先更に高速化を進めるためには、伝送距離を極限まで短くするか、あるいは電気信号の代わりに光信号を使うなどのブレイクスルー技術が必要となってくる。前述した貫通電極型三次元実装技術や、光電気実装技術などが、その解決手段となりうるものであり、実用化に向け検討を進めている⁽⁵⁾。

4 あとがき

高密度実装・組立技術は、携帯モバイル端末や高性能サーバなどのシステムの性能と密接に関係している。LSIを脳や心臓に例えるならば、実装はまさしく神経、血管や筋肉に相当する。システム全体の性能向上にはLSI技術と連携した進化が必要である。

文献

- (1) Imoto T., et al. "Development of 3-Dimensional Module Package, System Block Module". Proc. 51st Electronic Components & Technology Conference. 2001, p.552 - 557.
- (2) Ezawa H., et al. "Eutectic Sn-Ag Solder Bump Process for ULSI Flip Chip Technology". IEEE Transactions on Electronics Packaging Manufacturing. 24, 4, 2001, p.275 - 281.
- (3) Miyata M., et al. "Sn-Ag Solder Bump using 2-Step Plating Process". エレクトロニクス実装学会誌. 5, 2, 2002, p.180 - 184.
- (4) Matsuo M., et al. "Silicon Interposer Technology for High-density Package". Proc. 50th Electronic Components & Technology Conference. 2000, p.1456 - 1459.
- (5) Bonkohara M., "Japan activities in 1999, Electronic System- Integration Technology". Proc. 6th Annual KGD Industry Workshop, Napa Valley, California, 1999.



原田 享 HARADA Susumu

セミコンダクター社 プロセス技術推進センター 半導体組立要素技術部グループ長。半導体パッケージのプロセス要素技術開発に従事。

Process & Manufacturing Engineering Center



杉崎 吉昭 SUGIZAKI Yoshiaki

セミコンダクター社 プロセス技術推進センター 半導体組立要素技術部参事。半導体パッケージの技術開発に従事。

Process & Manufacturing Engineering Center



田窪 知章 TAKUBO Chiaki

セミコンダクター社 プロセス技術推進センター 半導体組立要素技術部長。半導体パッケージの技術開発に従事。

Process & Manufacturing Engineering Center