

次世代微細加工技術

Reactive Ion Etching

大岩 徳久

■ OHIWA Tokuhisa

90 nm ノード以降の微細デバイス(トランジスタ)の製造では、薄膜レジストを用いた加工プロセスが必須である。エッチングマスクとして不純物含有量を最小限にした塗布炭素(C)膜を開発し、レジスト/SOG(Spin On Glass : 塗布ガラス)/塗布C膜を積層した多層レジストプロセス(S-MAP : Stacked MAsk Process)により、薄膜レジストを用いた微細加工を可能にした。更に、LSI 高速化のため配線絶縁材料に用いるCVDによるSiOC(炭素添加シリコンオキサイド)低誘電率(Low-k)膜の加工を行うため、イオンエネルギーの高精度制御ができる、100 MHzと3.2 MHzの高周波電力(rf電力)を重畳した2周波重畳(DFS : Dual Frequency Superimposed)反応性イオンエッチング(RIE : Reactive Ion Etching)を開発し、SiOC/Si₃N₄シリコン選択加工を実現した。

Reactive Ion Etching (RIE), which enables employment of thin resist mask, is an indispensable technology for manufacturing large-scale integrated circuits (LSIs) from the 90 nm node onward. Toshiba has developed a spun-on-carbon film with minimum impurities for etching masks. Using a stacked mask process (S-MAP), which uses a layered mask consisting of a thin film resist, spin-on-glass (SOG), and the newly developed carbon film, we have made possible a micro-processing technology using thin film resists. The new technology realizes the etching of high-aspect-ratio holes, which require high selectivity to etching masks.

We have also developed a 100 MHz and 3.2 MHz radio frequency (rf) power superimposed RIE technology, which is called dual-frequency superimposed RIE (DFS RIE), which makes precise ion energy control possible. DFS RIE realized selective etching of low-dielectric-constant (low-k) SiOC film, which is a key material for high speed LSIs, to Si₃N₄ mask.

1 まえがき

LSIを高集積化、高速化するために、デバイス寸法の微細化が強力に推し進められている。更に、高速ロジックLSIでは、アルミニウム(Al)から銅(Cu)へ配線材料を替えて配線の低抵抗化が図られるとともに、配線絶縁材料がシリコン酸化膜(SiO₂膜)からLow-k材料になり、配線での信号遅延が低減された、90 nmを下回る微細で高速のLSIが試作された⁽¹⁾。LSI製造で用いられる微細加工は、パターン形成されたレジストをエッチングマスク(以下、マスクと略記)にして下地の被加工膜をエッチングするプロセスで、rf電力で放電励起して生成したガスプラズマによるドライエッチング方法である。ガスプラズマ中でガス分子の分解により生成された反応性の高い(ラジカル)原子やイオンと被エッチング材料とを反応させ、蒸気圧の高い反応生成物を生成してガス化除去によりエッチングされる。エッチング反応を促進するため、フッ素(F)や塩素(Cl)といったハロゲン元素などの反応性が高く、しかも被エッチング膜と反応して蒸気圧の高い反応生成物を作る元素を含むガスプラズマが用いられる。これは反応性イオンエッチング(RIE : Reactive Ion Etching)と呼ばれ、LSIの高速化、高集積化のための必要不可欠な技術の

一つとなっている。

微細加工プロセスでは、寸法の微細化とともにレジストが薄膜化され⁽²⁾、更に、加工パターンのアスペクト比(パターン寸法と深さの比)が増大するとエッチング速度が低下するマイクロローディング効果と呼ばれる現象が起こるため⁽³⁾、エッチング時間が長くなり、マスクが後退するようになる。そのため東芝は、パターンを形成するレジストとマスクを別種の材料で構成した多層レジストプロセス(S-MAP : Stacked MAsk Process)⁽⁴⁾と、Low-k材料加工のため高精度でイオンエネルギー制御ができるrf2周波重畳(DFS : Dual Frequency Superimposed)RIE⁽⁵⁾を開発した。ここでは、微細化と高速化に向けて開発した加工技術について述べる。

2 S-MAP

S-MAPの工程の流れは次のようになる(図1)。

- (1) 被加工膜上にレジスト/SOG/塗布C膜の積層膜を形成
- (2) 上層の膜厚300 nm以下のレジストにパターンを形成
- (3) 膜厚80 nmの中間層SOGに転写加工
- (4) SOGをマスクにして下層の塗布C膜に転写加工

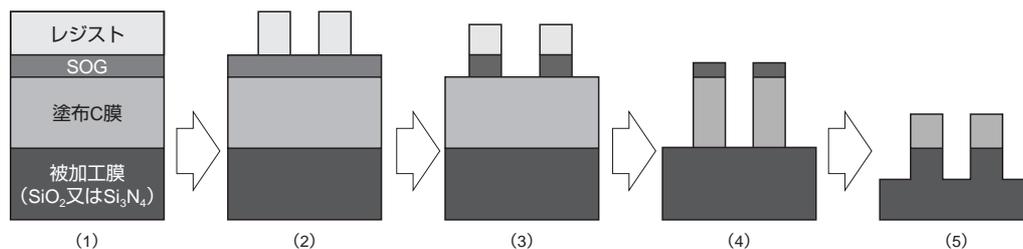
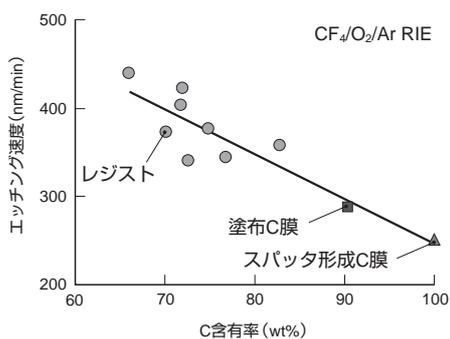
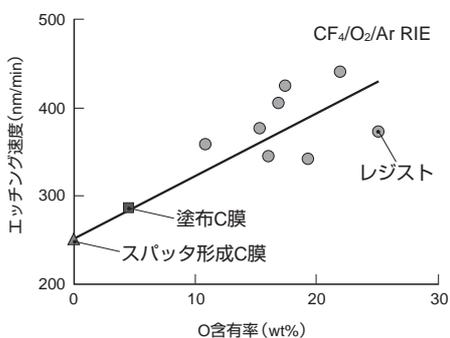


図1. S-MAP工程の流れ — レジストに形成されたパターンは、逐次下層に加工転写され、被加工膜がエッチングされる。
S-MAP process flow



(a) C含有率とエッチング速度



(b) O含有率とエッチング速度

CF₄: 四フッ化炭素
Ar: アルゴン

図2. 塗布膜中のC及び不純物Oの含有率とエッチング速度の関係 — CF₄/O₂/Ar RIEでの有機膜のエッチング速度は、膜中のC含有率が高いほど、またO含有率が低いほど小さくなる。

Etching rates of organic films as function of carbon concentration and oxygen concentration

(5) 塗布C膜をマスクにして下地加工

S-MAPには、高精度の寸法制御だけでなく、パターン形成工程で露光光(DUV光)を吸収して基板からの反射光を低減する光学特性が要求されるため、塗布C膜は、露光光を吸収するCを主成分とし、更に膜中の酸素(O)含有率が低くC含有率の高い材料が開発された。

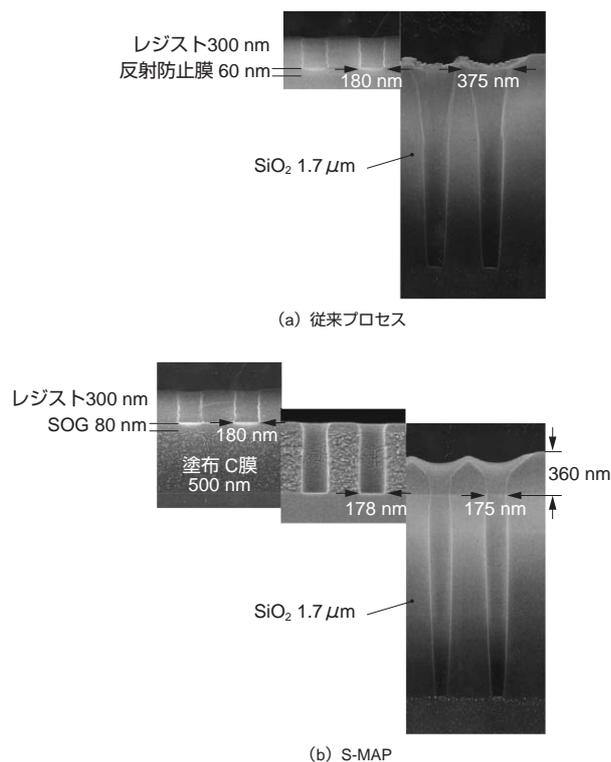


図3. ハイアスペクトホール加工形状の比較 — (a)では、マスク後退が大きくホール上部寸法が拡大するが、(b)では、マスク残膜が十分でホール寸法を維持できる。

Comparison of etching profiles of high-aspect-ratio contact holes

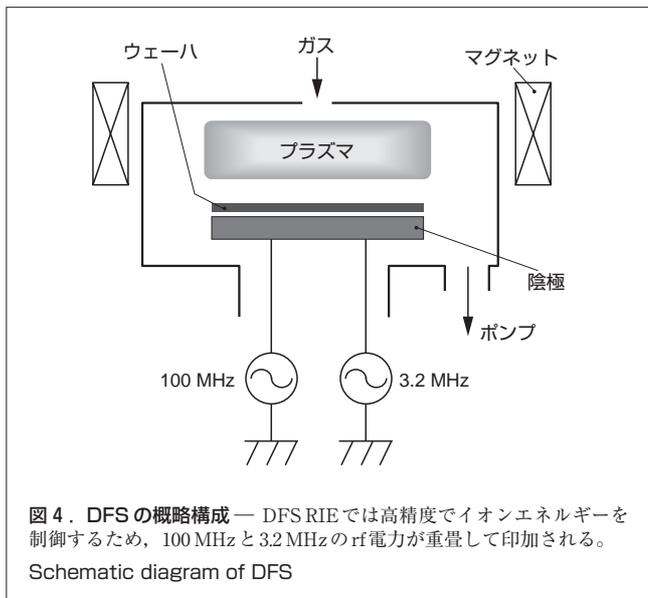
塗布C膜中のC及びO含有率と下地加工プロセスにおけるエッチング速度の関係を図2に示す。塗布C膜の組成は、不純物が少なく純Cであるスパッタ形成C膜に近い。塗布C膜のエッチング速度はOやCの含有率に依存して変化し、エッチング特性は純C膜に近く、マスクエロージョンが小さいという、微細加工プロセスで要求される特性を実現した。

寸法180 nmのホールエッチングにS-MAPを用いた結果を、従来のレジストプロセスを用いた結果と比較して図3に示す。レジストをマスクに用いる従来プロセスでは、マスクの後退が大きく、ホール上部の寸法が拡大してしまう。それ

に対し、S-MAPを用いたエッチングでは、マスクの後退がないエッチングが可能である。微細化のためのレジストの薄膜化に対し、S-MAPは非常に有効な技術である。

3 DFS RIE

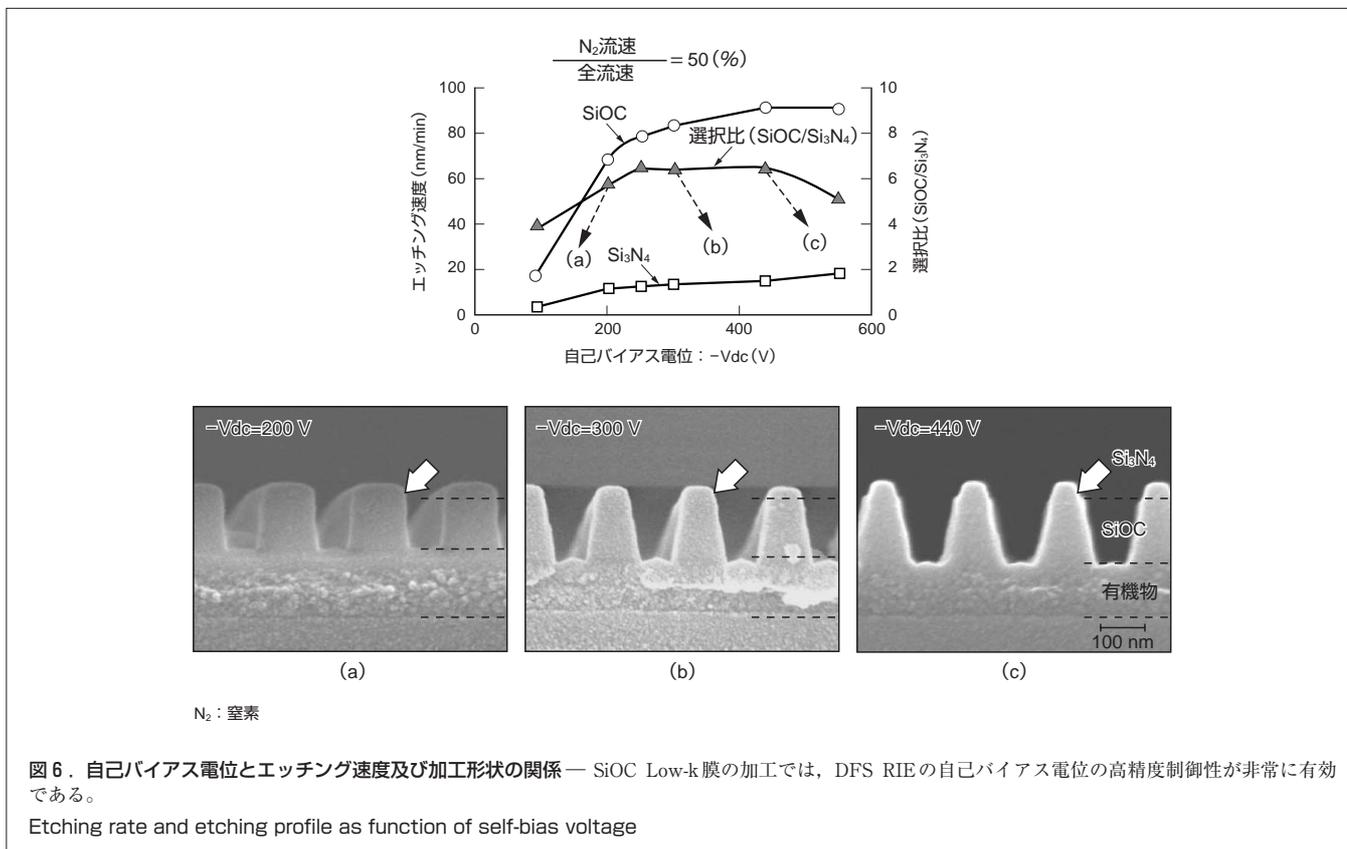
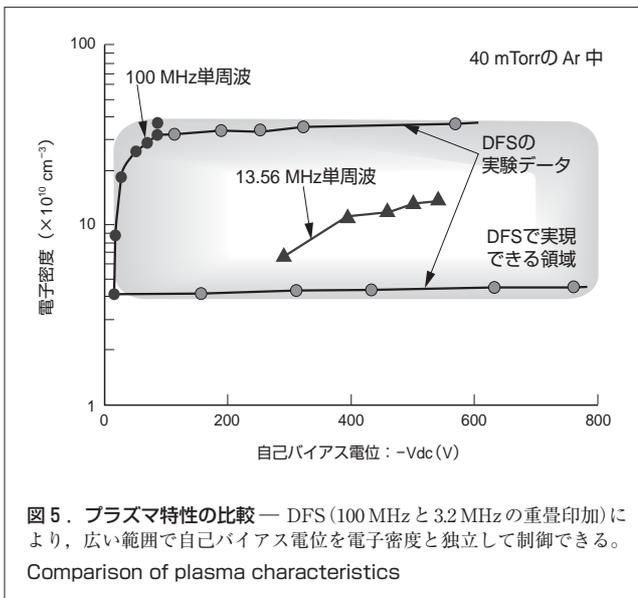
DFS RIEの構成を図4に示す。DFS RIEでは高精度の



イオンエネルギー制御を行うため、従来の13.56 MHz単周波電力を印加する方式⁽⁶⁾に対し、100 MHzと3.2 MHzのrf電力が重畳して印加される。

DFS RIEのイオンエネルギーの制御性を、従来方式と比較して図5に示す。

自己バイアス電位はイオンエネルギーに相当するパラメータで、プラズマ密度に依存して変化する。13.56 MHz単周波では、



入力電力を増加することにより自己バイアス電位が290 Vから540 Vへ増加し、同時に電子密度が $6.8 \times 10^{10}/\text{cm}^3$ から $1.4 \times 10^{11}/\text{cm}^3$ へ増加する。一方、100 MHz単周波では、電子密度が $4.0 \times 10^{10} \sim 3.6 \times 10^{11}/\text{cm}^3$ と13.56 MHz単周波に比較し高密度プラズマを生成するが、自己バイアス電位は20～90 Vと非常に小さい。生成される自己バイアス電位の小さい100 MHzに3.2 MHzのrf電力を重畳印加すると、3.2 MHz電力に依存して自己バイアス電位は20 Vから762 Vへ、あるいは90 Vから569 Vへ増大するものの、3.2 MHz印加電力の増加だけでは電子密度は変化しない。100 MHzと3.2 MHzを重畳して印加することで、従来の13.56 MHz単周波印加では実現できなかった広い範囲で、自己バイアス電位を電子密度と独立に制御することが可能である。次に、DFS RIEを用いたLow-k膜の加工特性について述べる。配線パターンを形成した Si_3N_4 をマスクにして、CVD SiOC膜の加工を行った。

自己バイアス電位と、 Si_3N_4 膜及びCVD SiOC膜のエッチング速度、選択比、並びに加工形状の関係を図6に示す。

自己バイアス電位の増加に依存して、 Si_3N_4 膜のエッチング速度は4.3nm/minから17.5nm/minへ緩やかに大きくなるのに対し、SiOC膜のエッチング速度は、自己バイアス電位の90 Vから200 Vへの増加に対して17.2 nm/minから67.3 nm/minへ大きく増加し、それ以降は微増する。その結果SiOC/ Si_3N_4 の選択比は4.0から、自己バイアス電位が200～440 Vで約6に増加し、それ以上では低下する。選択比が同程度の6となる自己バイアス電位200 V、300 V、440 Vで加工形状を比較した。自己バイアス電位200 Vでは、ほぼ垂直な加工形状が得られたが、自己バイアス電位が大きくなるほど Si_3N_4 マスクの後退が大きくなり、SiOCがテーパ形状に加工された。パターンエッジではスパッタ効果が大きく、平面での選択比が同じでもマスクエッジの後退が大きくなる。そのため、自己バイアス電位が高いほどマスクエッジの後退が大きくなる。SiOC Low-k膜の加工では、イオンエネルギーの高精度制御が必要で、DFS RIEの自己バイアス電位の高精度制御性はたいへん有効である。

4 あとがき

微細加工プロセスは、LSIの高集積化と高速化にもっとも重要な技術で、90 nmノード以降の微細デバイス製造では、薄膜レジストを用いた加工プロセスの開発が必須である。当社は不純物含有量を低減した塗布C膜を開発し、レジスト/SOG/塗布C膜を積層したS-MAPによって、対マスク高選択比が必要な高アスペクトホール加工を可能とした。更に、イオンエネルギーの高精度制御を可能にしたDFS RIEを開発し、LSIの高速化のために用いられるCVD SiOC Low-k膜加工を実現した。

文献

- (1) Higashi, K., et al. "A manufacturable copper/low-k SiOC/SiCN process technology for 90nm-node high performance eDRAM". Proc. 2002 IITC. IEEE Electron Devices Society. San Francisco, 2002, p.15 - 17.
- (2) International Technology Roadmap for Semiconductors. "International Technology Roadmap for Semiconductors 2003 edition". <[http:// public.itrs.net/](http://public.itrs.net/)>, (accessed 2004-01-05).
- (3) Hayashi, H., et al. "Pattern size dependence of SiO_2 etching characteristics when using CF_4/H_2 plasma". Proc. Dry Process Symp. 1992. The Institute of Electrical Engineers of Japan. Tokyo, 1992, p.205 - 209.
- (4) Abe, J., et al. "A new stacked mask process (S-MAP) using spun-on carbon film for sub-130 nm etching". Proc. Dry Process Symp. 2001. The Institute of Electrical Engineers of Japan. Tokyo, 2001, p.187 - 191.
- (5) Kojima, A., et al. "Dual frequency superimposed (DFS) rf capacitive coupled plasma etch process". Proc. Dry Process Symp. 2003. The Institute of Electrical Engineers of Japan. Tokyo, 2003, p.13 - 17.
- (6) Sekine, M., et al. "A new high-density plasma etching system using a dipole-ring magnet (DRM)". Proc. Dry Process Symp. 1993. The Institute of Electrical Engineers of Japan. Tokyo, 1993, p.17 - 22.



大岩 徳久 OHIWA Tokuhisa

セミコンダクター社 プロセス技術推進センター 半導体プロセス開発第五部グループ長。ドライエッチング技術の開発に従事。

Process & Manufacturing Engineering Center