

# 高性能トランジスタ技術

## High Performance Transistor Technologies

須黒 恭一 江口 和弘

■ SUGURO Kyoichi

■ EGUCHI Kazuhiro

次世代トランジスタの高性能化では、ゲート絶縁膜の薄膜化と、ソースとドレインの浅接合化が非常に重要である。

次世代のゲート絶縁膜の厚みが1nm以下になり、大きなゲートリーク電流が流れるため、誘電率がシリコン酸化膜(SiO<sub>2</sub>膜)の3倍程度ある窒素添加ハフニウムシリケート膜(HfSiON膜)の形成プロセス技術を開発した。このHfSiON膜を用いることにより、ゲート絶縁膜の物理膜厚を厚くすることが可能になり、ゲートリーク電流を大幅に改善することに成功した。また、電極下部にSiO<sub>2</sub>膜換算で0.2~0.5nmに相当する空乏化層が形成される従来のシリサイド/多結晶シリコン(Si)電極に代わって、空乏化層がなく2種類の仕事関数を持つメタルゲートを開発した。

一方、ソースとドレインの延長部分の深さは20nm以下が必要になるため、極低エネルギーのイオンを基板に注入後に1ms加熱する、瞬間熱処理技術を開発した。また、上層配線がSi基板とコンタクトする部分のpn接合のシャロー化に対応して、Si侵食厚が20nm以下のニッケルシリサイド(NiSi)をSiの露出部分に選択的に形成する技術を開発し、トランジスタの性能を大幅に向上させた。

Reduction of both the gate insulator thickness and source/drain depth is very important in high-performance transistors. Since the gate oxide thickness decreases to below 1 nm in the next technology node, the gate leakage current becomes unacceptably large for transistors.

Toshiba has succeeded in increasing the physical thickness and reducing the gate leakage current by using hafnium silicate (HfSiON), which has a dielectric constant three times larger than that of silicon dioxide (SiO<sub>2</sub>). In order to eliminate the gate depletion of 0.2-0.5 nm in equivalent oxide thickness, dual-work-function metal gates were developed. On the other hand, the pn junction depth is required to be less than 20 nm in the source/drain extension region. We have therefore developed an ultra-low-energy ion implantation technology and a technology for ultra-rapid thermal annealing in as short as 1 msec. To reduce pn junction leakage in the contact region, we have also developed a nickel silicide (NiSi) technology that achieves a silicon erosion thickness of less than 20 nm. These technologies dramatically improve transistor performance.

### 1 まえがき

現在システムLSIで用いられているMOS(Metal Oxide Semiconductor)トランジスタは、1968年から1969年にかけて電子デバイスの国際会議で発表された、多結晶シリコンゲート技術を基本にしている。このゲート電極をマスクにしてp型又はn型不純物のイオンを注入すると、ソースとドレインをゲート電極に対して自己整合的に形成できるために、MOSトランジスタを比例縮小則(スケーリング則)に従って微細化し、トランジスタの性能を向上させることが可能になった。

ところがゲート電極の寸法を微細化すると、ゲート電極やソース、ドレインの寄生抵抗が問題になる。また、ゲート絶縁膜を薄膜化していくとゲート絶縁膜のリーク電流が大きくなり、微細化しているにもかかわらずトランジスタの性能が向上しない、という問題が顕在化しており、現在転換期に来ている。

したがって、次世代トランジスタを高性能化するためには、

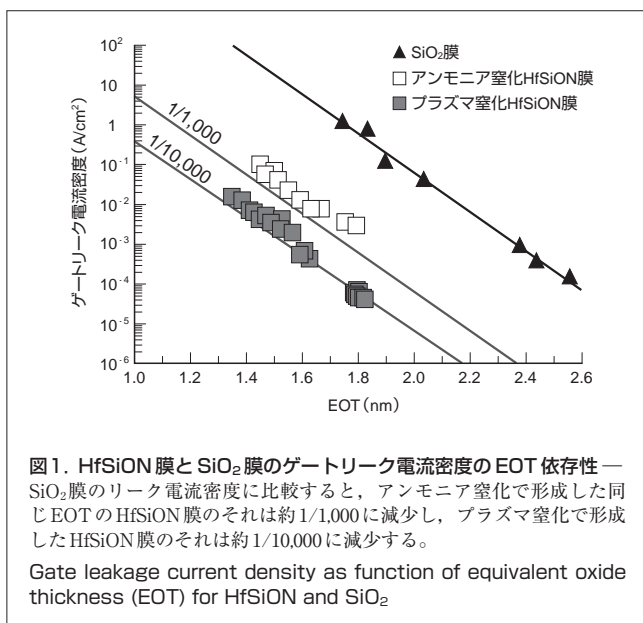
これまでにない新しいブレイクスルー技術の開発が必要であり、ここでは、その鍵を握る重要技術について述べる。

### 2 トランジスタの高性能化における技術課題と開発技術

#### 2.1 ゲート絶縁膜の薄膜化

トランジスタの性能をこれまでと同じようなペースで向上させるためには、ゲート絶縁膜を1年で約20%ずつ薄膜化することが必要である。次世代のトランジスタを高性能化するうえでの問題点の一つに、ゲート絶縁膜が思いどおりに薄膜化できないことがある。従来用いていたSiO<sub>2</sub>膜やシリコン窒化酸化膜(SiON膜)では、1nm以下でゲートリーク電流の少ない薄膜を形成することが非常に困難である。SiO<sub>2</sub>膜又はSiON膜の薄膜化限界を打破するためには、ゲートリーク電流を低減可能とする高誘電率絶縁膜を用いることが有効である。高誘電率絶縁膜とは、SiO<sub>2</sub>膜の比誘電率(真空の誘電率に対する比率)3.9よりも2倍以上大きな比誘電率を持つ

絶縁膜である。高誘電率絶縁膜の材料としては、熱的な安定性、薄膜化の容易性、電気的な特性を考慮して、ハフニウム(Hf)を基本にしたHfSiON膜に注目し、図1に示すように、従来のSiO<sub>2</sub>膜と比べてゲートリーク電流が少ない良質の膜を形成できるCVD(化学気相成長)技術を他社に先駆けて開発した。図1の縦軸はゲートリーク電流密度、横軸はSiO<sub>2</sub>膜(比誘電率3.9)に換算した等価膜厚(EOT: Equivalent Oxide Thickness)を示している。HfSiON膜を用いた場合のゲートリーク電流の大きさは、SiO<sub>2</sub>膜を用いた場合の約1/1,000から1/10,000に低減されている。



## 2.2 ゲート電極のメタル化

多結晶Siが最下層に存在するシリサイド/多結晶Siゲート構造では、SiO<sub>2</sub>膜換算で0.2~0.5 nmの空乏化層が形成され、この分の寄生容量がゲートの容量に直列に接続される。したがって、非常に薄いゲート絶縁膜を形成しても、実効的な酸化膜厚が0.2~0.5 nmだけ厚くなってしまふ。ソースとドレインのpn接合のシャロー化やチャンネル不純物分布の制御のために熱処理温度と時間の制限が加わると、ますますゲート空乏化量が増加する。この空乏化層の容量は、ゲート絶縁膜厚が1 nm程度になると20~50%に相当するため、シリコンゲルマニウム(SiGe)を用いて空乏化層を薄膜化する試みがなされているが、0.2 nmよりも薄膜化することが非常に困難である。

前述の多結晶Siを最下層に設けた低抵抗ゲート電極では、ゲート空乏化層があるためにゲート絶縁膜の薄膜化に限界がくる。ゲート電極内の空乏化層をゼロにするために、メタル材料をゲート電極に用いる方法がある。メタルの場合には、トランジスタをON状態にしたときにゲートの空乏化量を

ゼロにすることができる。したがって、多結晶Si又は多結晶SiGeゲートと同じゲート絶縁膜を用いた場合には、トランジスタをONしたときのゲート絶縁膜の実効膜厚を0.2~0.5 nm減らすことができる。もしこの膜厚を同じにする場合には、ゲート絶縁膜の物理膜厚を厚くすることができ、トランジスタOFF時のリーク電流を減らすことができる。

更にメタルゲートの利点として、ゲートアスペクト比の低減化がある。従来のシリサイドと多結晶Siを積層させたゲート電極の場合、ゲート電極のアスペクト比(膜厚と膜幅の比)を小さくするとゲートの抵抗値が上昇するため、比抵抗自体を低抵抗化することが必要である。メタル化することにより、多結晶Si又は多結晶SiGeの厚みをゼロにできるため、同一抵抗値を実現するのに必要なゲート電極の厚みを薄膜化できる。

メタルゲート電極の課題はしきい値電圧制御である。従来のSi基板を用いたプレーナ型トランジスタではしきい値電圧を0.1~0.2 Vに設定する必要があり、n型MOSFET(nチャンネルMOS型電界効果トランジスタ)には仕事関数が4.3 eV以下、p型MOSFETには4.8 eV以上の電極材料、すなわち2種類の仕事関数を持つデュアルメタルゲート電極を用いる必要がある。デュアルメタルゲート電極を実際に形成する場合、n型MOSFETとp型MOSFETにそれぞれ別々のメタル膜を形成する必要があるため、工程が複雑になりコストが大幅に増加するという問題がある。そこで、n型MOSFET、p型MOSFET領域に単一材料であるタングステンシリサイド(WSi)膜を形成した後に、p型MOSFET領域にだけ白金(Pt)膜を形成し、600℃以下の熱処理でp型MOSFET領域のWSiにPtを拡散させて仕事関数を変化させる技術を開発した。この技術を用いることによって、図2に示すようにn型MOSFET領域のゲート電極の仕事関数を4.4 eV、p型MOSFET領域のゲート電極の仕事関数を4.8 eVと、2種類の仕事関数のゲート電極を同時に形成することが可能になった。

## 2.3 ソースとドレインの浅接合化

### 2.3.1 ソースとドレインの延長部の浅接合化

ゲート電極直下のチャンネル領域に接するソースとドレインの延長部は、単に浅くするだけでなく、抵抗値をある程度低く保つことが要求され、n+で500 Ω/□以下、p+で1 k Ω/□以下の低抵抗値が要求される。次世代LSIをターゲットにすると、接合深さが20 nm以下であるため、イオンをSi基板に注入したときの不純物分布深さとしては10~15 nm程度にする必要がある。これを実現するためには、極低エネルギーのイオン注入技術が必要である。注入されたイオンの分布からの熱拡散距離を10 nm以下に抑えるためには、900℃以上に加熱されている時間を1s未満にする必要がある。熱処理時間を大幅に短縮するために、フラッシュランプを用いた瞬間熱処理技術を開発した。フラッシュランプの点灯時間は1 ms程

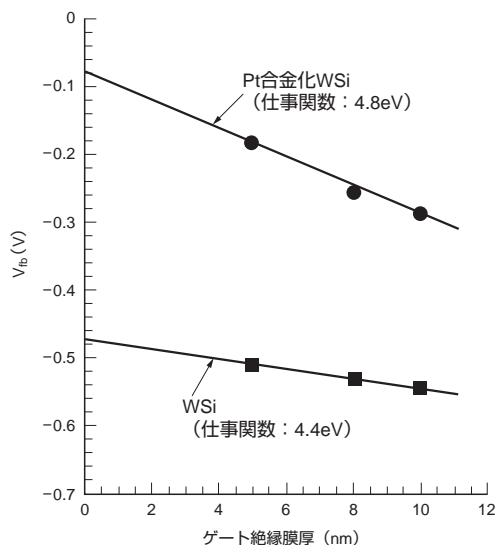


図2. WSi及びPtと合金化したWSiのフラットバンド電圧のゲート絶縁膜厚依存性 — ゲート絶縁膜の厚みを変えてフラットバンド電圧を測定したデータで、仕事関数はそれぞれ4.4 eV, 4.8 eVとなり、Ptと合金化することにより0.4 eV増加させることができる。  
Flat band voltage as function of gate oxide thickness for tungsten silicide (WSi) and platinum-alloyed WSi

度で、最高到達温度は1,100~1,200℃である。この加熱処理を行っても、図3に示すようにボロン(B)やヒ素(As)の原子はほとんど動かない、すなわちゼロ拡散技術であり、通常の1,000~1,050℃で1~2s程度加熱するハロゲンランプを用いた場合と比較して、10 nm以下の浅い不純物分布を得ることができる。

### 2.3.2 シリサイド構造の変更

ソースとドレインのシリサイド形成は、シリサイド/Siの界面がSi中に沈み込んで成長する。シリサイドを形成する領域の不純物拡散層の深さを約100 nmとすると、コバルトシリサイド(CoSi<sub>2</sub>)は36 nm沈み込むため、残りの深さは64 nmとなる。この程度の差であれば、拡散層の深さを多少深くするか、シリサイド膜厚を若干薄くするなどの方法を用いれば、接合リーク電流の問題を解決できる。しかし、不純物拡散層の深さが90 nm又は80 nmになってくると、CoSi<sub>2</sub>では残りの深さが54 nm又は44 nmになり、接合リーク電流が急激に増大してしまう。

そこで、接合リーク電流を低減するために、Si基板の食込み量が少ないシリサイド材料を開発した。Si基板への沈込み量を見ると、CoSi<sub>2</sub>が約36 nmであるのに対して、NiSiは約29 nmとSiの侵食量を20%減らすことができる。また、図4に示すように、NiSiを用いた場合にはCoSi<sub>2</sub>と比べて、シリサイド表面とシリサイド/Si界面を平坦にすることができ、これにより良好な接合特性を得ることができた。この技術は、拡散層深さが更に微細化した場合にも対応できる。

## 3 次世代トランジスタへの適用

これまでトランジスタでは、ゲート遅延を低減するためにゲート電極の低抵抗化が必要であり、それを実現するために、多結晶Si上に低抵抗材料(シリサイド)を積み重ねてゲート電極を形成してきた。この積層ゲート電極とSiO<sub>2</sub>をベースにしたゲート絶縁膜との組み合わせではトランジスタの性能向上に限界がきた。次世代以降のトランジスタでは、実効酸化膜厚

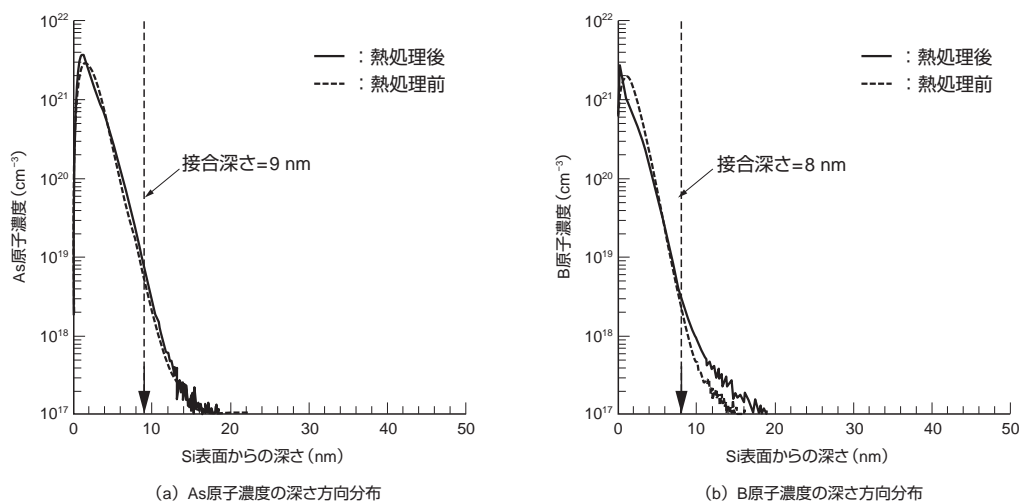
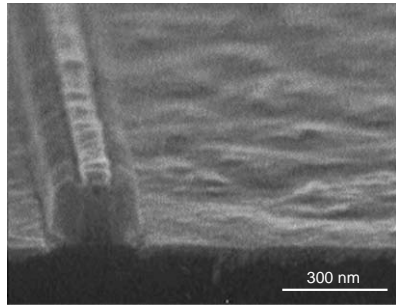
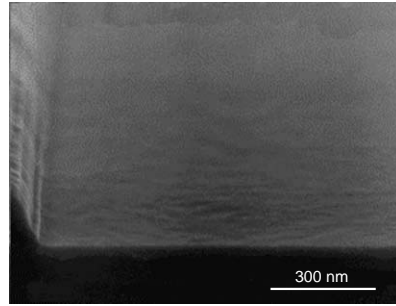


図3. フラッシュランプアニール前後のAs及びB原子濃度分布(二次イオン質量分析結果) — 接合深さは基板に含まれる反対の導電型の不純物濃度で決まり、接合の位置を矢印で示す。  
Arsenic and boron concentration depth profiles before and after flash lamp annealing (SIMS analysis results)



CoSi<sub>2</sub>



NiSi

図4. CoSi<sub>2</sub>とNiSi表面の電子顕微鏡写真—トランジスタのソースとドレイン上に形成されたシリサイド膜の表面を斜め上から見たもので、CoSi<sub>2</sub>と比較して、NiSiの表面が平たんになっている。

Scanning electron microscope views of cobalt silicide (CoSi<sub>2</sub>) and NiSi surfaces

が1 nm未滿のゲート絶縁膜が必要であり、ゲート絶縁膜の薄膜化トレンドを維持するためには、メタルゲートや高誘電率ゲート絶縁膜が不可欠になる。ゲート回りの技術と同様に、低抵抗で接合深さ20 nm以下の浅い拡散層を形成するための瞬間熱処理技術が必要である。また、配線のコンタクトする部分にはり付けるシリサイド材料は、Siの食込み深さを減らし、金属元素の拡散距離を浅くするために、低温でシリサイド形成が可能なNiSiを用いる。これらの技術をインテグレートして次世代トランジスタに適用していく。

モジュール技術と、各々のモジュール技術を集積化するインテグレーション技術が必要である。完成したトランジスタの性能はインテグレーションした時のプロセス条件の最適化により大きな影響を受けるため、各々の技術開発だけでなく、全体的な素子パラメータやプロセス条件の最適化が今後ますます重要になってくる。

#### 4 あとがき

次世代トランジスタの性能を向上させるために必要な要素技術やモジュール技術について述べた。トランジスタ技術は基板技術、マスク技術、リソグラフィ技術、エッチング加工技術、成膜技術、熱処理技術、クリーニング技術、化学研磨技術などの要素プロセス技術以外に、チャンネル技術、ゲート電極とゲート絶縁膜積層技術、ソースとドレイン技術、素子分離技術、シリサイド技術、コンタクトと配線技術などの



須黒 恭一 SUGURO Kyoichi

semiconductor社 プロセス技術推進センター 半導体プロセス開発第四部主幹。高性能トランジスタ技術の開発に従事。応用物理学会会員。

Process & Manufacturing Engineering Center



江口 和弘 EGUCHI Kazuhiro

semiconductor社 プロセス技術推進センター 半導体プロセス開発第四部グループ長。フロントエンドプロセス技術の開発に従事。応用物理学会会員。

Process & Manufacturing Engineering Center