

# 半導体プロセス技術の進歩と課題

Recent Progress of Semiconductor Process Technologies and Future Challenges

杉本 茂樹

■ SUGIMOTO Shigeki

神垣 哲也

■ KAMIGAKI Tetsuya

上條 浩幸

■ KAMIJO Hiroyuki

半導体プロセス技術は、大容量化、高性能化、低コスト化などの要求に応えるよう急速に進歩しており、半導体プロセスの開発は、微細化と新材料の二つを大きな柱として進められている。微細化は、配線寸法を年率約85%に縮小するための継続した技術革新であり、新材料はデバイス性能要求を満足するために導入される。

東芝は、これら多岐にわたるプロセス技術分野で世界トップレベルの技術力を持ち、先端技術のロードマップに従って、新世代の半導体デバイスの開発に成功している。

Semiconductor process technologies are making rapid progress in terms of scale, performance, and cost to meet customers' requirements. Nanofabrication and the use of exotic materials are two major pillars of semiconductor process development. Nanofabrication is being achieved as a result of continual technological innovation, enabling interconnection size to be reduced by about 85% annually. At the same time, exotic materials are constantly being researched to meet the demand for higher device performance.

Toshiba has the world's top-level capability of these process technologies that encompass many different fields, and has succeeded in developing new-generation semiconductor devices at the leading edge of the technology roadmap.

## 微細化と新材料の開発

半導体製品は、活用の範囲が広がっており、日常生活の隅々にまで使われるようになってきている。今日の多様化するニーズに応え、半導体製品の普及・拡大を、製造技術として支えているのが半導体プロセス技術である。半導体プロセスの技術開発は、“微細化”と“新材料”の二つのキーワードによって表すことができる。

微細化とは、半導体に用いられる配線やトランジスタの最小線幅及び間隔を狭くしていくことを言う。微細化により単位面積当たりの素子数を増加させることが可能となる。このことは例えば、同一記憶容量のメモリを作った場合、1枚のシリコン(Si)ウェーハから取れるチップの数が増すことになり、1チップ当たりのコストを安くすることができる。他方、同一面積のチップを作製した場合には、1チップ当たりの記憶容量を増加させ、より多くの情報の格納が可能となる。

微細化技術は、半導体製品の高集積

化の牽引(けんいん)役として世界中の半導体製造メーカーが先を争って開発を進めている。

ITRS\*(\*は、囲み記事参照)における、先端ロジックの最小配線ピッチを図1に示す。この図のように、配線幅は1年ごとにおよそ85%に縮小してい

くことが求められている。

微細化技術は、通常マスクからSiウェーハ上へ回路パターンを転写するリソグラフィ技術\*に代表されるが、実際のウェーハ上に所定の回路パターンを形成するには、リソグラフィ技術以外にも多くの技術革新が必要である。

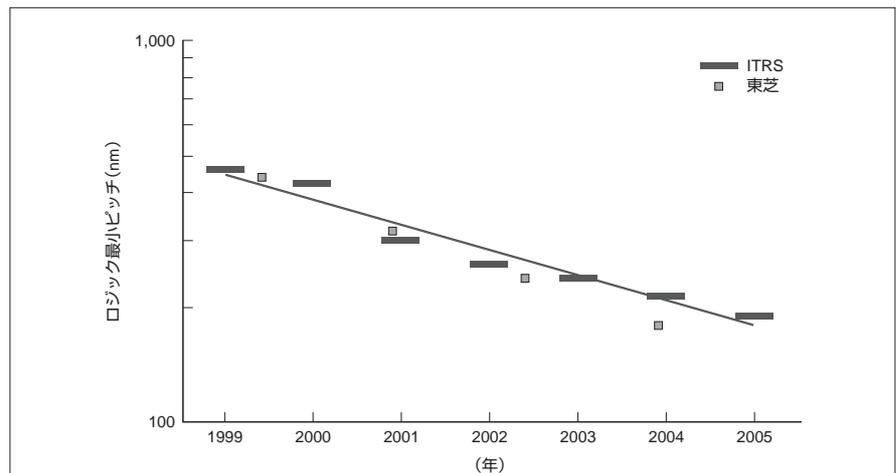


図1. ITRSの微細化ロードマップと東芝の実績 — ロードマップでは年率およそ85%に微細化することが求められており、当社はロードマップに沿った微細加工技術を確立してきた。

\* ITRSでは、先行メーカーが1万個/月の量産を達成する年を規定している。当社データはサンプル出荷を達成した時期をプロットした。

International Technology Roadmap for Semiconductors (ITRS) and status of Toshiba

東芝では、それらの微細加工技術と呼ぶべき分野において最先端の技術開発を行い、技術ロードマップに沿った微細加工技術を確立してきた。

次に、半導体プロセス開発のもう一つの柱である新材料開発に関して述べる。前述のように微細化を進めるなかで、処理速度や消費電力などの特性を満足させることが必要である。しかし、微細化は必ずしも特性の向上に結びつかない。例えば、様々な電気信号を伝達する配線は、配線幅が細くなることで単位長さ当たりの抵抗が上昇してしまう。あるいは、MOSFET(金属酸化物半導体電界効果型トランジスタ)では、ゲート寸法を細くした場合、正常なトランジスタ動作を保証するためには、ゲートに用いられる絶縁膜の厚さを薄くしたり、ソースとドレイン部に導入された不純物のpn接合を浅くする必要がある。

ところが絶縁膜を薄くすることは、ゲート電極からSi基板に流れる漏れ電流の増加を生じさせ、pn接合を浅くすることは、ソース及びドレイン部の抵抗を上昇させてしまう。抵抗や漏れ電流は、使われている配線材料や絶縁膜材料固有の物理特性に依存するところが多い。したがって、これらの課題を克服する手段として、新たな材料の導入が必要となっている。

新材料開発は、成膜技術にとどまらず加工性や汚染による特性劣化防止など、材料の物性を理解したうえで半導体製造工程に組み入れる必要があり、微細化以上に開発に時間を要することが多い。当社では求められる微細加工以前から、その世代に要求される新材料の開発を進めており、微細化に遅れることなく新材料を実用化している。

以下、微細化と新材料の2点に関して、過去から将来に向けた技術動向について述べる。

## 微細化技術の変革

### 微細化技術の概要

最初に典型的な微細加工の手順について断面図(図2)を使って説明する。Si基板上に形成された導電体薄膜上に、感光性のあるレジストを塗布し(a)、写真技術を用いたリソグラフィ技術を用いて、微細な回路パターンをマスクからレジスト膜に転写する(b)。次にレジスト膜で保護されていない部分の導電体膜を異方性の強いイオン性ガスにより除去する(c)。この技術をRIE\*技術と呼ぶ。レジスト膜を酸素ラジカルで除去した後、上層配線との短絡を防ぐため絶縁膜を成膜する(d)。成膜直後のウェーハ表面は下層配線のパターンを反映し、細かな凹凸がある。このままでは上層の配線加工が困難なため、ウェーハ表面の平坦(へいたん)化を行う(e)。平坦化にはCMP\*技術

が使われる。

実際のデバイスは、このような工程を何回も繰り返すことにより完成する。

### 微細化のためのプロセス技術の進歩と課題

微細化技術の変革を表1に示す。

配線寸法を年率で85%以下に微細化するためには、リソグラフィ技術の解像度向上は不可欠である。解像力を決定する大きな因子として光源の波長が挙げられる。250 nm世代から高圧水銀ランプのi線(365 nm)に替わりKrFエキシマレーザ(248 nm)が用いられ、更に90 nm世代ではArFエキシマレーザ(193 nm)へと短波長化を進めてきた。今後もF<sub>2</sub>レーザ(157 nm)などにより短波長化が進められると考える。また、露光装置の光学レンズの進歩や、変形照明と呼ばれるレンズの一部を通る光だけで結像する方法や

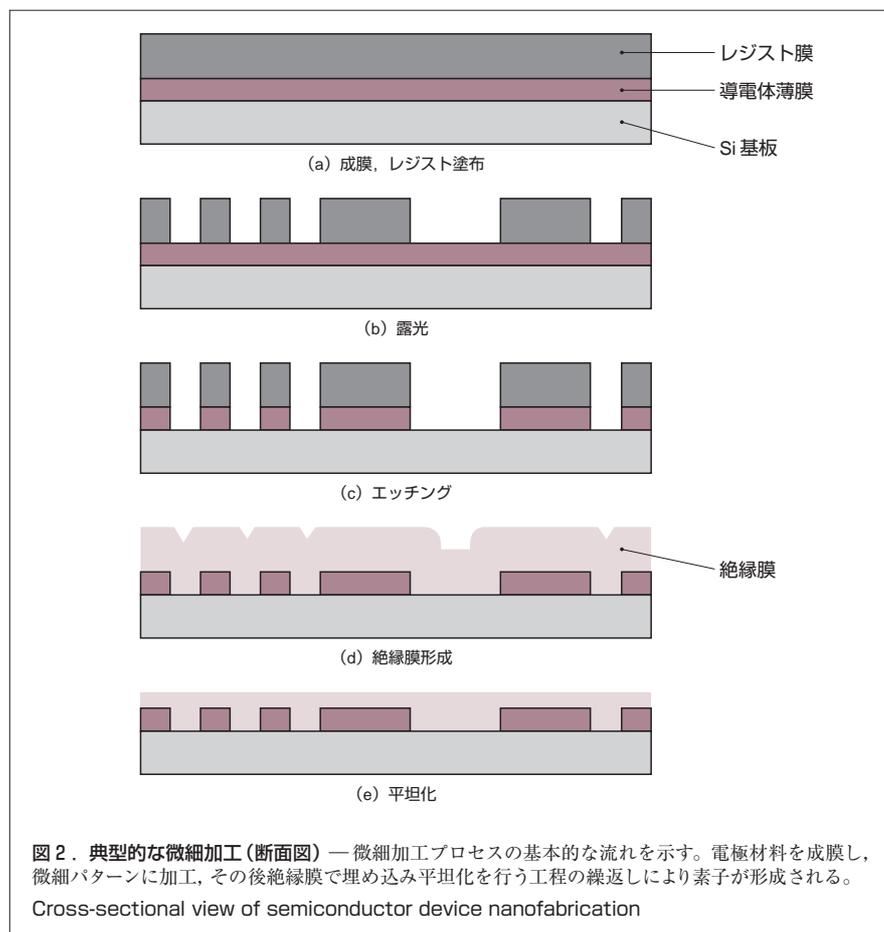


表1. 各世代での微細化技術の変遷

Trend of typical process technologies

世代	~400 nm	250 nm	180 nm	130 nm	90 nm	65 nm
リソグラフィ技術 (光源波長)	i線 (365 nm)	KrF エキシマレーザ (248 nm)		ArF エキシマレーザ (193 nm)		
平坦化技術	BPSG リフロー	CMP				
絶縁膜技術	CVD		HDP			
コンタクトメタル 技術	PVD	CVD			ALD	

BPSG : Boronic Phosphoric Silicate Glass

フォトマスクに工夫を加えることで、同一光源でも解像度を上げることができる。これらの組合せが短波長化を補完して微細化が進められてきた。反面、解像限界近傍で露光することによる弊害も現れてきている。ある特定のパターンを忠実に転写しようとする、別のパターンが設計どおりに形成さ

れなくなる OPE (Optical Proximity Effect) の問題である。この対策として、OPE をあらかじめ見積もりフォトマスクを修正する OPC (Optical Proximity Correction) 技術が重要度を増し、近年発達を遂げている。

RIE は、リソグラフィにより形成されたレジストパターンを正確にウェーハ

上に加工する技術として重要である。微細化により許容される寸法公差は線幅トレンドに比例して厳しくなる。また、パターンの縮小によりエッチング速度が低下し、ある深さから先にエッチングが進まないエッチストップ現象も見られるようになる。これらの問題に対し、RIE のイオンエネルギーの広範囲な制御が求められる。もう一つの加工の問題として、マスクとなるレジスト膜厚が世代を追って薄くなることが挙げられる。エッチング終了までレジスト膜が所要の厚さを維持できなくなり、寸法変動の原因となる。当社では積層エッチングマスクプロセス (Stacked Mask Process) を開発し、対応している。

成膜に関しては、微細化により下地段差の深さと間口の比 (アスペクト比) が増大することが問題となり、より段差

## キーワード解説

### ■ ITRS

ITRS (International Technology Roadmap for Semiconductors) は、米国、日本、韓国、台湾、欧州の半導体工業会が中心となり、世界各国の有力な半導体製造メーカーや装置・材料メーカーそして大学からの有識者で構成された委員会によって定められた半導体技術のロードマップである。2年に1度見直しが行われている。

### ■ リソグラフィ技術

設計情報を基に作られたマスクパターンを、光学レンズやミラーを用いてウェーハ上に塗布したレジスト膜に縮小投影してレジストを感光し、現像工程によりレジストパターンを形成する方法である。リソグラフィの解像限界によって、ウェーハ上に形成できるパターン寸法の限界が決められる。

### ■ RIE

RIE (Reactive Ion Etching) は、腐食性ガスを用いて対象となる物質を除去するドライエッチング技術の一種である。プラズマにより活性化させたイオンを電界加速して被エッチング材料に照射し、エッチングを行

う。エッチングの進行に方向性がある (異方性エッチング) ため、レジストなどのエッチングマスクのパターンを精度よく被エッチング膜に転写できることから、微細加工で広く使われている。

### ■ CMP

CMP (Chemical Mechanical Polish) は、研磨布上にスラリー (研磨液) を流し、ウェーハを研磨布に押し付けながら回転させることでウェーハ表面を平らに削る技術である。当初は配線上に形成された絶縁膜の段差を削り平坦にすることに用いられたが、近年は、メタル配線形成方法の一つであるダマシン技術 (後述) で、配線部以外の金属材料の除去にも使われている。

### ■ CVD

CVD (Chemical Vapor Deposition) は、気相での化学反応を利用してウェーハ上に絶縁膜や導電膜を形成する技術である。減圧 (Low Pressure) 下で温度を上げ熱反応で成膜する LP-CVD や、比較的低温で反応ガスをプラズマ励起して成膜するプラズマ CVD 技術が代表的である。前者は段差被

覆性 (ステップカバレッジ) に優れるが、高温成膜のため、メタル配線後などのウェーハ温度が上げられない工程にはプラズマ CVD が用いられる。

### ■ HDP

HDP (High Density Plasma) は、プラズマ CVD 技術の一種である。従来のプラズマ CVD は段差被覆性が悪いことから、狭く深い溝へ膜を埋め込むには適さなかった。HDP はプラズマ活性なイオンを用いて、溝の上部にオーバハングして堆積 (たいせき) した膜を削りながら成膜を進めることにより段差被覆性を高め、埋込み性能を改善している。

### ■ PVD

PVD (Physical Vapor Deposition) は、真空中でターゲットと呼ばれる陰極材料にプラズマ中で発生したイオンを衝突させ、飛び出てきたターゲット原子 (スパッタ現象) をウェーハ上に堆積させる成膜技術である。例えば、チタン (Ti) のターゲットをアルゴン (Ar) ガスでスパッタすると Ti 膜が形成され、Ar と窒素 (N<sub>2</sub>) ガスでスパッタすると窒化チ

被覆性の良い成膜技術へと進んでいる。絶縁膜に関しては、CVD\*技術をベースにHDP\*と呼ばれる溝間口の角部を削りながら成膜する技術が開発された。メタル系材料に関しても、上層配線と下層配線を接続するコンタクトホールのアスペクト比が増大し、同様に段差被覆性の良好な成膜技術が要求される。従来用いられていたPVD\*の一種であるDC(直流)マグネトロンスパッタ法に替わり、CVD法がメタル成膜でも開発された。更に、近年の微細化に伴い、原子レベルの薄膜層を積み重ねるALD\*が導入されようとしている。

最後に平坦化技術もリソグラフィ技術と大きなかわりを持って進歩してきた。すなわち、微細化が進むにつれ、露光時にウェーハ上で焦点の合う範囲

(DOF: Depth of Focus)が狭くなる。したがって、ウェーハ表面に起伏をなくしDOFの範囲以内まで平坦にすることが求められる。この要求に基づき、ウェーハ表面を研磨するCMP技術がKrFエキシマレーザー露光の世代から使われるようになった。

## 材料の変革

### MOS LSIの材料変遷の概要

MOS LSIの基本構造はMOSFETとそれらを接続する配線から成る。MOSFETは図3に示すように半導体基板、ゲート絶縁膜(主にシリコン酸化膜(SiO<sub>2</sub>膜))、電極から成るMOS構造を基本に、電極両脇の基板に形成された拡散層から成り、素子分離構造によって電気的に分離されている。これ

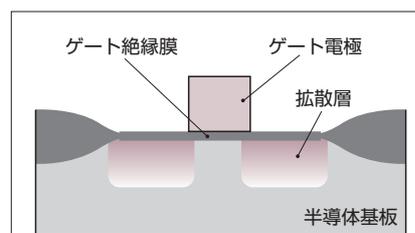


図3. MOSFETの断面 — MOSFETは素子分離となる厚い絶縁膜に囲まれた半導体基板表面にゲート絶縁膜とゲート電極が重なって成膜され、その電極の両脇の基板に基板と反対導電型の不純物が拡散された構造を持っている。

Cross-sectional schematic of metal-oxide semiconductor field-effect transistor (MOSFET)

までのMOSFETの材料の主な変革としては、電極材料の変遷、そして昨今は、ゲート絶縁膜が大きな変遷を遂げようとしている。また配線材料はLSIが開発された当初はアルミニウム(Al)

タン(TiN)が成膜できる。メタルの成膜に広く用いられるが、段差被覆性が低いことが欠点である。

#### ■ ALD

ALD(Atomic Layer Deposition)は、反応ガスをウェーハ表面に吸着させることで原子レベルの堆積が可能となる。これを繰り返すことで、極めて段差被覆性の良い薄膜が形成できる。深い溝への成膜に対応した技術である。

#### ■ シリサイド

シリコン(Si)と金属との化合物をシリサイド(正確にはメタルシリサイド)と呼ぶ。モリブデン(Mo)、タングステン(W)、チタン(Ti)、コバルト(Co)、ニッケル(Ni)との化合物が半導体に使われてきた。特性的にメタルと多結晶シリコンの中間の抵抗を持ち、メタルに比べて高温で安定なことから、高温工程を通す必要があるトランジスタ電極に使われている。多結晶シリコン膜と積層で使われる場合をポリサイドと呼ぶ。

#### ■ サリサイド(SALICIDE)

Self Aligned silicideの大文字部分で作

られた造語で、自己整合的に作られるシリサイドのことをサリサイドと呼ぶ。

製法は、金属をウェーハ上に成膜し、適当な熱処理を施して金属とシリコンを反応させてシリサイドを形成する。続いて、薬液で余剰な未反応金属を取り除く。こうして金属とシリコンの接している部分だけにシリサイドが形成できる。

#### ■ High-k膜

シリコン酸化膜(SiO<sub>2</sub>膜)の比誘電率(3.9)よりも比誘電率の高い膜を指すが、シリコン窒化膜(SiN膜)はメモリのゲート絶縁膜に長く使われてきたことから、SiNより比誘電率が高い材料を指すのが一般的である。MOSFETの駆動電流向上のため、ゲート酸化膜は世代ごとに薄膜化され続けてきたが、その結果ゲート酸化膜からのリーク電流が増加した。1nm近傍の膜厚ではリーク電流が許容できないレベルに達し、物理膜を厚くする必然性から、比誘電率の高い膜が要求されている。

#### ■ バリアメタル

金属材料の拡散防止や相互反応防止の

ために用いられる金属膜の総称である。相互の母材と密着性がよく、反応しない材料が用いられる。TiN膜がSiとアルミニウム(Al)との反応防止に用いられたことが始まりで、銅(Cu)配線においてはCuの熱拡散を防止するためにタンタル(Ta)やTaNが使われている。また、バリアメタルは配線の信頼性を向上する効果もある。

#### ■ Low-k

多層配線では、LSIの高速化のためには、配線容量は低いことが望ましい。ゲート酸化膜とは逆に、層間絶縁膜の比誘電率はSiO<sub>2</sub>より低い材料へと移行している。

#### ■ ダマシン

層間絶縁膜に溝を形成し、金属を埋め込んで、溝外のメタルを除去する配線形成方法である。多層配線の配線層間を接続するビアと配線となる溝とを加工し、両者同時に金属を埋め込んでから余剰なメタルを除去する方法は、特にデュアルダマシンと呼ばれる。

表2. 当社の各世代におけるLSIの構造・材料変遷

Trend of structures and materials of Toshiba LSIs

世代	~400 nm	250 nm	180 nm	130 nm	90 nm	65 nm
ゲート絶縁膜 (電気的膜厚: nm)	酸化膜 (8) (5.5)		SiON膜 (2.5) (2) (1.4) (1)			
ゲート電極 (比抵抗: $\mu\Omega\cdot\text{cm}$ )	WSi/Si (50)	TiSi/Si (20)	CoSi/Si (20)		NiSi/Si (18)	
コンタクトホール	Alスパッタ		W-CVD			
配線材料 (比抵抗: $\mu\Omega\cdot\text{cm}$ )	Al (3.3)			Cu (2.2)		
層間絶縁膜 (比誘電率)	F添加SiO <sub>2</sub> 膜 (3.7)			(3.4)	SiOC膜 (2.9) (2.6)	

が用いられたが、信頼性向上を目的にチタン(Ti)系の材料との積層膜が実用化され、現在ロジック製品では銅(Cu)配線が主流となっている。

また、LSIの高スピード化の要求から、配線が持つ容量低減を目的にSiO<sub>2</sub>膜から更に誘電率の低い膜が実用化されてきた。当社のMOSFETと配線の移り変わりを表2に示す。各世代ごとにいくつかの材料的な変革を行うことで、高性能化と高信頼性化に対応してきたが、特にMOSFET周りでは250 nm世代でもっとも大きな変革があり、配線材料は130 nm世代で大きな変革を遂げている。

### ゲート電極材料の変遷

ゲート電極材料は、一般に多結晶Siが用いられる。これまでデバイス高性能化の要求に伴い、電極の抵抗を下げるために多結晶Siと低抵抗材料との積層構造が適用されてきた。

400 nm世代では、多結晶Si上に、タ

ングステン(W)とSiの化合物であるタングステンシリサイド\*(WSi)の積層電極が実用化された。低抵抗電極の材料と形成方法は、250 nm世代のロジックから一変した。それまで電極Siへのドーピングはn型単独だったが、この世代から、n型MOSFETの電極へはn型の不純物を、p型MOSFETにはp型の不純物をイオン注入で行うようになった。

また、電極と同時に拡散層の低抵抗化も必要となり、電極と拡散層表面にTiを成膜し、電極及び基板のSiと反応させ、チタンシリサイド(TiSi)を自己整合的に表面に作るサリサイド技術\*が適用された。プロセス的には、図4に示すように拡散層を含めてMOSFETの基本構造を作ってから、電極と拡散層にシリサイド層を形成している。

更にシリサイド反応が基板深くまで達すると、電流が基板に逃げてしまうことから、低抵抗かつ反応層が浅くできる金属材料が求められ、180 nm世代で

はコバルト(Co)が、65 nm世代ではニッケル(Ni)が実用化されようとしている。

更に、多結晶Siに不純物をドーピングした電極は空乏化が避けられないため、当社をはじめ世界中で、電極を金属化する開発が進められている。

### ゲート絶縁膜材料の変遷

MOSは、SiO<sub>2</sub>という安定で、良質な膜が簡単に形成できたことから発達を遂げた。MOS LSIの長い歴史のなかで、ゲート絶縁膜は現在も基本はSiを熱酸化した膜が用いられている。ゲート絶縁膜はMOSFETの特性・性能向上に対し薄膜ほど有利であるが、リーク電流と信頼性の問題から薄膜限界が決められる。実際には、デバイスで使われる電源は世代ごとに低電圧化され、ゲート絶縁膜の薄膜化が進められてきた。ゲート絶縁膜に変化を及ぼしたのは、p型のMOSFETのゲート電極にはホウ素(B)をドーピングするようになり、熱処理でBがゲート酸化膜を擦り抜けて基板に拡散し、トランジスタ特性をシフトさせてしまう問題が発生したことによる。

この現象は薄膜のSiO<sub>2</sub>に見られ、当社ではこの問題を回避するため、SiO<sub>2</sub>を熱窒化したシリコン窒化膜(SiON膜)を180 nm世代から導入した。技術的にはSiO<sub>2</sub>膜表面をNOガスにさらし、熱反応でSiO<sub>2</sub>膜をシリコン窒化膜(SiN膜)に近づける技術である。90 nm世代のロジックLSIでは、更に窒素プラズマを用いて最表面だけ窒化する技術を適用している。45 nm世代ではゲート絶縁膜を0.7 nmまで薄膜化しようとしている。この膜厚になると、ゲート絶縁膜を通じて流れるリーク電流は、システムとして無視できるレベルではなく、特にモバイル市場を狙ったLSIではこのリーク電流は大きな弊害である。

昨今、世界中で開発のしのぎを削っているのがSiO<sub>2</sub>に比べ高い比誘電率を持つ材料、いわゆるHigh-k膜\*を用いたMOSFETの開発である。物理膜厚

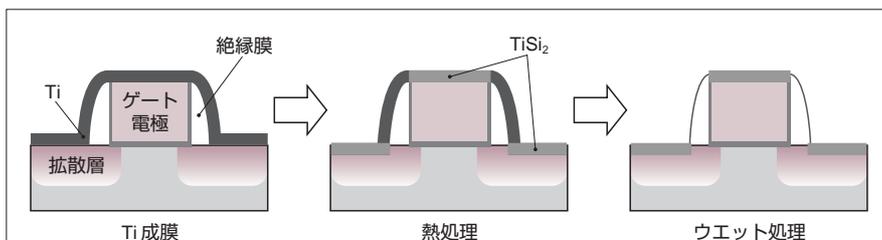


図4. Tiサリサイドの形成プロセス — ゲート電極と拡散層領域のSiに選択的に高融点金属を反応させ、低抵抗なシリサイドが簡単に形成できる。

Forming process of titanium self-aligned silicide (Ti salicide)

を厚くしても電気的には薄い膜としてふるまう材料で、誘電率の高いハフニウム(Hf)系の膜が注目を集めている。

### ■ 配線・層間絶縁膜材料の変遷

LSIの配線材料には、従来Alが用いられてきた。Alは抵抗が低く、成膜や加工が容易で扱いやすい材料だが、反面融点が低く、大量の電流を流し続けたり、過剰のストレスを受けると断線に至る信頼性上の弱点がある。

この問題に対しては、Al中にCuを混ぜたり、Al配線下に、チッ化チタン(TiN)などのバリアメタルを敷くことで改善している(図5)。

また、二つの配線層を接続するコンタクトホールでは、Al成膜に使用されるスパッタ技術では段差被覆性が不十分なため、ホール内にAlを埋め込むことが困難となり(図5)、400 nm世代からはCVDにより成膜できるWがコンタクトホールの埋込み導電体材料として実用化された。更に微細化の進行によって、180 nm世代から配線の低抵抗化と高い電流密度に耐えうる高信頼性の要求によりCu配線が開発され、電流を多量に流す電源線に適用された。130 nm世代からはすべての配線層がCuに置

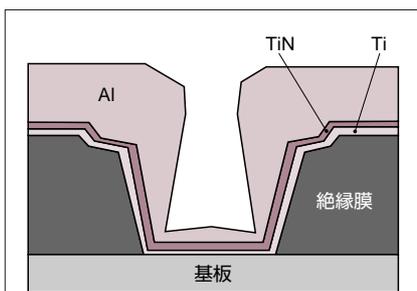


図5. バリアメタル付きAl配線の基板とのコンタクト部断面構造 — LSIの微細化に伴いコンタクトホールも微細化され、配線材料のAlの成膜だけでは十分電流を流しても断線しないコンタクトの形成が次第に困難になったため、Al配線下にTiNを敷くことで改善している。

Cross-sectional schematic of aluminum wiring contact hole

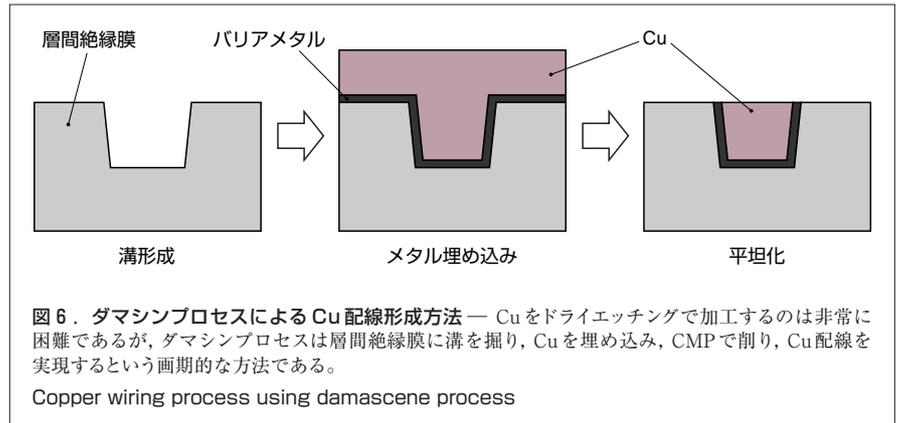


図6. ダマシンプロセスによるCu配線形成方法 — Cuをドライエッチングで加工するのは非常に困難であるが、ダマシンプロセスは層間絶縁膜に溝を掘り、Cuを埋め込み、CMPで削り、Cu配線を実現するという画期的な方法である。

Copper wiring process using damascene process

き換わった。Cuのプロセスは図6に示すように、これまでの配線材料をRIEで加工する方法に替わって、ダマシンプ\*と呼ばれる、溝を形成してからメタルを埋め込み、CMPプロセスでメタルを削る手法が取られている。

また、配線と配線の間を分離する層間絶縁膜に関しても、配線間の容量低減の要求から400 nm世代で変革が起こり、それまで用いられてきたSiO<sub>2</sub>膜に対して比誘電率(k)を下げるためにフッ素をドーブした膜(k = 3.7)が適用され始めた。更に低誘電率化の要求から、130 nm世代ではk = 3.4のフッ素ドーブの酸化膜が、90 nm世代ではk = 2.9のLow-k膜\*が、65 nm世代ではk = 2.6のLow-k膜が実用化されようとしている。

### プロセス技術力による市場拡大

半導体産業は、市場の要求に従って1.5~2年に1世代の速度で新製品を生み出してきた。このトレンドは今後も変わることなく続いていくだろう。半導体技術の進歩により、大容量化、高性能化、低コスト化が進み、新たな市場が創出される。

半導体プロセス技術の対象とする範囲は、光学、物理学、化学など多岐にわたり、それぞれの先端技術の結集に

よって初めて新しい世代の製品を生み出すことができる。近年微細化のトレンドが鈍化し、材料の更新サイクルが短くなり、プロセス開発の困難度が急激に増している。

当社は、今後も世界トップレベルのプロセス技術力の堅持に努め、いち早く新製品を世に送りだすことを物作りの面で支えていく。



杉本 茂樹  
SUGIMOTO Shigeki

セミコンダクター社 プロセス技術推進センター  
半導体プロセス開発第三部長。メモリ及びロジックのプロセスモジュール開発に従事。  
Process & Manufacturing Engineering Center



神垣 哲也  
KAMIGAKI Tetsuya

セミコンダクター社 プロセス技術推進センター  
半導体プロセス開発第三部グループ長。メモリのプロセスモジュール開発に従事。  
Process & Manufacturing Engineering Center



上條 浩幸  
KAMIJO Hiroyuki

セミコンダクター社 プロセス技術推進センター  
半導体プロセス開発第三部グループ長。ロジックのプロセスモジュール開発に従事。  
Process & Manufacturing Engineering Center