

## 次々世代極微細LSI用 Si直接接合エピタキシャルゲート絶縁膜

### 格子面間隔の拡大による高誘電率化で 極薄ゲート絶縁膜を実現

シリコン(Si)LSIの微細化は、とどまるところを知りません。2010年以降に登場が予想される次々世代極微細LSIでは、トランジスタのゲート絶縁膜の厚さはシリコン酸化膜(SiO<sub>2</sub>)換算で0.5ナノメートル(nm, n: 10<sup>-9</sup>)以下が要求されています。

このような極薄膜を実現するためには、より誘電率の高い材料を開発するとともに、絶縁膜とSiとの界面を原子層レベルで精密に制御する必要があります。ここでは、セリウム酸化物(CeO<sub>2</sub>)を用いた高誘電体ゲート絶縁膜について紹介します。格子面間隔を制御して高誘電率化を図るとともにSiに直接接合させることで、SiO<sub>2</sub>換算膜厚で0.38 nmという極薄膜を達成しました。

#### 次々世代ゲート絶縁膜 に対する要求

Si LSIの高性能化は、トランジスタ寸法の比例縮小(スケーリング則)により達成されてきました(図1)。しかし、従来から用いられているSiO<sub>2</sub>からなるゲート絶縁膜では、厚さが2 nm以下になると直接トンネル電流が流れ始めます。このため、漏れ電流が大きくなり消費電力の増加を招きます。この問題の解決のために、SiO<sub>2</sub>より誘電率の高い材料の研究が進められています。SiO<sub>2</sub>換算膜厚=(SiO<sub>2</sub>の誘電率/高誘電体の誘電率)×実膜厚で定義さ

れ、誘電率の高い材料ほど絶縁膜を厚くできるので、漏れ電流を抑えるためには有利だからです。

東芝では、SiO<sub>2</sub>換算膜厚として1 nm程度が要求される次々世代LSI用の高誘電体ゲート絶縁膜材料として、HfSiON(窒素添加ハフニウムシリケート)を開発し実用化を目指しています(東芝レビュー .58, 4, 2003, p70-71 参照)。今回お話をするのは、それよりも先の世代(2010年以降)の極微細LSIに向けたゲート絶縁膜です。SiO<sub>2</sub>換算で0.5 nm以下という極めて薄い膜厚が必要とされています。

Siは酸素と反応しやすく、Si上に金属

酸化物を成膜すると界面にはSiO<sub>2</sub>が形成されやすいことが知られています。SiO<sub>2</sub>の1原子層の厚さは約0.18 nmです。つまり、界面にわずか3原子層のSiO<sub>2</sub>が形成されただけで0.5 nmを上回ってしまいます。要求されるSiO<sub>2</sub>換算膜厚を実現するためには、SiO<sub>2</sub>の形成を抑制することが必須です。更に、誘電率としては、4.0以上の値が望まれます。

#### Si直接接合セリウム酸化物の特性

SiO<sub>2</sub>形成を抑制する一つの方策として、金属酸化物結晶をSiに直接接合させる手法があります。1998年に米

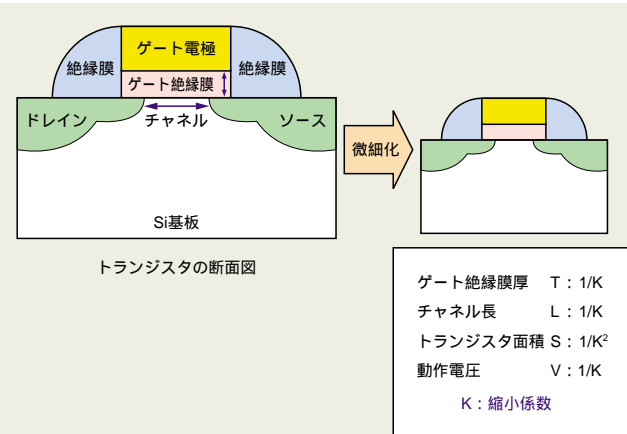


図1. 比例縮小(スケーリング則)によるトランジスタの微細化 - ゲート絶縁膜の厚さやゲート長などのトランジスタの各部分の寸法を同時に縮小することで、微細化時の素子特性を正常に保ち性能を上げることが可能となります。

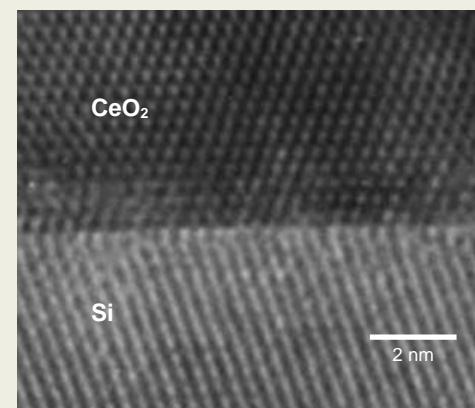


図2. 透過型電子顕微鏡によるセリウム酸化物(CeO<sub>2</sub>)/Si界面の断面像 - 界面に非晶質層であるSiO<sub>2</sub>は形成されておらず、CeO<sub>2</sub>とSiの格子がきれいに連なっています。

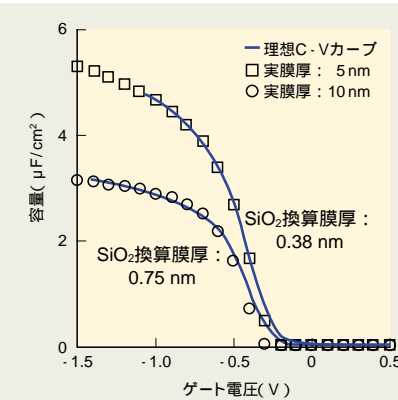


図3. Siに直接接合したCeO<sub>2</sub>の容量-電圧(C-V)特性 - 理想C-Vカーブとの比較により、CeO<sub>2</sub>の実膜厚が5 nmのときSiO<sub>2</sub>換算膜厚で0.38 nmという極薄膜が実現できていることがわかりました。

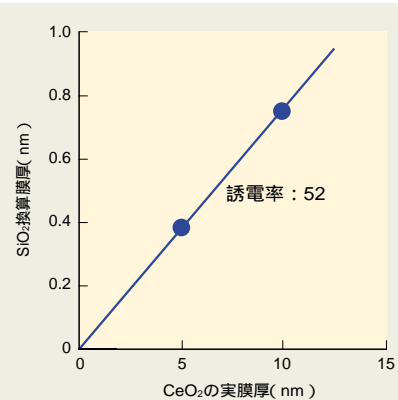


図4. CeO<sub>2</sub>の実膜厚とSiO<sub>2</sub>換算膜厚の関係 - 実験値(図中: ●)と原点を通る直線の傾きから誘電率が52と求められます。この値はCeO<sub>2</sub>の報告値(26)と比べて2倍高い値です。

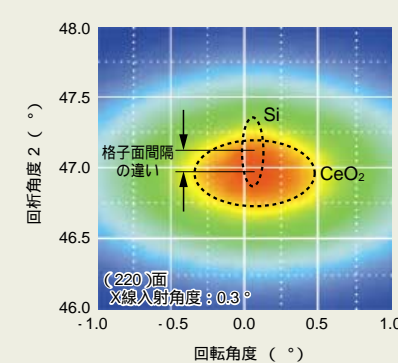


図5. X線回折法により測定したCeO<sub>2</sub>/Siの逆格子マッピング - SiとCeO<sub>2</sub>の回折角度差からSiに直接接合したCeO<sub>2</sub>の格子面間隔は、報告されている値より0.6%大きいことがわかりました。

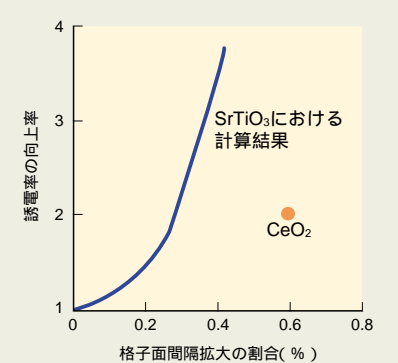


図6. 格子面間隔の拡大による誘電率の向上 - SrTiO<sub>3</sub>における理論計算の結果と同じように、CeO<sub>2</sub>でも格子面間隔が拡大することにより誘電率が向上すると考えられます。

原子の間隔(格子面間隔)を評価しました。その結果Siに直接接合したCeO<sub>2</sub>の格子面間隔は、一般的に報告されている値に比べて、0.6%だけ大きいことがわかりました(図5)。これまでに、SrTiO<sub>3</sub>において格子面間隔が拡大すると、内部イオンが受ける力が変化して誘電率が向上することが、理論計算から示されています。CeO<sub>2</sub>においても、格子面間隔の拡大は0.6%程度ですが、大幅な誘電率の向上が見られました(図6)。格子面間隔は、CeO<sub>2</sub>成膜時の酸素供給量により制御できることも明らかになってきています。

#### LSIの更なる高性能化を目指して

次世代LSIのゲート絶縁膜材料はHfSiONに絞られてきました。しかし、次々世代の材料に関してはほとんどとしており、本命材料は明確になっていません。

今回の結果は、ゲート絶縁膜材料の高誘電率化の一つの鍵となりうるものです。当社ではSi LSIの高性能化を推進し高度情報化社会の発展に貢献するため、次々世代ゲート絶縁膜材料の開拓をいち早く進めていきます。

西川 幸江

研究開発センター  
LSI基盤技術ラボラトリー研究主務

国のグループが、Siに直接接合したチタン酸ストロンチウム(SrTiO<sub>3</sub>)ゲート絶縁膜を初めて実現しました。しかし、SiO<sub>2</sub>界面層をなくすことは技術的困難度が高く、後に続く報告はありませんでした。

当社では、希土類酸化物の一つであるセリウム酸化物(CeO<sub>2</sub>)を分子線エピタキシー法を用いて成膜しました。成膜初期過程を原子層レベルで精密に制御することにより、Si上への直接エピタキシャル成長を達成しました(図2)。

CeO<sub>2</sub>/Si直接接合膜を用いて作製したキャパシタの電圧-容量(C-V)特性を、解析的に導出した理想C-V特性

と比較しました(図3)。CeO<sub>2</sub>の実膜厚が5 nmのときにSiO<sub>2</sub>換算膜厚で0.38 nmという極薄膜が実現できました。これは、今まで報告されている高誘電体ゲート絶縁膜のなかではいちばん小さい値です。

CeO<sub>2</sub>物理膜厚とSiO<sub>2</sub>換算膜厚との関係から、Siに直接接合したCeO<sub>2</sub>の誘電率は52であることがわかりました(図4)。一般的に報告されているCeO<sub>2</sub>の誘電率(26程度)と比べて、今回得られた誘電率は約2倍の高い値です。なぜこのように高い誘電率が得られたのでしょうか。

X線回折法により、結晶中の原子と