

5 GHz 帯無線 LAN 用ベースバンド LSI

IEEE802.11a-Compliant Baseband LSI for 5 GHz-Band Wireless LAN

畝川 康夫

UNEKAWA Yasuo

東芝は、IEEE 802.11a(米国電気電子技術者協会規格 802.11a)準拠の 5 GHz 帯無線 LAN 用ベースバンド LSI を開発した。この LSI は、0.18 μm CMOS(相補型金属酸化膜半導体)6 層メタルプロセスにより約 3,000 万個のトランジスタを集積化し、高精度 ADC(アナログ/デジタル変換器)/DAC(デジタル/アナログ変換器)、専用ハードウェア(H/W)エンジン、32 ビット RISC(縮小命令セットコンピュータ)CPU、大容量 SRAM(Static RAM)などの搭載により、MAC(Media Access Control)層及び PHY(物理)層の機能を 1 チップで実現した。PHY 層の伝送レートは最高 54 Mbps に対応し、組込み CPU を搭載することでほぼすべての MAC 層プロトコル処理を実現して、ホスト CPU に掛かる負荷を低減した。

Toshiba has developed an IEEE802.11a-compliant baseband LSI for 5 GHz-band wireless LAN applications using 0.18 μm CMOS technology. The functionalities of the media access control (MAC) and physical (PHY) layers are implemented on about 30M transistors employing high-precision analog-digital converter/digital-analog converter (ADC/DAC), a dedicated-hardware engine, a 32-bit RISC CPU, and large-capacity SRAMs on chip. The maximum data rate supported is 54 Mbps. Most of the MAC protocol processing is carried out by the embedded RISC CPU, thus reducing host CPU overhead.

1 まえがき

近年、われわれの生活の様々なシーンで無線通信が使われるようになってきた。無線 LAN もその一つである。現在普及しつつある無線 LAN は、2.4 GHz 帯を用い、最大伝送レートが 11 Mbps の IEEE 802.11b 準拠のものがそのほとんどを占めている。2.4 GHz 帯は ISM(Industrial, Scientific and Medical)バンドと呼ばれ、電子レンジをはじめ、短距離無線通信規格の BluetoothTM(注1)まで、様々な機器により使用されている帯域である。このため干渉源も多く、これからの無線通信需要の高まりとともに、ますます通信環境は悪化の度合いを強めていくものと思われる。こうしたなかで、5 GHz 帯を用いる無線 LAN への期待が、高伝送レートとリアルタイム性をともに必要とする AV(Audio Visual)データ伝送などのアプリケーションを中心に急速に高まっている。

これらの期待に応えるべく、東芝は 5 GHz 帯無線 LAN の標準規格の一つである IEEE 802.11a 準拠の無線 LAN 用ベースバンド LSI(TC35672)を開発した。この LSI は MIPS 互換(注2)の 32 ビット RISC CPU コア TX39/H3 を搭載し、 μITRON 上で動作する MAC ファームウェア(F/W)と新規

開発の専用 H/W エンジンにより、MAC 層のほぼすべてのプロトコル処理、及び PHY 層の変復調処理を 1 チップで実行可能である。IEEE 802.11a では 5 GHz 帯で OFDM(Orthogonal Frequency Division Multiplexing)変調を用いることにより、最大伝送レート 54 Mbps の無線通信を実現する。しかしながら、こうした高い伝送レートと無線通信の提供する携帯性(Portability)や移動性(Mobility)を両立させるためには、消費電力の削減や刻々と変化する無線環境への適応制御などの課題を解決する必要があった。

これらの課題を解決するために、この LSI では次の新技術を開発し、採用した。

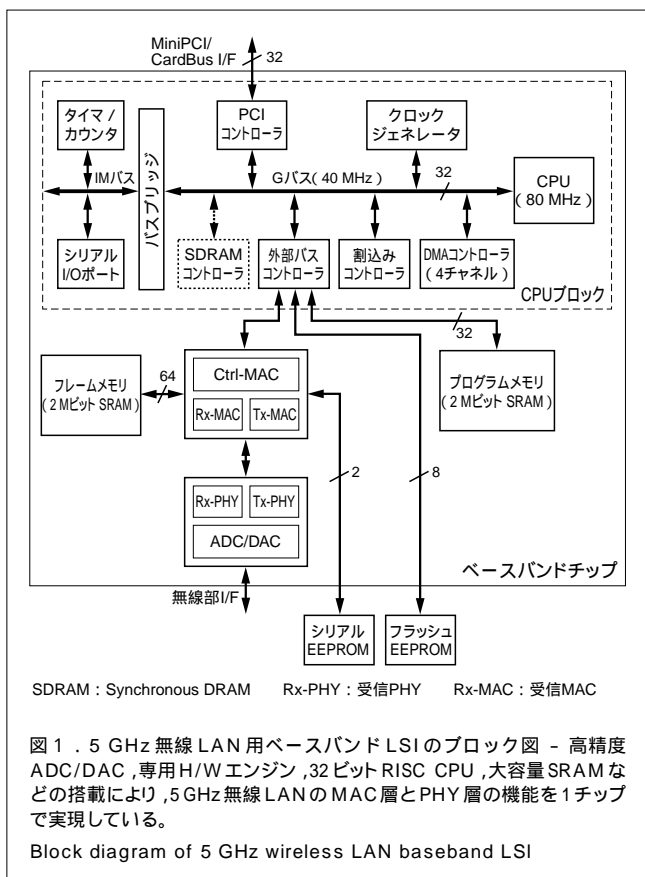
- (1) 組込み CPU と大容量メモリの搭載
- (2) 動的なアナログブロックの制御
- (3) 高精度なサブキャリア位相ノイズの補償
- (4) 高速、高精度な AGC(Automatic Gain Control)の実現

2 チップアーキテクチャ

この LSI のブロック図を図 1 に示す。この LSI はホストインタフェース(I/F)として CardBus 又は PCI(Peripheral Component Interconnect)I/F を、RF/IF(Radio Frequency/Intermediate Frequency)IC などの無線部制御用として無線部 I/F を持つ。また、起動時に内部 SRAM にダウンロード

(注1) Bluetooth は、Bluetooth SIG, Inc. の商標。

(注2) 米国 MIPS 社が開発した RISC CPU の命令セットと互換性があること。



する F/W 格納用のフラッシュ EEPROM(Electrically Erasable and Programmable ROM)と, MAC アドレスや無線制御パラメータ格納用のシリアル EEPROM の二つのメモリ I/F を持っている。

この LSI における送信処理は次のように行われる。まず, PCI コントローラがホストメモリに格納された送信データフレームを取り出す。送信データフレームは, プログラムメモリに一時格納される。TX39/H3 上で動作する MAC F/W により, データフレームに MAC ヘッダが付加され, MSDU (MAC Service Data Unit)が形成される。MSDU は DMA (Direct Memory Access)によりコントロール MAC (Ctrl-MAC)部に転送され, 所定のサイズの MPDU (MAC Protocol Data Unit)に分割 (Fragmentation)され, フレームメモリに格納される。送信 MAC (Tx-MAC)部は, PHY 部が生成する CCA (Clear Channel Assessment)信号をモニタして無線チャネルがアイドルであることを検出すると, CSMA/CA (Carrier Sense Multiple Access with Collision Avoidance)によるアクセス制御を行って, 送信 PHY (Tx-PHY)部に MPDU を送出する。送信 PHY 部では PLCP (Physical Layer Convergence Protocol)ヘッダを付加し, 冗長符号化した後, OFDM 変調を行ってベースバンド送信信号を生成し, 無線部 I/F のオンチップ DAC でアナログ信号に変換されて, 無線部へ出力される。

受信処理は送信処理の逆の経路をたどる。無線部から入力されたベースバンドアナログ信号は, 無線部 I/F のオンチップ ADC でデジタル信号に変換され, フレーム先頭検出, 時間及び周波数の同期処理が行われた後, 受信フレームの OFDM 復調, 誤り訂正復号が行われ, PLCP ヘッダが取り除かれて, MPDU が取り出される。MPDU は受信 MAC で MSDU に組み上げ (Defragmentation)られ, MAC ヘッダが取り除かれた後, コントロール MAC, プログラムメモリ, PCI コントローラ経由でホストメモリへと転送される。

2.1 TX39/H3 と大容量メモリの搭載

TX39/H3 ではコネクション管理, マネージメントフレーム処理, 統計情報収集, パワーマネジメントなどが行われるが, これらは CardBus 入出力バッファでの消費電力削減に寄与している。これらの処理をホスト CPU で行った場合, MAC ハードウェアとの間でトランザクションが発生することになるが, この LSI ではこれらのマネージメントフレームの送受信に関するトランザクションは発生しない。このため, 組み込み CPU アーキテクチャは, ホスト CPU に掛かる負荷が低減されるだけでなく, システムの消費電力削減という観点からも有利である。

オンチップ SRAM として, プログラムメモリ 2 M ビットとフレームメモリ 2 M ビットの計 4 M ビットを搭載している。プログラムメモリは MAC F/W を格納するだけでなく, スタック領域, バッファ領域, 統計情報領域も提供する。一方, フレームメモリは, 送受信フレームの一時格納バッファとして使用される。大容量のオンチップ SRAM を搭載することで, 外部メモリへのアクセスをなくし, 入出力バッファの消費電力の大幅な削減を実現した。

更に, 大容量オンチップメモリを搭載することで, IEEE 802.11 で規定されているパワーセーブモードをより効率的に運用することが可能になる。パワーセーブモードにある端末 (STA)は, アクセスポイント (AP)が送信するビーコンフレームにより, 自局あてのデータフレームが AP でバッファリングされていることを認識すると, AP に PS (Power Save)Poll フレームを送信して, データフレームの送信要求を行う。また, STA は自局あてのデータフレームを受信するまで awake 状態を保持する。STA の消費電力を削減するためには, AP は PS-Poll フレームにできるだけ速やかに応答することが必要となる。この LSI は AP として動作させたとき, パワーセーブモードにある STA あてのデータフレームをオンチップメモリに保持しておくことができるため, PS-poll フレームに即時に応答して, データフレームを送信することが可能である。したがって, 送信要求を行った STA は短時間で doze 状態に戻ることができ, システムとしての消費電力を削減することができる。

2.2 動的なアナログブロック制御

I/Q (In-phase/Quadrature-phase)データ用の ADC,

DACなどのアナログブロックは10 mA オーダの電流源を必要とし、ベースバンドLSIの中では電力消費の大きいものの一つである。したがって、動的にアナログブロックを制御することが非常に重要となる。このため、受信時は送信にしか関与しないアナログブロックを、送信時には受信にしか関与しないアナログブロックをそれぞれスタンバイモードに移行させる。このLSIでは、受信時には送信I/Qデータ用DACと送信AGC用DACが、送信時には受信I/Qデータ用ADCと受信AGC用DACがスタンバイモードになり、更に、doze状態ではすべてのアナログブロックがスタンバイモードになるよう設計されている。無線部の消費電力も大きく、特に送信時にパワーアンプで消費される電力は、無線カードの消費電力の半分以上を占める。このLSIでは、動作状況に応じて無線部をスタンバイモードにできるI/Fを提供している。このように動的にアナログブロックの制御を行うことで、システムの消費電力削減が可能になった。

2.3 高精度なサブキャリア位相ノイズの補償

受信PHY部には、受信OFDM信号をひずませる要因である周波数選択性フェージングなどの屋内伝播(でんぱ)特性に対応した、強力なイコライザが必要である。このLSIに搭載しているアダプティブイコライザのブロック図を図2に示す。

ブロック(A)ではフレーム先頭に付加されるプリアンブルを用いて伝送路応答を推定し、受信信号を補償する。プリアンブルはロングプリアンブルとショートプリアンブルで構成されるが、伝送路推定器(Channel Estimator)は、ロングプリアンブルの規定値 $L(k)$ と受信されたロングプリアンブル

を比較し、伝送路応答を推定する。送信データは、伝送路上でひずんだ受信データを伝送路推定値で除算することで復元(イコライズ)することができる。

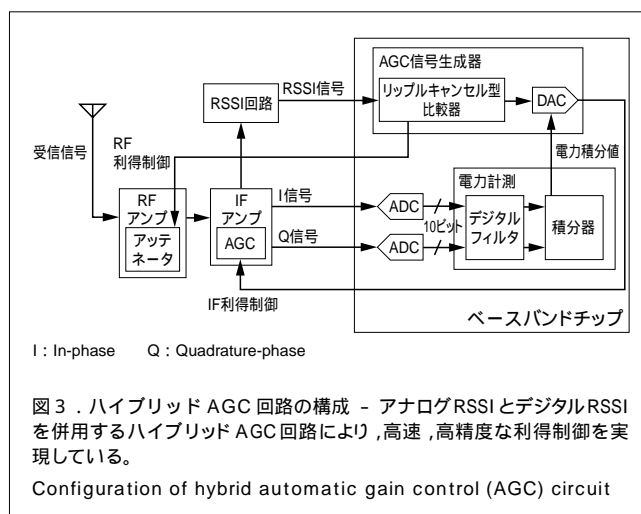
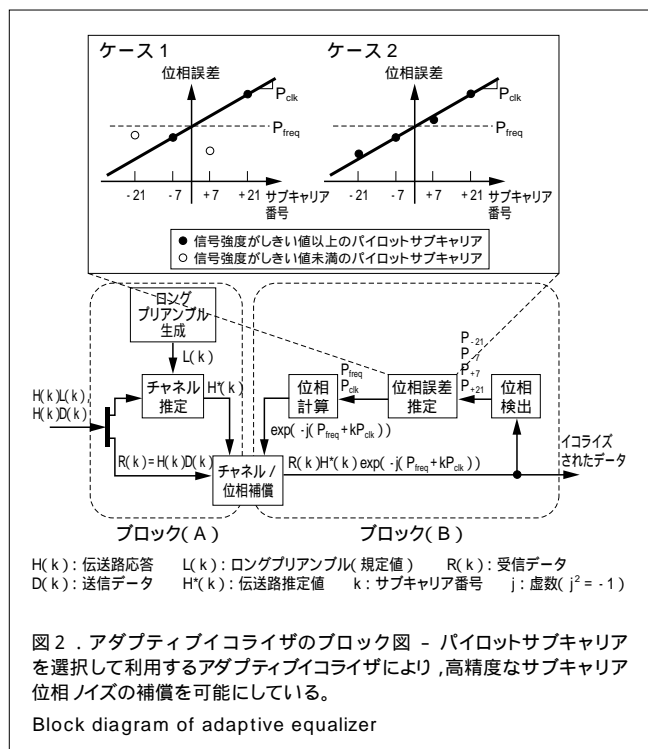
ブロック(B)ではパイロットサブキャリアを使用して位相誤差を計測し、受信信号をイコライズする。位相誤差 P_{freq} と P_{clk} は、周波数オフセット及びサンプリングクロックのドリフトによりそれぞれ発生するもので、受信した4本のパイロットサブキャリア $P_{-21}, P_{-7}, P_{+7}, P_{+21}$ を使用して検出される。位相誤差推定器は、 P_{freq} と P_{clk} を計算するために十分な信号強度を有するパイロットサブキャリアを使用し、他のサブキャリアの位相誤差を推定する。位相誤差を正確に見積もるためには、少なくとも2本の有効なパイロットサブキャリアが必要である。位相補償器は、受信データの位相を、推定した位相誤差と反対の方向に回転させる。常に4本すべてのパイロットサブキャリアを使用するイコライザでは、1本のパイロットサブキャリアでも大きくひずみを受けていれば、正確に位相誤差を推定することは不可能である。一方、このLSIに搭載した適応型イコライザでは、良好でない無線環境下でも大きくひずみを受けたパイロットサブキャリアを選択的に捨てることにより、良好な位相補償能力を提供することが可能となった。

2.4 高速、高精度なAGCの実現

IEEE 802.11a準拠のOFDM信号は、約60 dBもの広いダイナミックレンジを持つ。ベースバンド信号として最適な入力レベルに調整するため、AGCを掛ける必要があるが、AGCに許容されている時間はわずか数 μs にすぎない。

AGCの実装には、利得調整にアナログRSSI(Received Signal Strength Indication)を用いる方式とデジタルRSSI計測を用いる方式の二通りが考えられる。アナログRSSI又はデジタルRSSIのどちらか一方を用いる方式では、広いダイナミックレンジの入力信号に対して高速、高精度な利得制御を行うことができない。

ハイブリッドAGC回路を図3に示す。IF段の受信信号に



よりアナログRSSIを計測する。測定された信号強度は、利得制御に受信信号のリプルが影響を与えないよう、ヒステリシスを持たせた比較器により四つの受信レベルに分類される。受信レベルに従って、RF段のアッテネータのオン/オフやIF段のAGCアンプの利得の粗調整が行われる。この利得の粗調整により、引き続き行われるデジタルRSSIの計測精度を向上させることができる。ADCから出力されるデジタルI/Qデータはフィルタリングされ、デジタルRSSI回路で積分される。計測された信号強度により受信AGC用DACに利得制御パラメータを設定することで、IF段のAGCアンプの利得の微調整が行われる。このような2ステップのハイブリッドAGC方式を用いることで、2 μ s以内に、目標レベルに対して ± 1 dBの精度で受信信号強度を調整することが可能になった。この収束時間は、8 μ sしかないプリアンプで選択アンテナダイバシティを行うため、AGCを2回実行するのに十分な時間である。

3 LSIインプリメンテーション

このLSIの諸元を表1に、チップ写真を図4に示す。0.18 μ m CMOS 6層メタルプロセスにより、10.91 mm角のチップに約3,000万個のトランジスタを集積化した。パッケージは361ピンのPFBGA(Plastic Fine pitch Ball Grid Array)である。

このLSIは、同じく当社が開発した5 GHz帯無線LAN用IF IC(TA32151)とのチップセットとして開発された。

このLSIとTA32151を搭載した5 GHz帯無線LAN Card-Bus PCカードを東芝テック(株)と共同開発し、PCカードを搭載したノートPC間でMPEG-2(Moving Picture Experts Group-phase 2)画像データの無線伝送を行って、ストリーミング再生させることに成功している。

表1 . 5 GHz帯無線LAN用ベースバンドLSIの諸元
Features of 5 GHz-band wireless LAN baseband LSI

項目	仕様
プロセステクノロジー	0.18 μ m CMOS 6層メタル
総トランジスタ数	30 Mトランジスタ (ランダム回路: 1.27 Mゲート, メモリ: 4.29 Mビット)
チップサイズ	10.91 mm x 10.91 mm
パッケージ	361ピン PFBGA
電源電圧	3.3 V(I/O部), 2.5 V(アナログ部), 1.5 V(コア部)
動作周波数	20 MHz/40 MHz/80 MHz
消費電力	800 mW
主要マクロセル	32ビット RISC CPU(TX39/H3) 512 kビット SRAM x 8 10ビット/40 MHz ADC x 2 10ビット/40 MHz DAC x 2 7ビット/10 MHz DAC x 2 PLL(位相同期ループ)

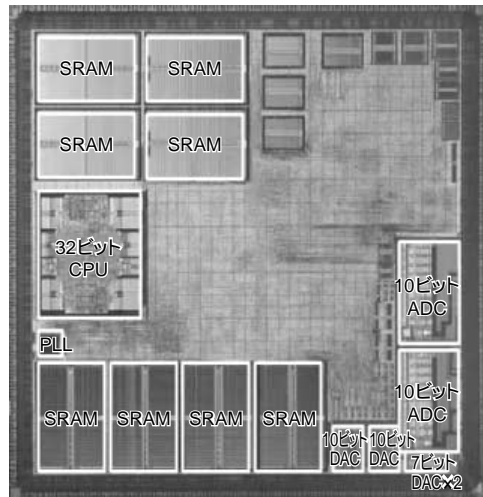


図4 . 5 GHz帯無線LAN用ベースバンドLSIのチップ写真 - 0.18 μ m CMOS 6層メタルプロセスにより、10.91 mm角のチップに約3,000万個のトランジスタを集積化したアナログ/デジタル混載のSoC(System-on-Chip)である。

Chip micrograph of 5 GHz-band wireless LAN baseband LSI

4 あとがき

IEEE 802.11a 準拠の5 GHz帯無線LAN用ベースバンドLSI(TC35672)を開発した。このLSIの開発と並行して、当社では、5 GHz帯無線LANモジュールに必要なパワーアンプ、RF IC、IF ICなどの開発も行っており、チップセットとしてのトータルなソリューションの提供を目指している。今後は、更なる高性能化、高スループット化、低消費電力化、低コスト化に向けた開発を継続していく。

文献

- (1) Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, IEEE Standard 802.11a. IEEE, 1999.
- (2) Thomson, J., et al. "An Integrated 802.11a Baseband and MAC Processor". ISSCC Digest of Technical Papers. 2002, p.126 - 127.
- (3) Fujisawa, T., et al. "A Single-Chip 802.11a MAC/PHY with a 32b RISC Processor". ISSCC Digest of Technical Papers. 2003, p.144 - 145.
- (4) Tsuchie, K., et al. "A Single Chip MAC/PHY Processor for 5 GHz WLAN applications". Proc. of Cool Chips VI Conf. 2003, p.215 - 228.



畝川 康夫 UNEKAWA Yasuo, Ph. D.

セミコンダクター社 SoC 研究開発センター モバイル&コミュニケーション SoC 技術開発部主査, 工博。無線LAN用ベースバンドLSIの設計・開発に従事。
SoC Research & Development Center