

半導体プロセスを仮想設計する TCAD シミュレーション

TCAD Simulation for Virtual Design of Semiconductor Processes

尾上 誠司

ONOUE Seiji

西谷 和人

NISHITANI Kazuhito

高木 茂行

TAKAGI Shigeyuki

半導体デバイスの微細化に伴うプロセスの高度化と工程数増加による開発期間の長期化が問題となってきた。この開発効率向上のため、TCAD(Technology CAD)による試作回数の削減が期待されているが、市販のTCADでは加工形状を精度良く予測できない。

東芝は、プラズマ診断・表面分析技術を元にプロセスのモデル化を行い、シミュレーションに組み込んだ。プラズマから表面反応までを一貫してモデル化することで、予測性能と実用性が極めて高い独自コードの開発に成功した。RIE (Reactive Ion Etching)やCVD(Chemical Vapor Deposition), スパッタにシミュレーションを適用し、試作回数を絞り込むことで開発期間の大幅な短縮を図っている。

The development time for new semiconductor devices is becoming longer, accompanying the shrinkage of design rules, strict process specifications, and increase in the number of process steps. In order to reduce the development time, a decrease in the number of experiments is strongly desired. Technology CAD (TCAD) is one possible candidate to improve the efficiency of development by simulating processes virtually. However, topography simulation, one part of TCAD, has not been widely used due to its inability to deal with complex chemical reactions.

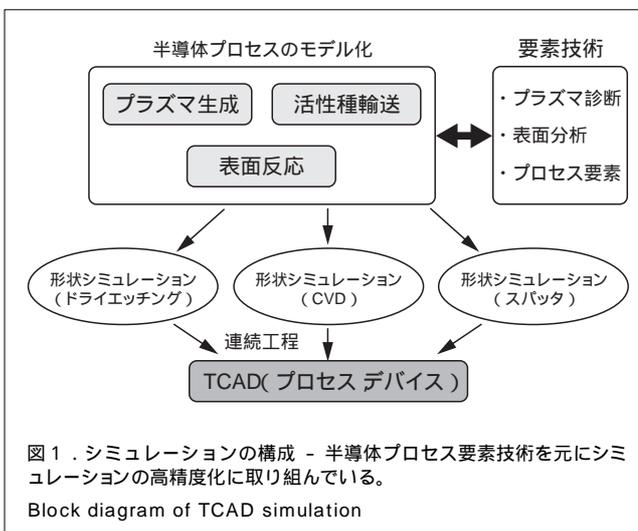
Toshiba has therefore been developing new topography simulation models based on plasma diagnosis and surface analysis. We have been successfully applying these models to semiconductor processes to reduce the development time.

1 まえがき

半導体デバイスでは、素子の高集積化と高速化を実現するため、微細化が急速に進んでいる。微細化寸法を決定する素子のデザインルールは0.1 μmを切るころまできている。このため、各ユニットプロセスに求められる技術的ハードルが高くなると同時に、工程数は増加し、開発期間は長期化している。この開発期間を短縮するためには、効率の良いプロセス開発と試作回数の削減が不可欠であり、TCADシミュレーションによる開発方針の方向付けと試作回数の削減が期待されている。

TCADとは、半導体デバイス・プロセスを開発するためのシミュレーションである。その構成は、半導体プロセスの熱プロセス、素子形状、デバイス電気特性に対応し、プロセス、形状、デバイスシミュレーションから成っている。このうち、プロセス・デバイスシミュレーションは実用的なモデルが市販され、デバイス開発に広く使われてきた。一方、TCAD形状シミュレーションには、市販レベルで実用的なモデルがなく、加工形状が正確に予測できないため、プロセス開発には十分使用できなかった。

通常の半導体プロセスにはプラズマが多く用いられ、プラズマで生成された活性種がウェーハに輸送され、その表面



での物理化学反応で微細加工が進む。この反応が極めて複雑なため、プロセス条件に対する加工形状を正確にシミュレーションするには、活性種の生成、輸送、表面反応を計算することが必要不可欠である。

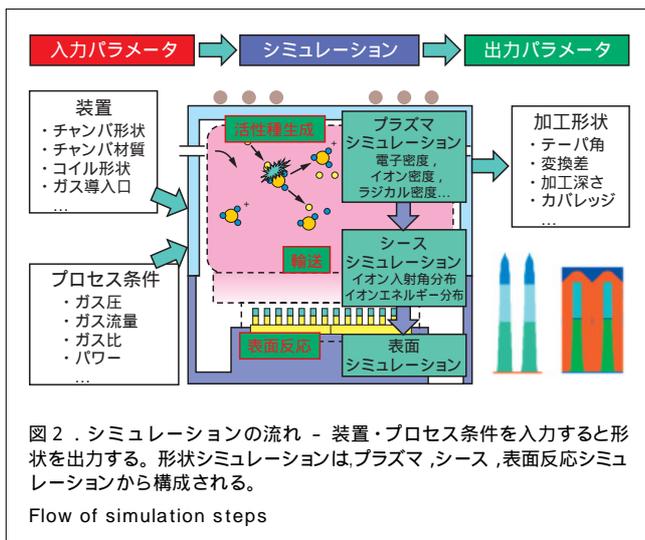
そこで図1に示したような、プラズマ診断、表面分析、プロセス要素技術を駆使し、プラズマで生成した活性種が輸送され、表面で反応して形状が変化する現象をモデル化した。

これらプラズマ生成, 活性種輸送, 表面反応をシミュレーションに組み込み統合することで, 高精度な形状シミュレーションを実現し, 活性種の生成, 輸送, 表面反応を通して計算することができるようになった。更に, 開発した形状シミュレーションとTCADのプロセスシミュレーションを組み合わせ, 連続工程シミュレーションも可能にした。

今回は, 形状シミュレーションの中で, 微細化のキー技術である酸化膜のドライエッチング(RIE)シミュレーションに焦点を当て, そのシミュレーション技術について述べる。

2 形状シミュレーションモデル

形状シミュレーションの流れを図2に示す。シミュレーションでは, 装置及びプロセス条件を入力し, 加工形状を出力する。計算の流れとしては, まずプラズマシミュレーションでイオン, ラジカルなど活性種の密度やその運動エネルギーを求める。次に, ウェーハ近傍のシース領域と呼ばれる部分での活性種の輸送をシースシミュレーションで計算する。ここでは, 電子密度や電位が大きく変化する領域でのイオンが加速される挙動を求め, 基板への入射角度や入射エネルギー分布を計算する。最後に表面反応シミュレーションで, 基板表面での反応を計算し, 加工形状を求める。開発したシミュレーションの特長は, すべての計算で原子・分子の動きを正確に再現したモンテカルロ法を使用し, プラズマ診断や表面分析の実データを組み込むことで, 高精度化を行っている点である。次に, 特に重要なプラズマシミュレーションと表面反応シミュレーションについて説明する。



2.1 プラズマシミュレーション

プラズマシミュレーションではプロセスチャンバ内の電子やイオンの密度分布を求めることができる。最初に, ポアソン

方程式から電界分布を求め, イオン, 電子の空間分布をPIC-MCC(Particle-In-Cell Monte Carlo Collision)法で計算する。

PIC-MCC法では, プラズマ中の荷電粒子を超粒子と呼ばれる粒子で代表させ, 数千から数十万個の超粒子の軌跡を追跡することでプラズマ全体の挙動をシミュレーションする。粒子の速度や位置は以下の方程式から計算する。

$$m \frac{dv}{dt} = q(E + V \times B) \quad (1)$$

m : 荷電粒子の質量 q : 電荷
 v : 荷電粒子の速度 E : 電界 B : 磁界

一方, 時間間隔 t 内の荷電粒子と中性原子・分子との衝突確率 P は以下の式から求められる。

$$P = 1 - \exp(-(\nu) \nu N t) \quad (2)$$

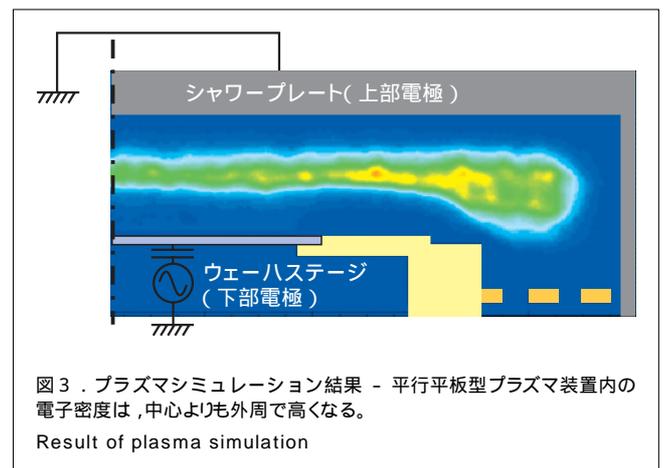
(ν) : 衝突の全断面積

ν : 衝突を起こす粒子の相対速度

N : 中性ガスの密度

式(1)により電界 E 及び磁界 B から受ける力が計算されて t 後の位置が求められ, 式(2)により衝突判定が行われ, 順次計算が進められる。

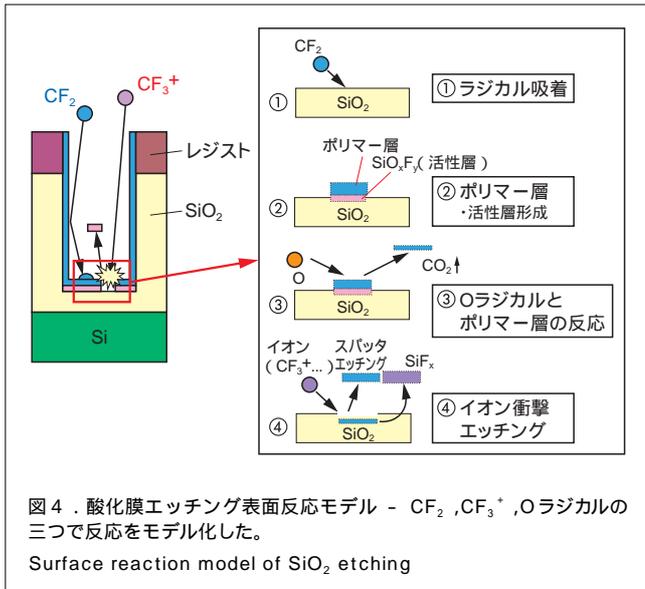
酸化膜RIEで使用される平行平板型プラズマ装置でのプラズマシミュレーションの結果を図3に示す。この結果では, 装置内のウェーハステージ中心部の周辺でプラズマ密度が高くなること, ウェーハステージの外側へプラズマが広がることが再現できている。また, 形状シミュレーションに必要な活性種やイオンの密度や速度が計算できる。



2.2 表面反応シミュレーション

表面反応シミュレーションでは, プラズマシミュレーションと, シースシミュレーションから求めたイオン密度, ラジカル密度と, これらがウェーハに入射するときの入射エネルギー, 入射角を元に, ウェーハ表面での微細な加工形状を計算する。

シリコン酸化膜(SiO_2)RIE で用いられるペルフルオロシ

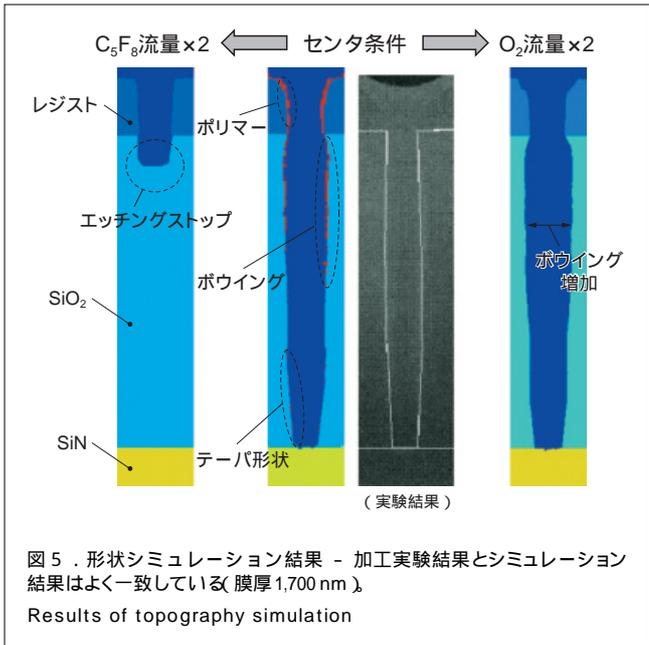


クロペンテン(C_5F_8)と酸素(O_2)の混合ガスの反応モデルについて説明する。ここでは、プラズマ中で生成された CF_2 ラジカル、 CF_3^+ イオン、Oラジカルの3種類の活性種について図4の反応モデルを考えている。表面反応は、① CF_2 の SiO_2 表面への吸着、② SiO_2 膜中で活性層を形成しその上にポリマー層が堆積(たいせき)、③Oによる炭素(C)の引抜きと気化、④ CF_3^+ イオンエネルギーによる活性層の除去、というステップで進むとしている。このモデルでは、エッチング反応領域に活性層とポリマー層が存在し、イオンエネルギーはポリマー層を介して活性層に伝播(でんぱ)される。

3 シミュレーション結果

実際の酸化膜コンタクトホールのエッチング断面形状と、それに対応するシミュレーション結果を図5に示す。エッチング形状の評価に用いたサンプルは、Si基板上にシリコン窒化膜(SiN)/ SiO_2 /レジストを成膜したものである。

SiO_2 厚はセンタ条件で1,700 nmとし、深穴の実験のため3,000 nmまで厚膜化した。レジストには穴径700 nm、テーパ角 89° の穴がパターンニングされている。レジスト及びその下部分の側壁にはポリマーが付着している。中央の図がセンタ条件の結果で、レジストテーパ形状、レジスト下のボウイング(弓なり)形状、先端のテーパ形状がよく再現されている。左右の図は、 C_5F_8 流量、 O_2 流量を2倍にした計算結果である。 C_5F_8 流量2倍では、ポリマー層で生成するフロロカーボンが多くなり、エッチングストップが発生している。また、 O_2 流量アップでは、Oによるフロロカーボンの引抜きが増加し、レジストの下のボウイングが横方向に大きくなっている。これらの傾向が、実験結果と一致することを確認しており、酸化膜RIEのモデリングを完成している。



4 プロセスへの適用

酸化膜RIEでは穴が深くなるとエッチングレートが低下し、エッチングストップが発生する。また、ボトム径が小さいとコンタクト抵抗が大きくなり、デバイス特性は悪化する。そのため、酸化膜RIEではエッチング深さ限界や、エッチング深さとボトム径の関係を定量化することが非常に重要となる。そこで、評価回数を削減するため、シミュレーションによりエッチング深さの推移、ボトム径とエッチング深さの関係を調べた。

4.1 エッチング形状と深さの推移

SiO_2 膜の膜厚を3.0 μm とし、エッチング時間(T)に対するエッチング形状の推移をシミュレーションで調べた。この結果を図6に示す。エッチング開始75 s後、穴の深さ0.5 μm 以上で、レジストの下部にボウイングが発生し始めている。

更に長いエッチング時間250 sでは、先端のフラット部分がなくなり始めている。380 s後でエッチング深さを比較すると、シミュレーションで2.12 μm 、実験で2.05 μm である。エッチングの先端が細くなりフラット部分がなくなっているのも、実験結果とよく一致している。

図7はエッチング時間とエッチング深さの関係を示している。上述したようにシミュレーション結果と実験結果はよく一致している。また、この図から穴の深さとともにエッチングレートは徐々に低下する傾向にあるが、2.0 μm 以上の深さでもエッチングストップすることなくエッチングが進んでいる。シミュレーションにより穴深さの定量的評価、エッチングの先端形状が計算でき、加工限界深さの評価に用いている。

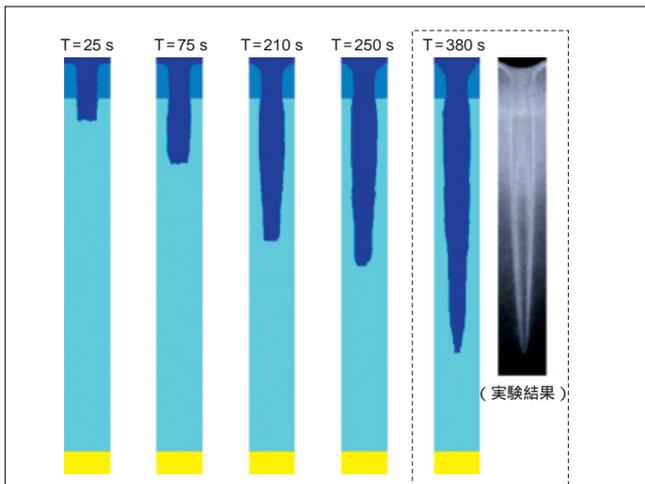


図6 . エッチング形状推移 - エッチング時間が長くなると先端が細くなっていく(膜厚3,000 nm)
Changes in etching profile with process time

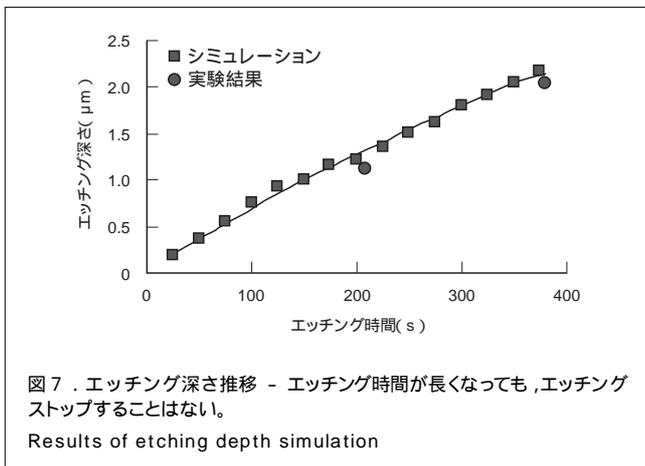


図7 . エッチング深さ推移 - エッチング時間が長くなっても, エッチングストップすることはない。
Results of etching depth simulation

4.2 ボトム径のSiO₂膜厚依存性

次に, Si基板上にSiN/SiO₂/レジスト膜を成膜した構造で, SiO₂膜厚を1.7, 2.0, 2.5, 3.0 μmと変化させた時のボトム径の評価を行った。計算は, エッチングがSiN膜に達した時間に対し20%のオーバーエッチングをかけた条件で行っている。図8は計算結果で, SiO₂膜が厚くなるにつれて, ボトム径が小さくなっていることがわかる。図中の は, 2.8 μmのSiO₂膜での実験結果であるが, シミュレーション結果とよく一致している。この結果から, 所定のボトム径を得るための深さ限界が予測できる。これによって, デバイス特性の一つであるコンタクト抵抗に大きな影響を及ぼすボトム径とエッチング深さの関係を明確にし, 試作回数を大幅に削減できた。

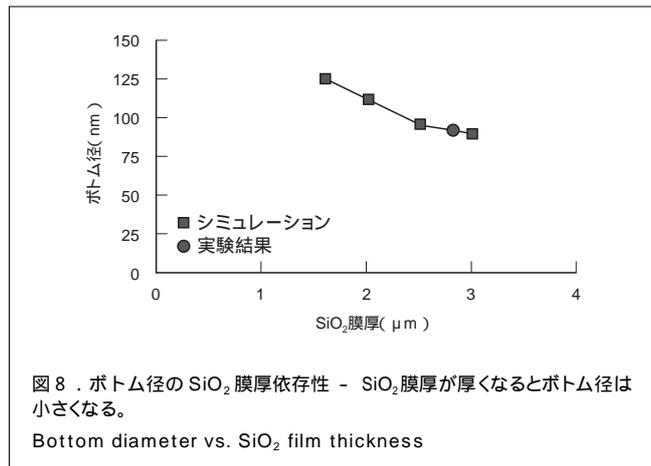


図8 . ボトム径のSiO₂膜厚依存性 - SiO₂膜厚が厚くなるとボトム径は小さくなる。
Bottom diameter vs. SiO₂ film thickness

5 あとがき

プラズマシミュレーション, シースシミュレーション, 表面反応シミュレーションを統合したRIEの形状シミュレーションを開発した。C₅F₈とO₂の混合ガスを用いる酸化膜RIEに適用し, SiO₂側壁のボウイング形状, ボトム付近のテーパ形状を再現できた。更に, C₅F₈, O₂ガス流量依存性, 深さやボトム径の時間依存性の予測が可能であるため, 極めて実用性の高いシミュレーションと言える。

今回述べた酸化膜RIEだけでなく, 単結晶シリコン(Si)や多結晶シリコン(Poly-Si)などのRIE, CVD, スパッタプロセスのモデル化も終わっている。現在は, これらのシミュレーションを連続して用いることで, モジュールプロセスの仮想設計に活用している。



尾上 誠司 ONOUE Seiji

生産技術センター プロセス研究センター研究主務。
半導体・液晶プロセスの形状シミュレーション技術開発に従事。応用物理学会会員。
Process Research Center



西谷 和人 NISHITANI Kazuhito

生産技術センター プロセス研究センター。
半導体・液晶プロセスのプロセスシミュレーション技術の開発に従事。応用物理学会会員。
Process Research Center



高木 茂行 TAKAGI Shigeyuki, Ph. D.

生産技術センター プロセス研究センター主任研究員, 工博, 技術士(電気・電子), 半導体・液晶プロセスのCAE・TCAD技術開発に従事。応用物理学会, 電気学会会員。
Process Research Center