

# MeP 応用 MPEG-2 コーデック LSI

MPEG-2 Codec LSI Based on MeP Architecture

大友 吾一 山影 朋夫

OTOMO Goichi

YAMAKAGE Tomoo

東芝は、MeP (Media embedded Processor) アーキテクチャを用いて、1 チップリアルタイム MPEG-2 (Moving Picture Experts Group-phase 2) MP@ML (Main Profile at Main Level) コーデック LSI を開発した。この LSI は、基本命令は同一であるが、異なるカスタマイズを適用した 6 個の MeP モジュールを用いている。デジタルメディア処理用に開発した MeP コアは、VLIW (Very Long Instruction Word) 拡張や DSP (Digital Signal Processor) 拡張といった様々な機能拡張を提供している。この LSI では、これらの拡張を最大限に活用して、ビデオ、オーディオ、及びシステムのエンコード処理とデコード処理をリアルタイムで実現している。

Toshiba has developed a single-chip MPEG-2 main profile at main level (MP@ML) codec LSI based on media embedded processor (MeP) architecture. It has a heterogeneous multiprocessor architecture in which six MeP modules with the same instruction set but different customizations concurrently execute specific tasks such as video, audio, etc. The MeP core, developed for digital media processing, provides various extensions such as very long instruction word (VLIW) and digital signal processor (DSP) extensions inherently in its architecture. Making full use of these extensions, the chip executes video, audio, and system encoding and decoding concurrently in real time.

## 1 まえがき

SoC (System on Chip) におけるエンベデッドマイクロプロセッサは、論理合成や短期開発が可能で、特定のアプリケーションでのコストパフォーマンスに優れていることが必要である。しかし、近年のハイエンドマイクロプロセッサの実現方法のように、テクノロジーをふんだんに活用するアプローチではこれらの目標は達成できない。一方、アプリケーションに特化したインストラクションの追加や、プログラムとして処理量が多いがステップ数の少ないループのような処理をハードウェアで実装する方法は、デジタル信号処理アプリケーションにおいて、わずかな追加コストで多大なパフォーマンス向上を得られることがしばしばある。

これらの考えに基づいて、東芝はデジタルメディア処理につごうの良い、カスタマイズ可能なマイクロプロセッサアーキテクチャと、そのカスタマイズを支援するためのハードウェア / ソフトウェア開発ツールを開発し、それらを 1 チップ MPEG-2 MP@ML コーデック LSI<sup>(1)(2)</sup> の開発に適用した。

この LSI は、異なる構成の複数のプロセッサを用いたマルチプロセッサアーキテクチャを採用し、各プロセッサはそれぞれのアプリケーションの性質に基づいて最適化されている。それぞれがビデオ、オーディオといった特定の処理を同時に実行することによりビデオ、オーディオ、システムのエ

ンコード処理とデコード処理をリアルタイムで実現している。

## 2 MPEG-2 コーデック LSI のアーキテクチャ

MeP アーキテクチャを用いて今回開発した、MPEG-2 コーデック LSI で実現できる主なオーディオ / ビデオの信号処理機能を表 1 に示す。これらの機能は現在製品化されている HDD (磁気ディスク装置) や DVD-RAM などのデジタル記録メディアを用いたオーディオ / ビデオ録画再生機器の基本となるものである。

MPEG-2 コーデック LSI のブロック図を図 1 に示す。この LSI は 6 個の MeP モジュールを用いている。各 MeP モジュールは、表 2 に示すようにまったく異なった MeP コアの構成を採用し、次のような機能拡張の追加を行っている。

- (1) オーディオ圧縮 / 伸張 MeP モジュール 積和演算機能を持つ 2 命令同時実行 VLIW コプロセッサとオーディオ I/O HWE
- (2) ビデオ圧縮 / 伸張 MeP モジュール 5 個の HWE、VLC/VLD (Variable Length Corder/Decorder) 用 DSP 拡張、SIMD (Single Instruction Multiple Data) 演算用ユーザーカスタム命令
- (3) ビットストリーム処理 MeP モジュール ビットストリーム入出力ハードウェアエンジン (I/O HWE)

表1. MPEG-2 コーデック LSIの主要な機能

Main functions of MPEG-2 codec LSI

機能	内容
ビデオ エンコードフォーマット	MPEG-2 MP@ML, MPEG-1
ビデオ デコードフォーマット	MPEG-2 MP@HL, MP@ML, MPEG-1
オーディオ エンコードフォーマット	Dolby Digital <sup>®</sup> (注1) 2ch MPEG-1 レイヤII 2ch
オーディオ デコードフォーマット	Dolby Digital <sup>®</sup> 5.1ch MPEG-1 レイヤII 2ch
オーディオ / ビデオ コーデック 動作並列実行内容(MPEG-2 MP@ML)	1 ストリーム エンコード + 1 ストリーム デコード 4 ストリーム デコード
動き検出	階層マルチフィールド テレスコピック検索 検索範囲 水平方向: ± 144 ピクセル 垂直方向: ± 96 ピクセル
ビデオ入出力フォーマット	ITU-R BT.656 (8ビット, 27MHz)
オーディオ入出力フォーマット	I <sup>2</sup> S (入力: 2ch 1ポート, 出力: 6ch 1ポート)
ストリーム入出力フォーマット	トランスポートストリーム プログラムストリーム (75 Mbps まで)

HL : High Level  
ITU-R : 国際電気通信連合 - 勧告  
I<sup>2</sup>S : Inter-IC Sound  
ch : チャネル

表2. MPEG-2 コーデック LSIの各 MeP モジュールの構成

Configuration of MeP modules in MPEG-2 codec LSI

	オーディオ 圧縮 / 伸張	ビデオ 圧縮 / 伸張	ビットスト リーム処理	動き検出	ビデオ フィルタ	全体制御
命令キャッシュ (Kバイト)	なし	4	4	2	2	2
命令RAM (Kバイト)	12	4	4	1	4	2
データRAM (Kバイト)	32	4	8	4	2	2
割込みコントローラ (ch)	7	14	10	8	9	5
UCI 拡張	なし	あり	なし	なし	なし	なし
DSP 拡張	あり	あり	あり	なし	なし	なし
VLIW コプロセッサ	あり	なし	なし	なし	なし	なし
32ビット乗除算命令	なし	なし	なし	なし	なし	なし
ゼロ検出命令	あり	なし	なし	なし	なし	なし
差分絶対値命令	あり	なし	なし	なし	なし	なし
最大・最小命令	あり	なし	なし	なし	なし	なし
クリップ命令	あり	なし	なし	なし	なし	なし

UCI : User Custom Instruction

オプション命令などが設定され、構成は異なるが拡張可能なアーキテクチャをベースにしたことで、MeP コアの共通部品の再利用が効果的に行えている。

各メディアモジュール上では、エンコード、デコード、映像・音声・ストリームデータの入出力といった複数タスクが、割込みと時分割多重方式で、仮想的に同時実行される。タスク切替えを行う各メディアモジュール用のカーネルも、その上で動作するアプリケーションの性質に基づいてカスタマイズされている。

次に、MeP モジュールの拡張を活用している特徴的な実装について述べる。

### 2.1 オーディオ圧縮 / 伸張 MeP モジュール

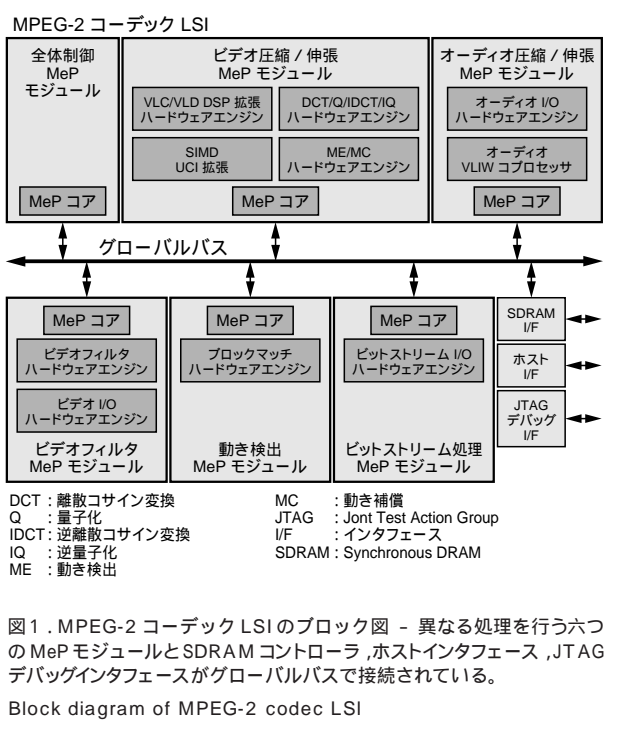
オーディオ圧縮 / 伸張 MeP モジュールにおける VLIW 拡張の構造を図2に示す。この VLIW 拡張は以下のような特徴を持っている。

- (1) 8個の32ビット汎用レジスタ
- (2) 2個の64ビットアキュムレータ

32ビット算術論理演算器 (ALU)、シフト、積和演算器 (MAC) は以下の命令をサポートしている。

- (1) 加算, 減算, 論理演算, シフト演算, 連結シフト演算
- (2) 乗算, 積和乗算, 積差演算
- (3) ゼロ検出, 差分絶対値, 最小値 / 最大値, クリップ

プロセッサコアはコアモードと VLIW モードと呼ばれる二つの処理モードを持っている。コアモードの場合、16ビット又は32ビット長命令を毎サイクル発行する。VLIW モードの場合、32ビット固定長命令が実行される。サブルーチン呼出し命令及びリターン命令でコアモードと VLIW モードが切り替わる。VLIW 命令は、32ビットコア命令、32ビットコプロセッサ命令、又は16ビットのコア命令とコプロセッサ命令の組合せから成る。例えば、16ビット長のアドレスインクリメント



- (4) 動き検出 MeP モジュール ブロックマッチング演算 HWE
  - (5) ビデオフィルタ MeP モジュール ビデオフィルタ HWE, ビデオ I/O HWE
  - (6) 全体制御 MeP モジュール 拡張なし (基本コアのみ)
- 以上のように、各 MeP モジュールごとにメモリのサイズや

(注1) Dolby Digital は、Dolby Laboratories, Inc. の登録商標。

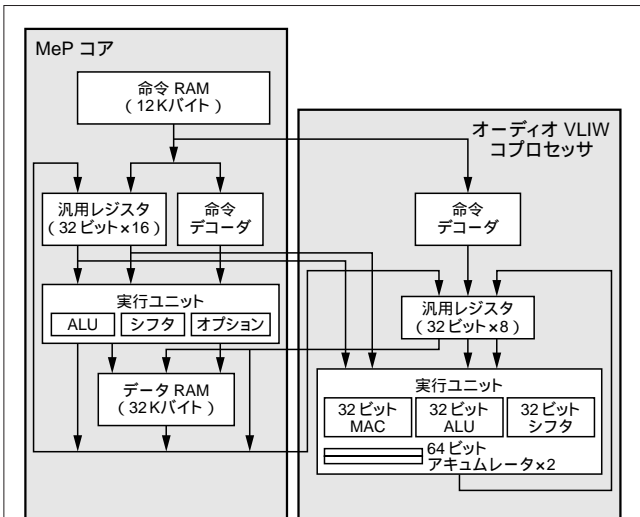
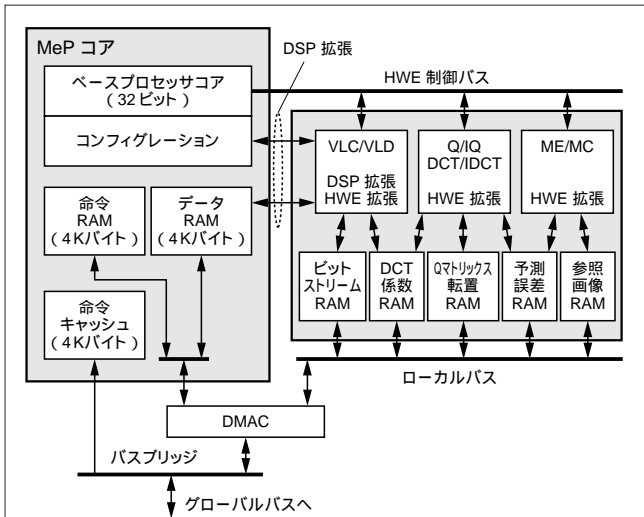


図2 . オーディオ圧縮 / 伸張 MeP モジュールの VLIW 拡張 - MeP コアに VLIW コプロセッサを付加した。MeP コアがデータ RAM へのアクセスとアドレス計算を実行すると同時に、VLIW コプロセッサが演算処理を行える。

VLIW extensions of audio encode/decode MeP module



DMAC : Direct Memory Access Controller

図3 . ビデオ圧縮 / 伸張 MeP モジュールのブロック図 - 各ハードウェアエンジンはローカルメモリに用意されたデータを入力とし、ローカルメモリへ出力するという動作をする。

Block diagram of video encode/decode MeP module

付きロード命令とコプロセッサの積和演算命令は同時に実行可能である。コアの汎用レジスタはコプロセッサの32ビットMACの入力データとして使用できる。更に、ゼロ検出、差分絶対値、最小値 / 最大値、クリップ命令がオプション命令として MeP コアに追加されている。このカスタマイズによって、オーディオデコードやエンコードに使用される FFT (Fast Fourier Transform) やフィルタ演算の性能を、基本プロセッサコアと比較して約3倍改善した。

## 2.2 ビデオ圧縮 / 伸張 MeP モジュール

ビデオ圧縮 / 伸張 MeP モジュールのブロック図を図3に示す。VLC/VLD は、DSP 拡張とハードウェアエンジン拡張においてリソース(ローカルメモリ)の共有を行っている。VLC/VLD は以下の二つの機能を備えている。

- (1) DSP 拡張部 固定長 / 可変長コードの1シンボルデコード / エンコード命令
- (2) ハードウェアエンジン拡張部 1マクロブロックのデコード / エンコードコマンド

1マクロブロックデコード / エンコードコマンドに1シンボルデコード / エンコード命令のリソースを利用するのは効率的である。なぜなら、ビットストリームを格納するローカルメモリ、シンボルを切り出すための演算器、ローカルメモリからビットバッファにデータを補充するための制御回路を、共有することになるからである。それに加えて、前記の DSP 拡張とハードウェアエンジンの両方を用意することは、ハイパフォーマンスであるが、あまり柔軟性を必要としない MPEG-2 MP@HL への対応、そこそこのパフォーマンスと高い柔軟性が必要な JPEG (Joint Photographic Experts

Group), DV (家庭用デジタルビデオカセット規格), MPEG-4 など、他の規格への対応といった異なる性能要求の実現を可能にしている。

## 2.3 動き検出 MeP モジュール

動き検出 MeP モジュールは一对のブロックマッチングエンジンを持ち、以下のような特徴がある。

各ブロックマッチングエンジンは  $8 \times 8$  ピクセルのブロックマッチング演算を1サイクルのスループットで実行することができる。これは SIMD とパイプラインの活用により達成されている。これらのエンジンを効果的に使用したマルチフィールドテレスコピックサーチアルゴリズムにより、水平  $\pm 144$  ピクセル、垂直  $\pm 96$  ピクセルまでの動きベクトルの探索範囲を実現している。更に、探索範囲の形状は柔軟に設定可能である。この機能により、例えば入力画像がずばやくパンするときに、その方向に探索範囲を広げるといった対応が可能になる。

現在のピクチャとリファレンスのピクチャの画素の平均値の差分などを、ブロックマッチング演算において補正值として用いることができる。これにより、入力映像がフェードイン / フェードアウトのパターンであっても、効率的な動きベクトルの検索を行うことができる。

## 3 LSI インプリメンテーション

今回開発した MPEG-2 コーデック LSI のチップを図4に、その仕様を表3に示す。製造プロセスは  $0.18 \mu\text{m}$  CMOS 6層メタルを使用し、3.8 M ゲートを  $72 \text{mm}^2$  に集積した。この

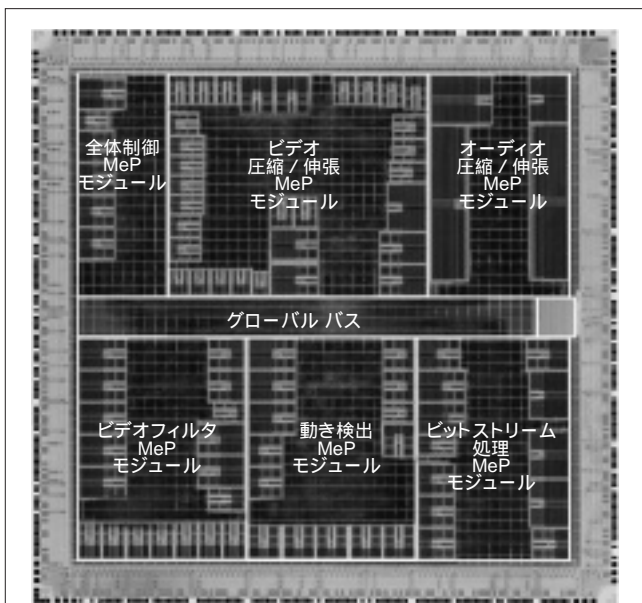


図4 . MPEG-2 コーデック LSI のチップ - レイアウトはタイル方式を採用している。六つの MeP メディアモジュールが、それぞれのタイルの主要素を構成している。

Chip microphotograph of MPEG-2 codec LSI

表3 . MPEG-2 コーデック LSI の仕様

Specifications of MPEG-2 codec LSI

項目	内容
製造プロセス	0.18 μm CMOS 6層メタル
回路規模	3.8Mゲート (SRAMを含む)
チップサイズ	8.5mm × 8.5mm (72.25mm <sup>2</sup> )
パッケージ	352ピンTBGA
電源電圧	3.3V (I/O), 1.5V (内部)
動作周波数	150MHz (システムクロック)
消費電力	1.5W

CMOS : 相補型金属酸化膜半導体

SRAM : Static RAM

TBGA : Tape Ball Grid Array

LSIは、150 MHz動作時に、表1に示すようなリアルタイムオーディオ/ビデオコーデックなどの主要な信号処理機能を実現することができる。

#### 4 あとがき

MePアーキテクチャを用いてMPEG-2 MP@MLコーデックLSIを開発した。将来、SoCに対する設計の複雑さと要求が増大することは容易に想像でき、当社のアプローチは更に有利になると思われる。

また、今回開発したLSIの各MePメディアモジュール、HWE及びファームウェア(FW)は再利用可能なモジュール(IP)として次世代のMPEG-2関連システムLSIに有効利用されている。

#### 文献

- (1) Ishiwata, S., et al . A single-chip MPEG-2 codec based on customizable media embedded processor . IEEE J. Solid-State Circuits . 38 ,2003 ,p.530 - 540 .
- (2) 道中秀治,ほか . A Single-Chip MPEG-2 Codec Based on Customizable Media Microprocessor . 電子情報通信学会 研究会技報 (ICD2002-20) .102 , 82 ,2002 ,p.25 - 30 .



大友 吾一 OTOMO Goichi

セミコンダクター社 SoC 研究開発センター デジタルメディア SoC 技術開発部主査。MPEG 関連システム LSI の開発に従事。電子情報通信学会会員。

SoC Research & Development Center



山影 朋夫 YAMAKAGE Tomoo

研究開発センター マルチメディアラボラトリー研究主務。動画画像用電子透かし及びMPEG 関連システム LSI の研究・開発に従事。電子情報通信学会会員。

Multimedia Lab.