

# システムオンチップの普及と MeP

Toshiba Media embedded Processors Solving System-on-Chip Complexity

松井 正貴

MATSUI Masataka

システムオンチップ(SoC)技術により高性能で多機能な処理を1チップに集積し、低コスト化が実現できると期待されている。しかし、SoC設計の複雑さが増大する一方で、デジタル家電製品市場では開発期間が短くなっている。この相反する要求を解決するには、SoC特有の設計手法に適合し、ソフトウェアとハードウェアを統合した設計環境を整える必要がある。

東芝は、その一環としてコンフィギュラブルプロセッサ MeP(Media embedded Processor)を開発し、それをベースにした SoC の設計プラットフォームを構築している。

System-on-chip (SoC) technology enables high-performance, embedded processing solutions at a low, single-chip cost. The dilemma is that while SoC complexity is increasing, the time to market of digital consumer products is decreasing.

The solution to this dilemma is to establish a design methodology that reuses prior design components wherever possible.

Toshiba provides an SoC software/hardware design platform based on an original configurable microprocessor technology; namely, the media embedded processor (MeP).

## 複雑になる SoC 設計

ロジック LSI ,システム LSI ,SoC と組み制御用 LSI の呼称は時代を経て変遷してきた。このため、半導体プロセス技術の進歩によるトランジスタ集積度の向上の単純な延長線上に SoC があると考えがちである。

しかし、あるシステムに必要なすべての機能を一つのシリコンチップの上に実現するという本来の概念どおりに SoC が実際に開発できるようになってきた今日<sup>(1)</sup>、従来のシステム LSI にはない設計の難しさが顕著になってきている。これは後述するように、SoC とシステム LSI では設計的なアプローチが異なることが原因である。

ここでは、SoC が直面する設計の複雑さを整理する。その後、SoC には特有の設計スタイルが必要であることを述べ、東芝での取組みの例を挙げて説明する。

まず、SoC の設計が複雑になっている一般的な背景を、半導体プロセス

技術と半導体設計技術の両面から述べる。

### ■ スケーリング則の変質

トランジスタの集積度の向上は3年間で4倍というペースを30年間にわたって保ち続けている。その結果、今日、10億個以上のトランジスタが一つのチップに集積可能である。

一方、集積度向上に伴う微細化によって、同じ規模の回路ならば、理想的には3年間で、動作周波数が2倍、電源電圧が1/2、そして、消費電力が1/4という性能向上をもたらす。この著名な MOS(金属酸化膜半導体)トランジスタの“スケーリング則”<sup>(2)</sup>も、提唱以来30年間にわたっておおむね機能してきた。

しかし、二酸化シリコン(SiO<sub>2</sub>)ゲート絶縁膜の薄膜化などに伴い、様々なトランジスタの物理的な微細化限界がいよいよ近づくにつれて、このスケーリング則が破られつつある。

図1は、携帯電話の待受け時間の今

後の微細化に伴う推移を簡単に試算したものである。

ゲート絶縁膜のリーク電流の増大などが原因で、微細化に伴い前世代よりも待受け時間が短くなってしまふ。もちろん、モバイル機器専用プロセス技術の採用や、システム設計などの工夫でこの問題自体は克服されるだろう。

しかし、この例からわかるように、これまでとは異なり、集積度の向上で自動的に、高速化、低消費電力化を実現することはもはや期待できない。今後は、この3者はトレードオフの対象になり、システムやアプリケーションごとに最適な組合せが変わることを想定する必要がある。

### ■ 設計生産性の危機

3年で4倍のトランジスタ数の増加に対して、設計者1人が1か月当りに設計できるトランジスタの数は、3年で2倍弱のペースでしか増加していないという報告がある<sup>(3)</sup>。このいわゆる設計生産性は、主にEDA(Electronic Design

Automation)ツールの進歩に依存しているが、これが集積度向上に追いつかないということは、一つのチップの開発に必要な設計人数と設計期間の増大に歯止めがかからないことを示唆している。

設計生産性を向上させるためにある程度有効な手段は、設計の抽象度を高くすることである。トランジスタ1個単位で設計する回路設計よりも、数個のトランジスタから成る“AND”と“OR”のようなデジタル論理ゲートを単位としたゲートレベル設計のほうが、与えられた論理を短期間に設計できる。

現在、LSI設計では、RTL(Register Transfer Level)と呼ばれるゲートレベルよりも一つ上の抽象度で設計するのが主流である。しかし、LSIに実装する機能の多くはC言語のようなプログラミング言語で記述されている。このC言語記述から直接LSIのハードウェアと、LSI上に搭載された組み用マイクロプロセッサ上で実行されるソフトウェアを、トップダウンで生成するC言語レベル設計が実用化しつつある。RTLより抽象度が上のこのCレベルトップダウン設計技術の導入が、設計生産性を高める鍵である。

### SoC 特有の設計スタイル

SoCが脚光を浴びる背景には、近年のデジタルテレビ(TV)や、携帯電話などの高度なデジタルメディア処理能力を必要とする機器の、家電市場への急速な普及がある。

デジタルTV用LSIの機能ブロック図の例を図2に示す。このように、ビデオ圧縮伸張処理だけでなく、オーディオDSP(Digital Signal Processing)やグラフィックスなど、多種多様なデジタルメディア処理機能を1チップで実現している。ターゲット市場が低コスト要求の強い家電機器であることから、SoCによる1チップ化が強く志向されている。

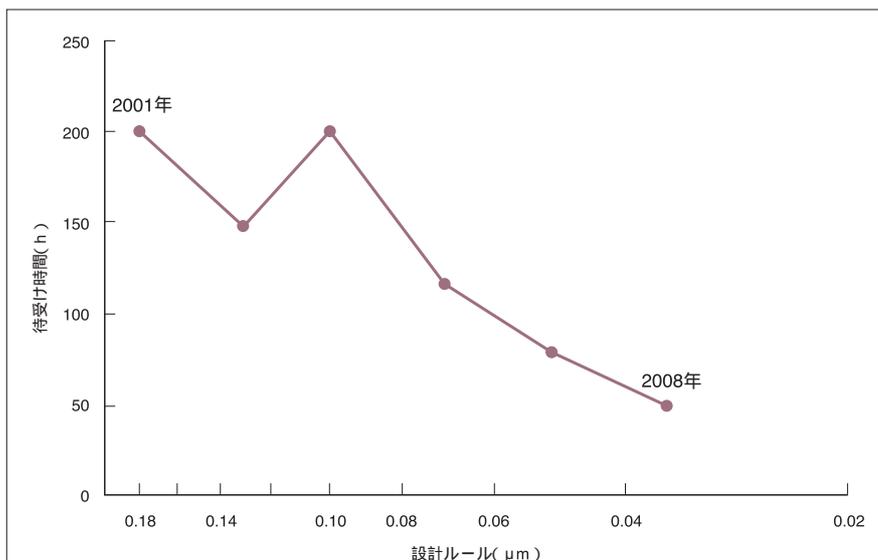


図1 半導体プロセスの微細化に伴う携帯電話待受け時間の変化の試算 - 携帯電話は待受け時には数秒間に1回0.1秒程度受信チェックを行い、その他の時間はスタンバイ状態になる。この際のリーク電流が微細化に伴い大きくなり、待受け時間が減少する。

Cellular phone standby time vs. technology generation

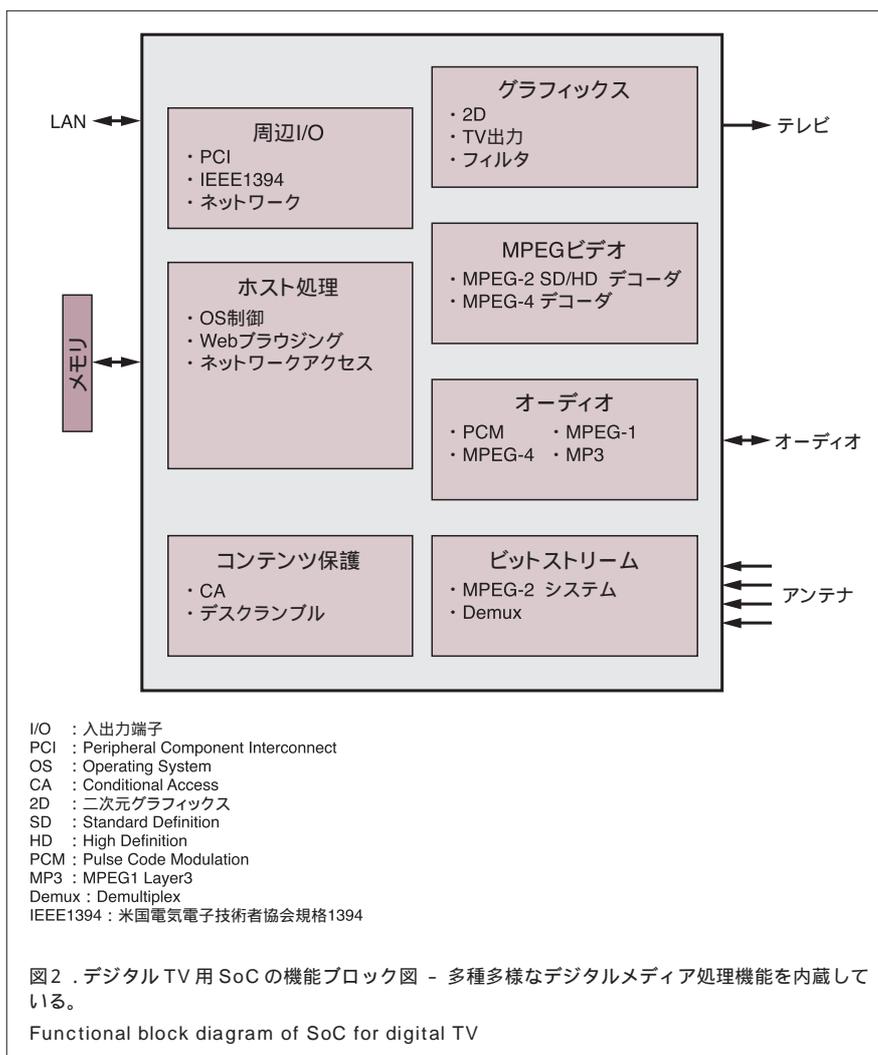


図2 デジタルTV用SoCの機能ブロック図 - 多種多様なデジタルメディア処理機能を内蔵している。

Functional block diagram of SoC for digital TV

次に、このような市場からの要求と、前節で述べたプロセスと設計の両者の質的な変化をもたらす SoC 特有の設計スタイルについて述べる。

### ■ SoC とシステム LSI

様々な機能を実装して1チップでシステムを実現する SoC に対置されるのが、単機能のデジタルメディア処理、あるいは、データ処理に特化したシステム LSI である。集積度が低い時代は、このようなシステム LSI を複数個組み合わせ合わせてシステムを構築するのが通例だった。しかし、今日でもなおシステム LSI として実現されるのは、現在の集積度でさえ不足なほど膨大な処理を必要とする性能優先の分野に限られる。その典型的な例がパソコン(PC)に用いられる x86 系マイクロプロセッサである。PC を構成するには、x86、グラフィックス LSI、バスチップセットという3種の論理 LSI を用いるのが現在もお主流である。微細化による集積度向上は、x86 の動作周波数アップやアーキテクチャの改良などの性能向上に充てられている。最近、グラフィックス機能を統合したバスチップセットが普及

してきたが、グラフィックス性能はローエンド向けである。

図3は、様々なLSIをSoCとシステムLSI、汎用と専用という二つの観点から分類したものである。

汎用というのは、複数のアプリケーションに適用可能という意味であり、汎用のマイクロコントローラ(MCU)が典型的な例である。一般的にターゲットとするアプリケーションや機器に対して専用度が高いほど適合性が高く、SoCの度合いが高いほど、コストあるいは機能性のいずれかで差異化が図れる。前者の典型例は、プレイステーション<sup>(注1)</sup>2内蔵のコントローラ Emotion Engine(EE)である。

### ■ 設計資産の再利用

家電機器に用いられる SoC の主な機能は、規格が決まっており、同じアプリケーションならば差異がない。例えば、デジタルTVやDVDならばビデオの圧縮技術には、MPEG-2(Moving Picture Experts Group-phase 2)規格が使用されている。しかし、機器ごとの仕様は、

(注1) プレイステーションは、(株)ソニー・コンピュータエンタテインメントの商標。

細部で様々に異なっているために、SoCの集積度が上がるにつれて専用度が高くなり、同じアプリケーションでも機器ごとに異なる SoC を開発するという事態になる。しかも、機器の多機能化、複合化に伴い、SoCの設計は複雑さを増す一方であり、それにもかかわらず機器の開発期間は短くなっている。

この相反する要求を解決する方法は、他の複雑な商品と同じく、可能な限り既存の設計資産を再利用することである。

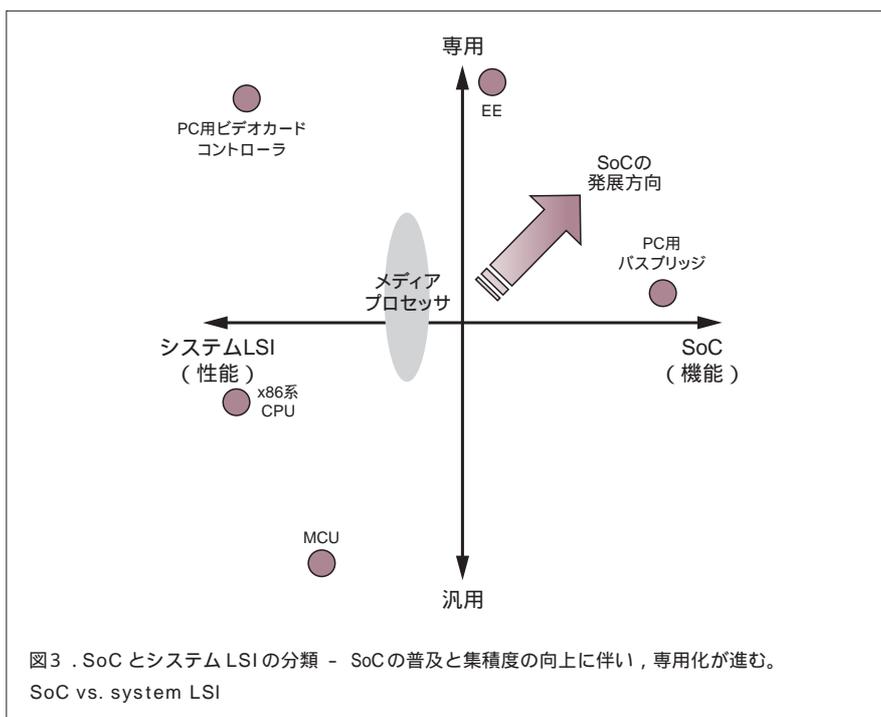
一つの案がメディアプロセッサである。これはビデオ圧縮伸張処理に適した並列演算命令を持った汎用のマイクロプロセッサである。ビデオだけでなくオーディオなども時分割処理で行うので、ソフトウェアによる柔軟性が高く、再利用する設計資産はソフトウェアだけで済む。しかし、初期のメディアプロセッサは、動画画像圧縮伸張処理専用システム LSI というべきもので、集積度が低いため、性能不足で消費電力が大きく、家電機器への普及には至っていない。

現在、浸透しつつあるのは、ビデオ、オーディオ、グラフィックスなど分野の異なるデジタルメディア処理を、別々のハードウェアモジュールあるいは IP (Intellectual Property) として個別に開発しておき、これらの IP を組み合わせることで必要な機能変更や追加を行い、SoC を短期間で開発するハードウェアとソフトウェア双方を再利用する設計スタイルである。このような設計資産の再利用は、理想的には、設計の抽象度を機能単位にまで上げたものとみなせるので、設計生産性の向上という意味でも理にかなっている。

また、マイクロプロセッサを内蔵する IP では、ソフトウェアである程度機器ごとの機能変更にも対応できる。

### ■ QTAT とプラットフォームアプローチ

このように専用度が高く多機能な SoC では、IP 再利用による短期期



(QTAT : Quick Turn Around Time) の実現が鍵である。

しかし、多くのIPは、再利用してSoCを構成することを事前に想定して設計されてはいない。このため再利用時に、バスなどに相互に接続するためだけに設計変更を行う必要に迫られることが多く、変更に伴う設計検証の作業量が少なくない。また、トランジスタレベルなど設計抽象度が低いIPでは、冒頭に述べたプロセス変更などに伴う設計変更の手間も大きい。

以上のようなIP再利用の問題点を克服する手段として、プラットフォームというアプローチがある。これは、各ハードウェアIPのバスへのインターフェースや相互接続の方法などを合わせておいて、いろいろなIPを設計変更せずに再利用するという手法である。プロセス変更に対応できるように、IPの設

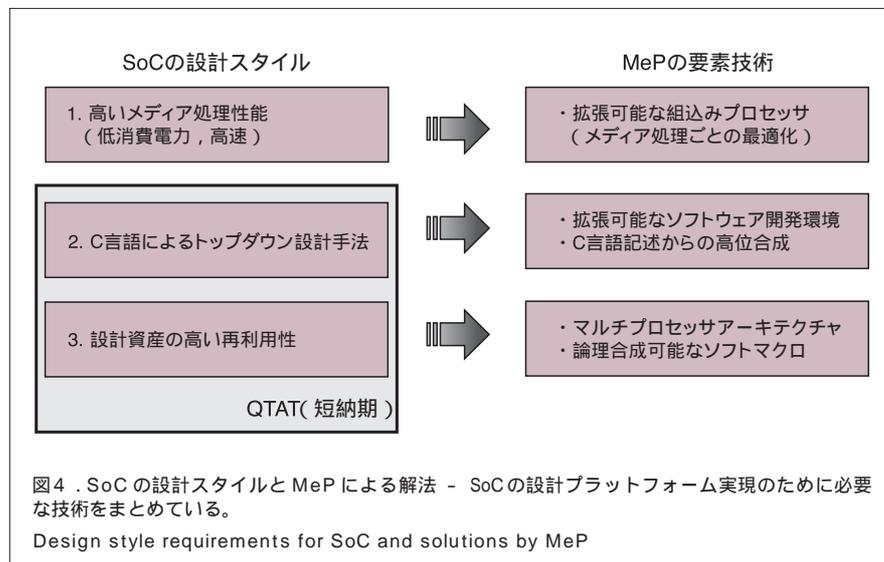
計抽象度もRTL以上の高いレベルを使用する。

このようなアプローチを取ることで、スケラブルに既存のIPを組み合わせたSoCのプラットフォームを構築する

ことができる。

■ SoC スタイルとは

以上述べてきたように、既存のハードウェアIPを再利用して組み合わせ、



コンフィギュラブル プロセッサ MeP コアの拡張機能

MeP コアは キャッシュメモリのサイズや、乗除算器の使用の有無などをリストの中から取捨選択する、コンフィギュレーションの機能を持っている。

更に、MeP は4種類のユーザー拡張機能を持っており、用途に応じてコアの機能をカスタマイズすることができる。以下に各拡張機能を簡単に説明する。

UCI( User Custom Instruction )命令拡張

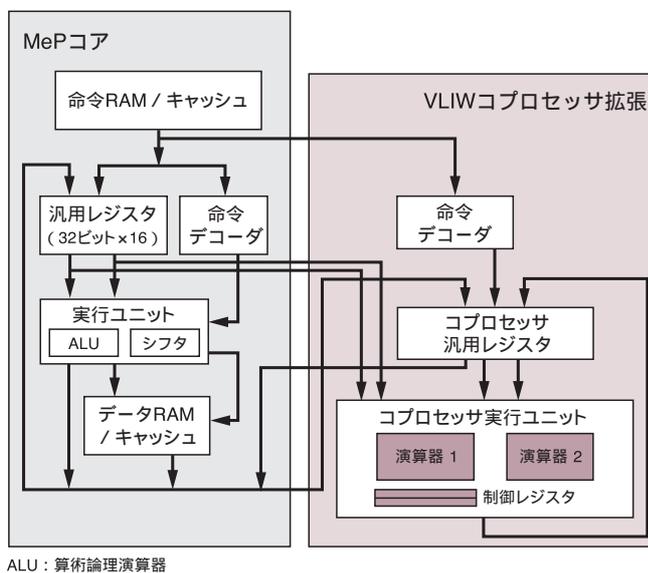
MeP コア内のALUに専用の1サイクル実行命令を追加できる。

DSP 命令拡張

MeP コア内にマルチサイクルの命令を追加し、データRAMへのアクセスも可能である。DSP コプロセッサなどの実装に利用できる。

VLIW( Very Long Instruction Word )コプロセッサ命令拡張

2命令あるいは3命令同時実行のVLIW命令を追加することが可能。MeP コアと、拡張したコプロセッサとの同時実行が可能であり、画像認識やオーディオ処理など、高



MeP コアの VLIW コプロセッサ拡張機能のブロック図 - 32ビット又は64ビット固定長VLIW コア動作とコプロセッサ動作を同時に実行可能である。

機能でプログラマブルなデータ処理に適する(図参照)

ハードウェアエンジン拡張

MeP コアは、CPUバスと別に制御バスと呼ぶI/Oアドレスを定義している。自走型

のハードウェアモジュールの制御レジスタをこの制御バスに接続することで、きめ細かい制御ができる。

これに新規の機能を付加して、目標機能、性能、コストを短期間で実現するというのが、SoCの基本的な設計スタイルである。このためには、コストパフォーマンスの高い各種デジタルメディア処理IPを開発し、C言語によるトップダウン設計手法をベースにした設計環境を構築し、設計資産の高い再利用性を実現するためのSoCプラットフォームを整えていくのが、SoC普及のために今後進むべき道である(図4)。

### MeP による SoC 設計

当社は、SoCプラットフォーム構築のための中核技術として、独自アーキテクチャの組み込み用プロセッサ MePを開発した<sup>(4)</sup>。また、この MePをベースとした各種デジタルメディア処理用 IPと、これら IPを用いた SoCの開発を進めている。

プロセッサ本体である MeP コアはシンプルな32ビット RISC(縮小命令セットコンピュータ)型プロセッサだが、処理の特徴に合わせてカスタマイズした拡張機能を追加できるインタフェースを備えた、“コンフィギュラブル プロセッサ”である(囲み記事参照)。それはちょうど拡張ベイを内蔵したノート PCに例えることができる。

MeP コアは、初期のコンセプト設計の段階で、SoCの設計スタイルを実現しやすくすることを狙って、三つの設計階層を定義している(図5)。以下、各設計階層と対応させて説明する。

#### ■ MeP コア：ソフトマクロ

MeP コアは、デジタルメディア処理用 IPの中に埋め込まれ、IPの制御用マイクロコントローラとして使用されることを想定している。拡張機能の目的の一つは、従来の組み込み用マイクロプロセ

ッサよりもきめ細かく IPを制御して、デジタルメディア処理性能を高めるためである。

また、コア自体も RTLで記述され、論理合成可能なソフトマクロである。多くの組み込み用マイクロプロセッサが、一部トランジスタレベルで設計されたハードマクロであるのに比べて、設計資産の再利用性が高い。例えば図6のように、動作周波数と面積のトレードオフの調整が可能である。

#### ■ MeP モジュール：トップダウン設計

一つの MeP コアとそれに直接接続された拡張機能を合わせて、MeP モジュールと呼ぶ。

コンフィギュラブル プロセッサである MeP コアは、ソフトウェア開発環境とハードウェア開発環境を統合した C言語によるトップダウン設計手法に適し

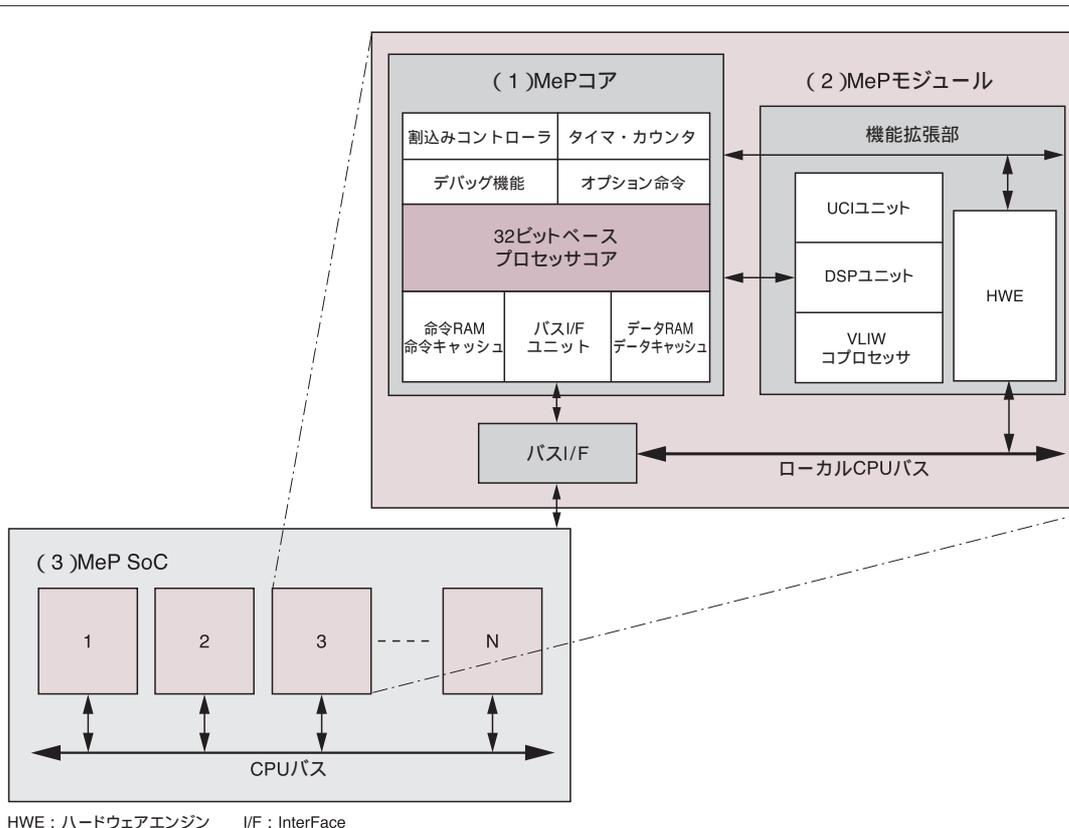


図5 . MeP の設計階層 - MeP では、MeP コア、MeP モジュール、MeP SoC と三つの設計階層を定義して、設計資産の再利用性を高めている。  
Design hierarchy of MeP

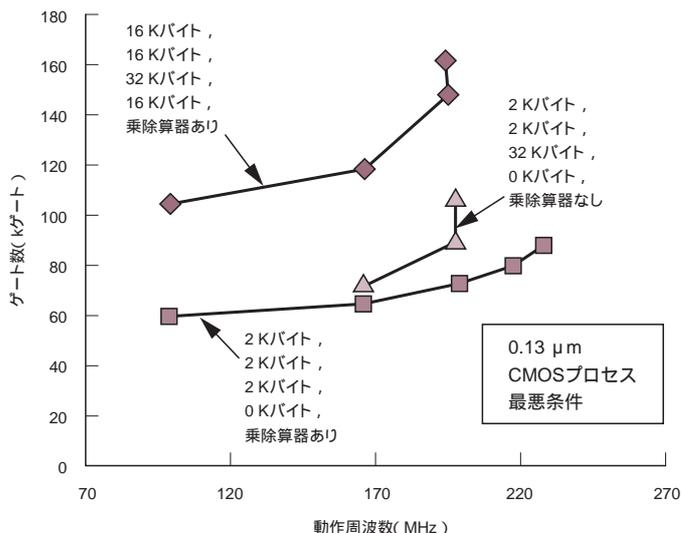


図6 . MeP コアの動作周波数と面積の関係 - ソフトマクロである MeP コアは、論理合成の制約条件を変えて動作周波数と面積(ゲートサイズ)を調整することができる。図中の数字は順に命令メモリ、命令キャッシュ、データメモリ、データキャッシュの容量(Kバイト)を示している。

MeP core gate size vs. operating frequency

ジュールをこのCPUバスに接続して、メモリ共有型マルチプロセッサシステム MeP SoC を構成することができる。このように MeP モジュールを IP 再利用の基本単位として組み合わせるのが、MeP をベースとした SoC プラットフォームの構築方法である。

当社では、MPEG-2、MPEG-4 などの規格に準拠したビデオデコードやエンコード用 IP、オーディオ用 DSP、画像認識プロセッサ、グラフィックス処理 IP など、様々な MeP モジュールの開発を進めている。

また、MeP モジュールの内部にも、ローカルな CPU バスが設けられている。このように、CPU バスを二重化することで、モジュール内部の CPU バスのデータ転送が、モジュール外部の CPU バスの転送に影響を与えない。

MeP コアを使って図2で述べたデジタル TV 用機能を SoC に実装した例 (TC81240TB をブロック図に示す 図7)。MeP コアはビデオ、オーディオ、ビット

ている。ハードウェアの改変、拡張機能がプロセッサコアのアーキテクチャ自体に定義されているからである。MeP の設計手法については、この特集の論文“ MeP における SoC 開発手法”

(p.9 ~ 13)を参照願いたい。

### ■ MeP SoC : プラットフォーム

MeP モジュールは、CPU バスインタフェースを備えており、複数の MeP モ

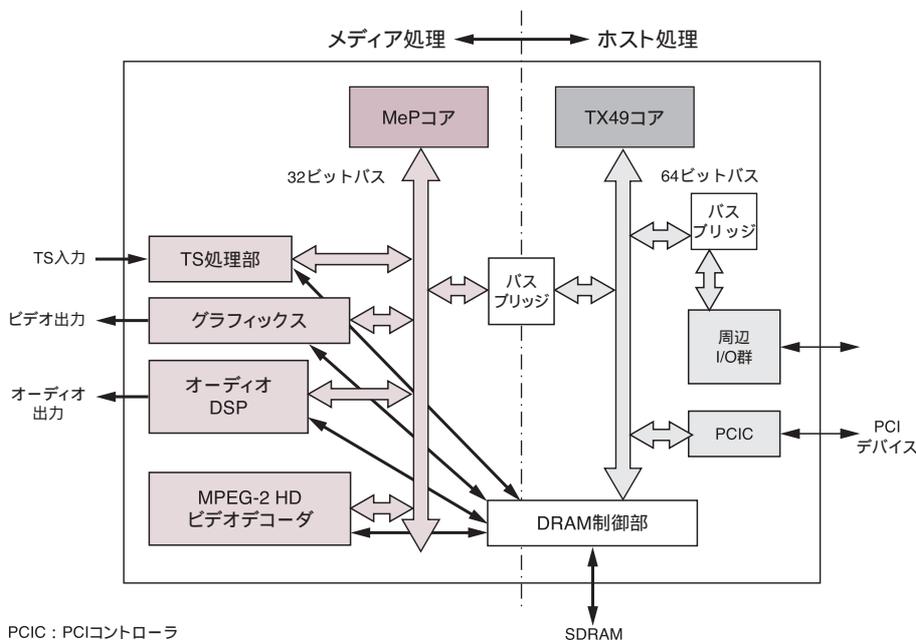


図7 . デジタル TV 用 1 チップ LSI (TC81240TB) のブロック図 - MeP コアが制御するデジタルメディア処理部と、TX49 コアが制御するホスト処理部から成る。

Block diagram of single-chip digital TV LSI (TC81240TB)

ストリーム( TS )処理などのコントローラとして使用されている。一方、このシステムのホストプロセッサは、当社のミドルレンジの64ビットRISCプロセッサTX49であり、高機能なOSやアプリケーションソフトウェアなどはTX49上で実行されている。デジタルメディア処理部の制御も、TX49上のデバイスドライバがMePコアにコマンドを送り、MePコアが解釈して実行するという手順で行われる。

このように、当社のTXシリーズのようなホストプロセッサが、MePをベースとしたデジタルメディア処理用IPをハードウェアアクセラレータとして利用するという、いわば、1チップPCのような構成でSoCを設計するのが、ハードウェアだけでなくソフトウェアの再利用性の観点から、有力なシステム構築方法である。

## 今後の展望

多機能化に伴って今後ますます複雑になるSoCを短期間で開発するために、一度開発した設計資産を、可能な限り効率良く再利用する設計スタイルが普及すると思われる。MePは、これを支える設計インフラとして企画、開発され、ハードウェアとソフトウェアを統合したSoC設計プラットフォームの提供

を目指している。

一方、ここでは論述しなかったが、経済的な側面が、数年後のSoCの設計スタイルに変質をもたらす可能性が高い。機器一つ一つのシステム仕様は多様であることから、SoCの普及は本質的にLSIの専用化を促し、単機能の汎用品を駆逐する方向であることは前にも述べた。しかし、フォトマスクの製造コストや知的所有権の対価などから、ASIC(用途特定IC)のようなフルカスタムLSIの開発コストの上昇は、今後も抑えられないと予測される。この結果、フルカスタムSoCの開発コスト回収に見合う、機器の販売台数の採算点上昇が避けられず、SoC開発による性能の差異化と低コスト化の両立が困難になるろう。

この変化は、SoCの開発をフルカスタムASICによる高性能の大量生産品と、FPGA( Field Programmable Gate Array )ベースの少量生産品に分極化させる方向だと思われる。また、このジレンマを解消するために、LSI内部へのリコンフィギュラブルロジックの混載技術、あるいは複数のチップを一つのパッケージに封入するSIP( System-In-Package )技術の開発を加速するだろう。

MePも、この流れに沿った新技術の取込みを進めている。それとともに、

MePコアIPや、設計環境の外販や、それに伴う社外のパートナー組織へのライセンス供与によりMePを広く社内外へ提供し、効率的なSoC設計プラットフォームの普及とIPの流通を図っていく。

## 文献

- (1) 齊藤光男 . 半導体技術の進歩とシステムオンチップ . 東芝レビュー . 57 , 1 , 2002 , P.38 - 42 .
- (2) Dennard, R.H., et. al. Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions. IEEE Journal of Solid-State Circuits. SC-9, 1974, p. 256 - 268.
- (3) FCRP. 1997 Report of the Ad Hoc Working Group on Design and Test.  
< <http://fcrp.src.org/centers/dt/designreport97.asp> > , ( accessed 2003-4-14 ).
- (4) (株)東芝 . MePホームページ .  
< <http://www.MePcore.com> > ( accessed 2003-4-14 ).



松井 正貴  
MATSUI Masataka

セミコンダクター社 SoC研究開発センター デジタルメディアSoC技術開発部長。組込み用プロセッサMePとその応用LSIの開発に従事。IEEE会員。  
SoC Research & Development Center