

## 低消費電力CMOSデバイス用 高誘電体ゲート絶縁膜HfSiON

### シリコン集積化デバイスの可能性を広げる 新しいゲート絶縁膜の実用化

高誘電体ゲート絶縁膜によるシリコン酸化膜(SiO<sub>2</sub>)の置き換えは、シリコン集積化デバイス発明以来の珍事です。窒素添加ハフニウムシリケート(HfSiON)は、製品化の可能性を持つ高誘電体材料です。ハフニウムシリケート(HfSiO<sub>2</sub>)への窒素(N)添加により、1,000以上のLSI製造工程を経ても安定な膜構造が実現されます。HfSiONゲート絶縁膜により、従来のSiO<sub>2</sub>に対し3けたも低いゲート漏れ電流が実現されました(図1)。HfSiONによる世界初の高誘電体ゲート絶縁膜搭載デバイスを実用化することが東芝の目標です。

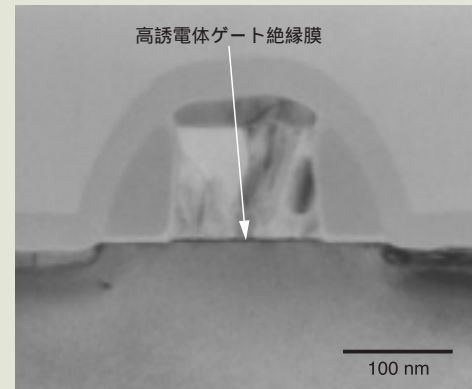


図1. 高誘電体ゲート絶縁膜トランジスタの断面構造 - ゲート長100nmを切る微細CMOSトランジスタのゲート絶縁膜にHfSiON(矢印で示した黒い薄膜部)を使用しています。

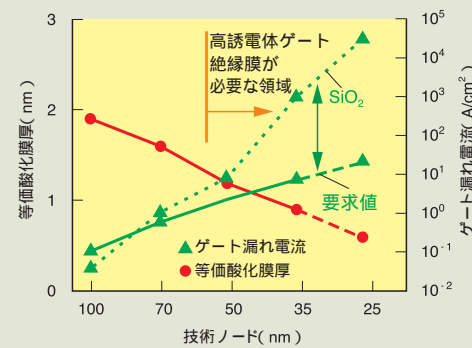


図2. CMOSデバイス微細化に伴うゲート絶縁膜に対する要求性能の変遷 - 技術ノード50nm(2005年製品化予定)以降では従来のSiO<sub>2</sub>は要求を満たせず、高誘電体ゲート絶縁膜が必須となります。

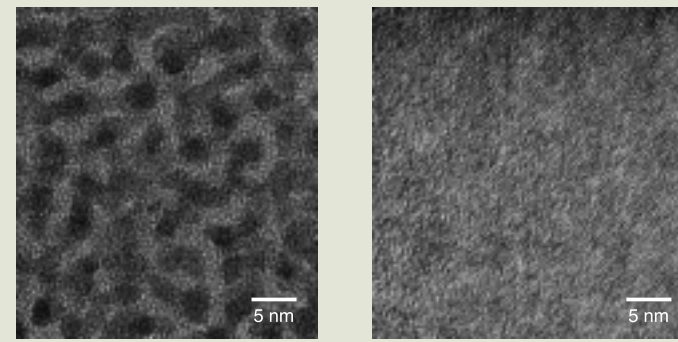


図3. N添加によるHfSiO<sub>2</sub>耐熱性向上 - N添加により1,000°C熱処理によるHfSiO<sub>2</sub>の化学成分分離が抑制されました。

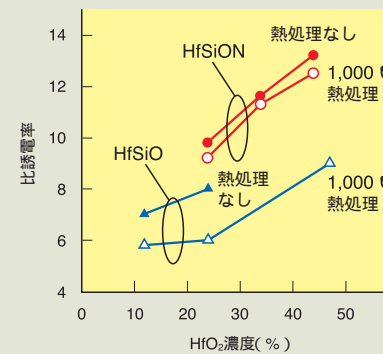


図4. HfSiONの誘電率 - Nの添加により、熱処理工程後も高い誘電率が保持されています。

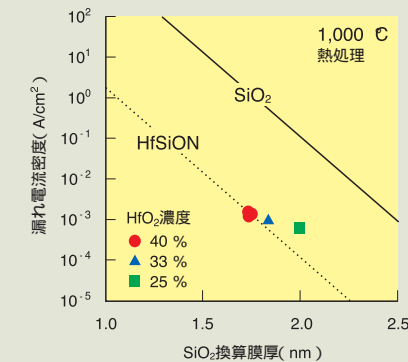


図5. HfSiONのゲート漏れ電流特性 - HfSiONにより従来のSiO<sub>2</sub>よりも3けた低いゲート漏れ電流特性が実現されました。

### 窒素添加ハフニウムシリケート(HfSiON)とは

このような高温環境に耐えうる高誘電体材料として、HfSiONが挙げられます。HfSiONは、SiO<sub>2</sub>の構造安定性にハフニウム酸化物(HfO<sub>2</sub>)の高誘電性を併せ持つ有望な材料と考えられてきました。しかしながらHfSiONは、1,000以上の高温環境でSiO<sub>2</sub>とHfO<sub>2</sub>の個々の化学成分に分離してしまうという、重大な欠点を持つことが判明したのです。

この欠点を補うためにHfSiONにNを添加する実験を行いました。このような実験を思いついたのは、従来のゲート絶縁膜であるSiO<sub>2</sub>において、N添加が膜の高温環境耐性を向

上させることが知られていたためです。図3は、透過型電子顕微鏡による1,000°C熱処理後のHfSiONの構造観察結果です。通常のHfSiONは黒白まじりの構造となっています(図3(a))。黒い部分は多量のHfの蓄積によるもので、HfSiONの化学成分分離を意味します。これに対し、N添加されたHfSiONすなわちHfSiONではHfの偏在はまったく見られず、高温環境下での成分分離が完全に阻止されたことがわかります(図3(b))。

このような構造の強じんさが誘電率の安定性をもたらしました。HfSiONの誘電率は、図4に示すように1,000°C熱処理後も極めて安定で、HfSiONの誘電率が熱処理によ

り大きく劣化したのと対照的です。これに加え、添加されたN自身が膜の誘電率を向上させる効果を持つことも判明しました。

これらの特長を持つHfSiONを用い、SiO<sub>2</sub>より3けたも低い漏れ電流特性が実現しました(図5)。これは、高い誘電率を維持し、電気的膜厚同一の条件でゲート絶縁膜の物理膜厚を厚くすることが可能となったためです。

### 世界初の高誘導体ゲート絶縁膜搭載製品実現のために

高誘電体ゲート絶縁膜によりSiO<sub>2</sub>を置き換えることができれば、これまでのシリコンデバイス製造に関する膨大な技術的蓄積の利用が可能となり、高性能かつ安価な半導体デバイスを提供し続けることができます。新材料HfSiONは、現時点でもっとも実用化に近い高誘電体材料と言えるでしょう。

当社は、HfSiONをゲート絶縁膜に用いたCMOS-LSIの製品化を目指し、高性能シリコンデバイスの発展を通じて、高度情報社会の更なる発展に貢献します。

小山 正人

研究開発センター  
LSI基盤技術ラボラトリー 研究主務

### 高誘電率ゲート絶縁膜の 必要性とその満たすべき特性

消費電力の低いシリコンCMOS(相補型金属酸化膜半導体)デバイスは、将来の高性能な個人携帯端末などに必須な要素デバイスです。これまで、その性能向上はひとえにデバイスの微細化により実現されてきましたが、近年、微細化の限界に伴う性能向上の限界が現実味を帯びてきました。微細化限界の一つがゲート絶縁膜の薄膜化限界です。

従来のシリコンCMOSデバイスではゲート絶縁膜にSiO<sub>2</sub>が用いられてきました。微細化に伴いその膜厚が2ナノメートル(nm, n: 10<sup>-9</sup>)以下になったとき、量子力学的トンネ

ル効果により電子がSiO<sub>2</sub>を透過するため、電気的絶縁性が保てなくなります。

この問題解決のために進めているのが、SiO<sub>2</sub>より誘電率の高い絶縁膜の研究です。高誘電率化により物理膜厚を厚くし、トンネル効果による薄膜化限界を回避することが目的です。

CMOSデバイスの微細化に伴うゲート絶縁膜に対する要求の変遷を図2に示します。横軸の技術ノードは技術開発の世代を意味します。従来のSiO<sub>2</sub>のゲート漏れ電流は、技術ノード70nmで要求を満たせなくなります。技術ノード50nmではその乖離(かいり)は激しくなる一方で、どんなに遅くともこの世代で

は、SiO<sub>2</sub>を高誘電体ゲート絶縁膜で置き換えることが必須となります。

このように高誘電体ゲート絶縁膜の開発は急を要するものですが、ゲート絶縁膜はCMOSデバイスの心臓部であり、これを新しい材料で置き換えるには十分な事前検討が必要です。高誘電体の導入にあたって危ぐされる最大の問題点は、高誘電体材料が高温環境下で結晶状態へ相転移し、これに伴いデバイス特性が著しく劣化することです。シリコンデバイスは1,000以上の高温環境で製造されていますが、このような厳しい環境を経ても、SiO<sub>2</sub>のように材料の特徴が変化しないことが、ゲート絶縁膜の満たすべき特質なのです。