

W-CDMA 端末用 ベースバンドチップセット

Development of Chip Set for Third-Generation Cellular Phones

小林 崇裕

KOBAYASHI Takahiro

飯田 伸一

IIDA Shinichi

三ッ木 淳

MITSUGI Jun

第3世代(3G)携帯電話技術の一つであるW-CDMA(Wideband-Code Division Multiple Access)方式を実現するベースバンドLSIチップセットを開発した。このチップセットは、W-CDMA モデム(変復調)LSI、プロトコル/アプリケーション用MPUとHMI(Human Machine Interface)及びデータインタフェース機能を搭載したコントロールLSI、ベースバンド信号のアナログ/デジタル変換などを行うミックスドシグナルLSIの3チップから構成される。特長としては、これら3チップはCMOS微細化プロセス(0.18 μm)を採用して、端末の小型化、低消費電力化(長時間通話/待受け)を実現していることが挙げられる。

This paper describes the development of a base-band LSI chip set for W-CDMA Cellular phone. W-CDMA is one of the third-generation cellular phone technologies. This chip set consists of three LSIs employing 0.18 μm CMOS technology: a modem LSI, control LSI, and mixed signal LSI. The modem LSI has W-CDMA modulation/demodulation, channel codec, and vocoder functions. The control LSI is used for the processing of protocols and applications, and has the human-machine interface (HMI) and several data interfaces. The mixed signal LSI performs analog/digital conversion of base-band signals.

A Cellular phone with the chip set for W-CDMA has attractive features such as small size, a long talking time, and a long standby time.

1 まえがき

2001年10月から、IMT-2000(International Mobile Telecommunications-2000)端末方式の一つであるW-CDMA方式を用いた携帯電話サービスが日本で開始された。第3世代とも呼ばれるこのW-CDMA方式携帯電話は、高速なデータ通信機能を持ち、それを応用した様々なアプリケーションが実行可能である。また、第3世代移動体通信システムの標準化プロジェクトである3GPP(3rd Generation Partnership Project)で国際標準規格化された方式であり、将来的に国際ローミングが可能なが挙げられる。

W-CDMA方式は、従来のPDQ(Personal Digital Cellular)をはじめとする第2世代の携帯電話に比べ、ベースバンドでの高機能かつ高速処理が要求されるため、極めて強力なハードウェア/ソフトウェア処理能力が必要となる。具体的には、変復調を行うハードウェア処理量はPDCに比べ1~2けた、通信プロトコル及びアプリケーションを実行するMPU/マルチメディア処理は1けた、それぞれ上の性能が要求される。しかし、携帯電話としての基本的な端末側への要求が待受け/通話時間の長時間化、小型・軽量化であることは同じである。

ここでは、W-CDMA 端末用ベースバンド信号処理の概要を紹介し、端末の小型化、低消費電力化のキーとなる

W-CDMA 端末用ベースバンドチップセットの開発、及び今後の技術的開発課題について述べる。

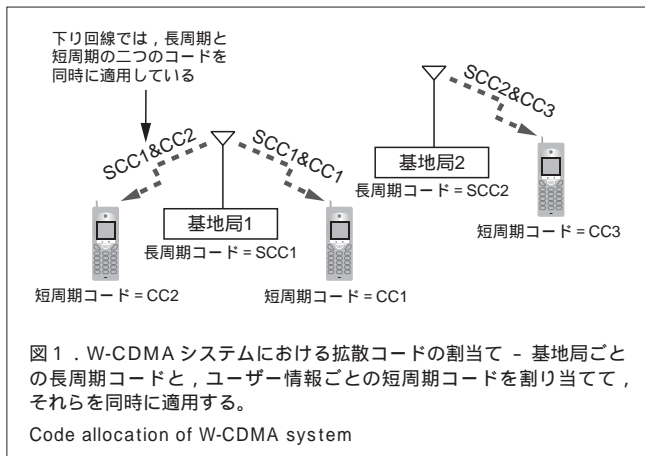
2 W-CDMA 方式の特長とベースバンドLSIへの要求

3GPPで規格提案されたW-CDMA方式の特長について概略を説明し、ベースバンドLSIへの主な要求について述べる。

2.1 W-CDMA(DS)方式概要(システム構成)

W-CDMA方式は無線アクセス方式としてDS-SS(Direct Sequence-SS)を採用している。SSは各ユーザー固有に割り当てられた拡散コードを使用することで、複数のユーザーで同一の周波数を使用する。拡散コードはユーザーの情報レートより高速なレート(チップレートと呼ばれる)を持つ。

W-CDMAシステムの拡散帯域は5MHzであり、3.84 Mcpsのチップレートで情報の拡散を行っている。基地局の送信(下り回線)では、基地局(又はセル)固有に割り当てられた長周期の拡散コード(スクランプリングコード)と、チャンネルごとに動的に割り当てられる短周期の拡散コード(チャネルライゼーションコード)の2種類を多重して拡散している。移動機の送信(上り回線)では、基本的には移動機固有の長周期の拡散コードと、チャンネル識別用の短周期の拡散コードを多重して拡散する(図1)。



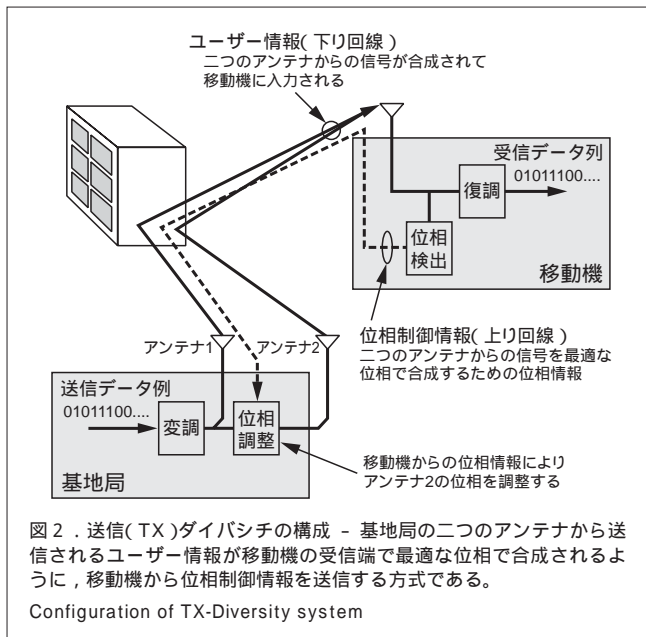
下り回線のチャンネル種別は、共通チャンネルと個別チャンネルに大別できる。共通チャンネルには、報知情報を送信するチャンネル、複数のユーザーで共用するチャンネル、及び移動機での下り信号の復調(同期検波)に使用されるパイロットチャンネルがある。また、移動機が基地局識別を行う手順に使用される同期チャンネルもある。個別チャンネルは、各ユーザー個別に割り当てられたチャンネルで、音声や画像などの情報の伝送に使用される。

移動機は、通信開始に先立ち、同期チャンネルなどを利用して受信可能な基地局のサーチを行う必要がある。また、受信可能な基地局はユーザーの移動に伴い遷移するので、通信中にもパイロットチャンネルなどの受信レベルを観測する。

端末の移動に伴う受信レベルの変動(フェージング変動)により、受信データ列に誤りが生ずることがある。また、CDMA方式では、同一の周波数をできるだけ多くの複数ユーザーで使用するため、1ユーザー当たりの送信電力は極力小さくする必要がある。これらを解決するために、W-CDMAシステムでは、パワーコントロールなど以下に示す種々の技術が用いられる。

高速なレートの拡散コードを用いることで、異なる方向から到来した反射波を分離することができる。また、基地局ごとに拡散コードが異なるため、複数の基地局からの信号も分離することができる。分離した複数の反射波及び複数の基地局からの信号を合成することで、受信品質を向上させることができる。また、フェージング変動の影響を低減するダイバシチ技術があるが、W-CDMAでは、基地局側に二つのアンテナを備える送信ダイバシチという方式が複数規定されている(図2)。

誤り訂正技術として、音声などの比較的低速な情報レートのデータには畳込み符号化が、パケットなど比較的高速な情報レートのデータにはターボ符号化が使用される。また、無線環境では、誤りはバースト的に発生するという特徴がある。データ列の送信順序を入れ替えるインタリーブ技術を併用



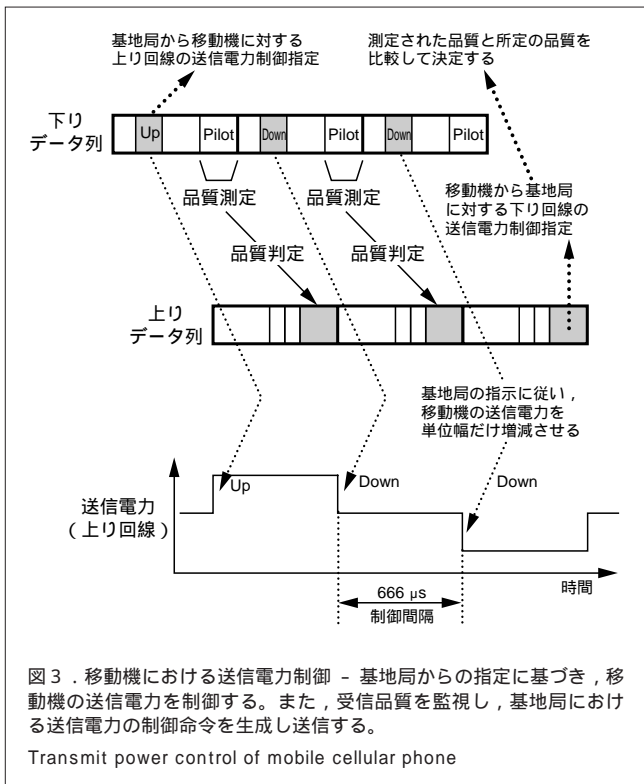
することで、効果的な誤り訂正を行っている。

下り回線/上り回線とも、受信品質に基づいて送信電力を最適に制御する送信電力制御を使用している。下り回線の電力制御は、移動機が受信品質を測定して基地局に対して制御情報を送ることで実現し、上り回線の電力制御は、基地局が受信品質を測定して移動機に対して制御情報を送ることで実現している。約660 μsの制御周期ごとに1 dB単位で送信電力を制御することで、高速なフェージング変動があっても最適な送信電力を維持することができる(図3)。

2.2 ベースバンド LSI への要求

W-CDMA 端末を実現するためには、ベースバンド信号処理及び各種制御を行うベースバンド LSI が重要な開発要素として挙げられ、以下のことが要求される。

- (1) 低消費電力 W-CDMA方式は、従来に比べ非常に多くの信号処理、高速制御が必要であるが、携帯電話に使用できる電池は大きさ、容量、質量が制限されるため、LSIの低消費電力化が必須である。その実現には、最適な信号処理アルゴリズム開発とそれを実現する回路規模削減、更に低消費電力微細化プロセスを使用することがもっとも重要なファクタとなる。
- (2) 低リーク電流 LSI内部のレジスタやメモリなど電源を切ることのできない回路がある。待受け時間の長時間化にはこのような回路に流れる電流(リーク電流)が極めて低いことが必要である。
- (3) ローコスト、小型化、高集積化 携帯電話としては、小型及び低価格であることが常に要求される。このためにはLSI化によるメリットを十分に生かすため、微細化プロセスを使用するだけでなく、最適な機能分割をしたチップセット構成が必要である。この機能分割は、A



ナログ(A)/デジタル(D)回路, 信号処理のハードウェア化/ソフトウェア化のパーティショニングなど, システム的に多方面から検討を行う。

3 システム構成とチップセット

3.1 システム構成

開発した移動機とベースバンド信号処理回路の構成を

図4に示す。信号の流れを以下に説明する。

移動機が受信した2 GHz帯の信号は, RF(高周波)モジュールによりベースバンド信号に変換され, ミックスシグナルLSIに内蔵したA/D変換器によりデジタル信号に変換される。変換された受信信号に対して, モデムLSI内ではセルサーチ処理, 復調処理, 誤り訂正などを行う。通信制御のための制御情報やパケットなどの非音声サービスの場合, 誤り訂正後のデータはモデムLSIからコントロールLSIに渡され, 制御・サービスに応じた処理がなされる。

移動機から基地局へ送信される制御情報やユーザー情報は, コントロールLSI内で処理された後にモデムLSIに渡され, 誤り訂正符号化(畳込み符号化あるいはターボ符号化)処理が施される。誤り訂正処理後のデータ列は, 符号拡散処理されてミックスシグナルLSIに渡され, D/A変換器によりアナログのベースバンド信号に変換される。ベースバンド信号はRFモジュールにて2 GHz帯の無線信号に変換され, 基地局へ送信される。

音声サービスの場合, 誤り訂正後の音声データは, AMR(Adaptive Multi Rate)音声コーデックで音声データに変換された後, D/A変換器によりアナログ音声信号に変換される。逆にマイクなどから入力されるアナログ音声信号は, A/D変換器によりデジタルの音声データに変換され, AMR音声コーデックを経て誤り訂正符号化処理に入力される。ここで使用するA/D・D/A変換器はミックスシグナルLSIに内蔵されている。

3.2 チップセット

このベースバンドチップセットは, 図4に示したように, ミックスシグナルLSI, モデムLSI, コントロールLSIの3チップにより構成される。それぞれのチップを図5に示す。

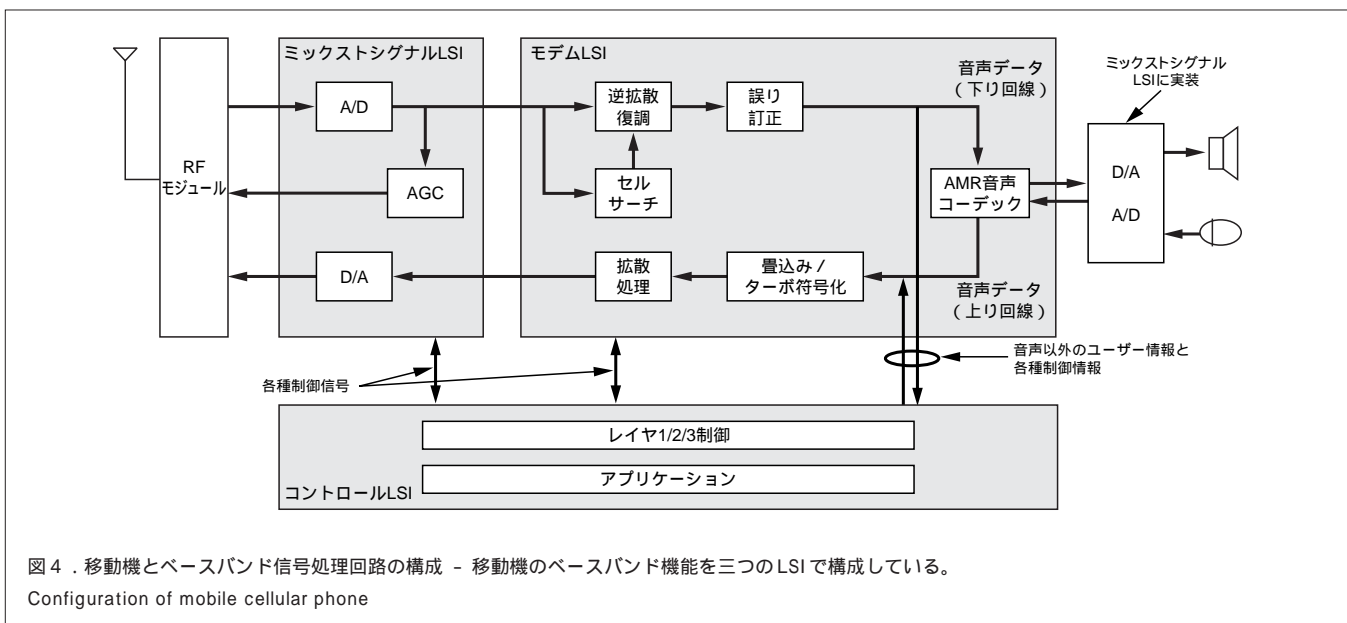




図5 . チップセット - 左からミックストシグナルLSI(11 mm × 11 mm ,241ピン),コントロールLSI(13 mm × 13 mm ,284 ピン),モデム LSI(15 mm × 15 mm ,281 ピン)で,いずれもFBGA(Fine pitch Ball Grid Array)パッケージである。

Top view of mixed signal LSI, control LSI, and modem LSI

3.2.1 ミックストシグナルLSI(アナログフロントエンド)

RF部からのベースバンド信号をデジタル信号に変換する6ビットA/D変換器,入力レベルを基にダイナミックレンジを制御する受信AGC(Automatic Gain Control),送信用10ビットD/A変換器などから構成される。

3.2.2 モデムLSI モデムLSIは,主にミックストシグナルLSIでデジタル信号に変換されたベースバンド信号に対して,逆拡散・復調処理,デインタリーブ・誤り訂正(ピタビ復号又はターボ復号)処理を行い,コントロールLSIに誤り訂正後のデータ列を出力する。逆に,コントロールLSIから入力されるデータ列に対して誤り訂正符号化(畳込み符号化又はターボ符号化)・インタリーブ処理を行い,変調・拡散処理を行った後ミックストシグナルLSIに出力する。上記の変復調処理系以外に,データの変復調処理に必要なセルサーチ処理機能や送信電力制御処理機能も実装している。また,AMR処理用DSP(Digital Signal Processor)もこのモデムLSIに内蔵している。

3.2.3 コントロールLSI コントロールLSIは,通信プロトコル及びアプリケーションを実行するMPU(TX19H2)のほか,キーインタフェースなどのHMIや,USIM(Universal Subscriber Identity Module)/USB(Universal Serial Bus)などのデータインタフェース回路を内蔵している。

機能インタフェースとして,MPEG-4(Moving Picture Experts Group-phase 4)をはじめとするマルチメディアアクセラレータとのインタフェースも装備している。

W-CDMAで採用されているKASUMI方式の暗号化を適用した秘匿処理を行うハードウェアを実装している。

4 使用プロセス及びDSP/CPUコア

4.1 使用プロセス/アナログ回路設計技術

このチップセットは,0.18 μm CMOS(相補型金属酸化膜半導体)プロセスを使用した。ゲート長は0.14 μm であり,回路に応じたしきい値電圧(V_{th})のトランジスタを使用する当社独自のマルチスレッショルド技術を導入することで,高速

信号処理と待機時のリーク電流削減を実現している。デジタル部コアの電源電圧は1.5Vである。

デジタル回路は微細化プロセスを使用することにより,高速化及び低電圧動作による低消費電力化を達成している。アナログ回路においては,十分なダイナミックレンジを確保するため2.5V程度の電源電圧が必要であり,回路設計技術により低消費電力化を実現した。

ミックストシグナルLSIのアナログフロントエンド部には,個々のアナログコアを最適設計するほか,システムティックな工夫による低消費電力化を行っている。例えば,送受信系回路におけるDC(直流)オフセット除去をデジタル的に行い,アナログ信号のダイナミックレンジを損なうことなく,アナログ回路(A/D変換器・D/A変換器)に対する分解能・精度要求を緩和した。また,アナログ/デジタル混載LSIにおいては,デジタル回路が発生する雑音による影響への配慮が必要であるが,ほとんどのアナログ信号を差動化し,雑音を同相信号として除去することで,S/N(信号対雑音比)の向上を図っている。

4.2 DSP/MPUコア

4.2.1 DSPコア(TC8009) モデムLSIには,2個のDSPを搭載している。一つは,モデム信号処理の演算/制御を行っていて,もう一つはAMR音声コーデック,ノイズキャンセル及びエコーキャンセルの処理を行っている。両者には共通のTC8009 DSPコアを使用しており,携帯電話用として高速動作と低消費電力・低待機電力の両立化を達成している。

内蔵メモリは,処理効率を高めるために2系統の読出しと1系統の書込みを同時に行うことのできる3ポートRAM(Random Access Memory)をデータRAMに採用した。この3ポートRAM及びROM(Read Only Memory)には,ビット線の信号振幅を低電圧化して低消費電力にしたDSP専用のメモリを搭載している。主な仕様を表1に示す。

表1 . TC8009 DSPの仕様
Specifications of TC8009 DSP

項目	仕様
コア	16ビット固定小数点
メモリ空間	命令 : 64Kワード×32ビット データ : 64Kワード×16ビット
バス構成	3本のデータバスにて2系統の読出しと1系統の書込み メモリアクセスを同時実行可能 データ長は16/32選択可
演算機能	積和演算器を2個搭載 (16×16+48 48を1サイクルに2回実行可能) 高速ピタビ命令によりACS演算を1クロック実行可能
その他	ゼロオーバーヘッドループ機能(8レベルネスト可能)

ACS : Add Compare Select

4.2.2 MPU コア(TX19H2) 制御LSIには、移動通信用に開発したRISC(Reduced Instruction Set Computers)MPU TX19H2を搭載している。TX19H2は、米国のMIPS社のR3000ATM(注1)アーキテクチャをベースとして当社が開発したTX39に、高コード効率の命令セットであるMIPSグループのMIPS16TM(注2)ASE(Application Specific Extension)を追加した32ビットRISCプロセッサコアである。高性能であるとともに、携帯用途に適した低消費電力、低待機電力を実現している。

TX19H2の仕様を表2に示す。

表2 . TX19H2 MPU の仕様
Specifications of TX19H2 MPU

項目	仕様
コア	RISC技術に基づく高性能R3000A TM アーキテクチャを採用
処理性能	50.4 MIPS(48 MHz動作時) Dhrystone 2.1
DSP機能	32ビット積和演算を高速に実行
メモリ	命令キャッシュ : 8Kバイト データキャッシュ : 4Kバイト 高速内蔵データメモリ : 2Kバイト
コード	MIPS16 TM ASEとオブジェクトレベルで互換性を持つ 16ビットコードを採用しコードサイズを縮小
その他	メモリコントローラ、割込みコントローラ、DMAC、 タイマ回路を内蔵 割込み応答を高速化しリアルタイム性向上 低消費電力/低待機電力携帯端末に適した低消費電力 設計で、各種スタンバイモードをサポート

MIPS : Million Instructions Per Second
Dhrystone : MPUの速度をテストするために使う方法の一つ
DMAC : Direct Memory Access Controller

(注1)(注2) M3000A, MIPS16は、米国MIPS Technologies, Inc.の商標。

5 あとがき

第3世代(3G)携帯電話技術の一つであるW-CDMA方式を実現するベースバンドLSIチップセットを開発した。チップセットは3チップで構成され、ベースバンド通信機能を実現することができ、端末の小型化、低消費電力化に有効である。

今後は、新規アルゴリズムの開発とデジタル信号処理技術により、回路規模を更に削減し、低消費電力化、端末の小型化、ローコスト化を推進していく。

また、通信と放送を融合した、次世代の移動通信マルチメディア端末の実現に向けた技術開発も、重要な課題としてとらえていく。



小林 崇裕 KOBAYASHI Takahiro

デジタルメディアネットワーク社 コアテクノロジーセンター モバイルテクノロジーセンター主務。移動通信用LSIの設計・開発に従事。電子情報通信学会会員。
Core Technology Center



飯田 伸一 IIDA Shinichi

セミコンダクター社 システムLSI事業部 マイクロエレクトロニクスセンター参事。通信用LSIの開発に従事。
System LSI Div.



三ツ木 淳 MITSUGI Jun

研究開発センター モバイル通信ラボラトリー研究主務。移動通信に関する研究・開発に従事。電子情報通信学会会員。
Mobile Communication Lab.