

MPEG-4 コーデック LSI

MPEG-4 CODEC LSI

高橋 真史

TAKAHASHI Masafumi

携帯情報機器向け低消費電力 MPEG-4(Moving Picture Experts Group-phase 4)コーデック LSIを開発した。MPEG-4 標準化の途上で LSI 開発を進めるため、規格変更に対応できるように、16 ビット RISC(縮小命令セットコンピュータ)プロセッサとハードウェアエンジンから構成されるアーキテクチャを採用した。電池駆動である携帯情報機器に適合させるため、クロックゲーティング、低電力動き検出アルゴリズム、混載 DRAM などの様々な低消費電力化技術を採用した。量産版 MPEG-4 LSI は、テレビ(TV)電話動作に必要な動画と音声の圧縮伸張、及び多重分離の処理を 75mW の低消費電力で実行する。

Toshiba has developed low-power MPEG-4 codec LSIs for mobile applications. The combination of RISC and hardware accelerators was adopted to cope with the MPEG-4 standard change, because these LSIs were developed when the MPEG-4 standardization process was in progress. Furthermore, various low-power technologies such as clock gating, a low-power motion estimator, and embedded DRAM were adopted to meet the demand for low power consumption in battery-driven mobile products.

The production MPEG-4 LSI, which includes a video codec, a speech codec, and multiplexing/demultiplexing functions, handles the video telephony application with a power consumption of only 75 mW.

1 まえがき

次世代のマルチメディア圧縮伸長規格 MPEG-4 の有力な適用分野の一つとして、携帯電話を介した動画転送や、携帯情報端末(PDA)及びデジタルスチルカメラでの動画録画 / 再生が実用化されつつある。パソコン(PC)と異なり、これらの携帯情報機器の CPU の処理能力はそれほど高くない。しかし、動画やオーディオ処理は、数十～数百 MIPS (Million Instructions Per Second) という、携帯情報機器にとっては比較的高い処理性能を要求するため、これら携帯情報機器で動画像や音声の圧縮伸張を行うためには、マルチメディア処理用 DSP(Digital Signal Processor)や専用 LSI が必要となる。また、携帯情報機器はバッテリーで動作するため、バッテリー容量の制約から、このマルチメディア LSI の消費電力は低く抑えられることが要求される。つまり、携帯情報機器向けマルチメディア LSI は、必要十分な処理性能と低消費電力を両立する必要がある。

当社では、1998 年の MPEG-4 ワーキングドラフト制定に合わせて、MPEG-4 コーデック LSI の開発を行ってきた。当時、MPEG-4 規格自体がまだ流動的で、今後大きく変更される可能性もあったため、プログラマブルな RISC プロセッサを中心にハードウェアエンジンを付加した形で MPEG-4 コーデック LSI を構成した。その後携帯電話をターゲットにして、より

高性能・多機能化、及びより低消費電力化を図ってきた。

ここでは、携帯情報機器向けに開発した、低消費電力 MPEG-4 コーデック LSI について述べる。

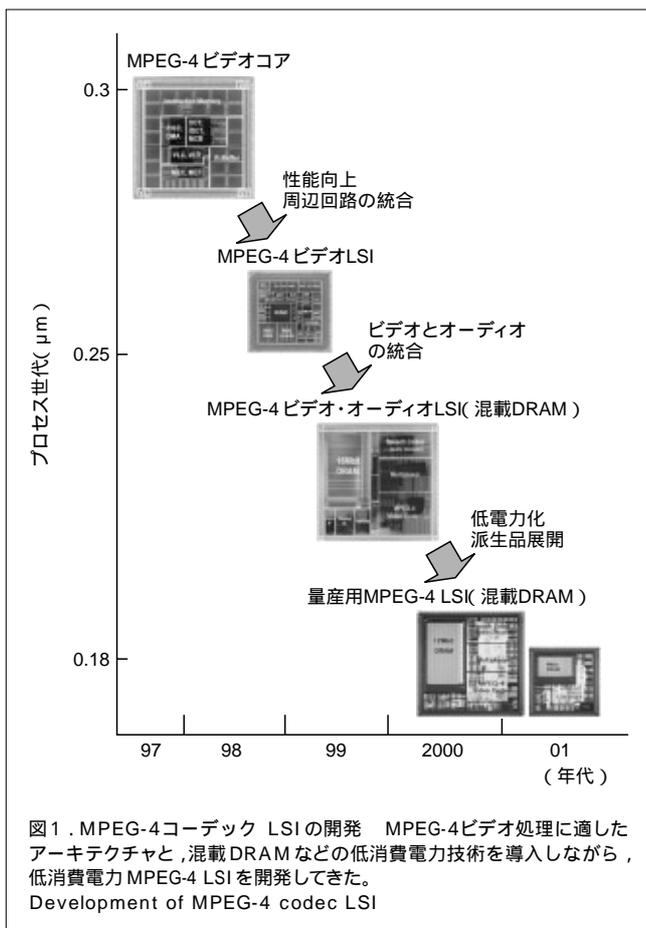
2 MPEG-4 コーデック LSI の開発

これまでに開発した MPEG-4 LSI を図 1 に示す。

98 年に、世界初の MPEG-4 ビデオコア LSI を開発した⁽¹⁾。0.3 μm CMOS 技術を採用し、9 mm × 9 mm のチップ上に、MPEG-4 ビデオコアを搭載し、1 秒間に 15 フレーム、QCIF (Quarter Common Intermediate Format) サイズ(176 × 144 画素)の動画像を MPEG-4 ビデオ形式で圧縮及び伸張する能力を持っている。フレームバッファとして、外部に SRAM を接続する。

99 年には、この MPEG-4 ビデオコアに、カメラやディスプレイなどのインタフェース(I/F)回路を付加し、0.25 μm CMOS 技術を用いて MPEG-4 ビデオ LSI を開発した。この LSI は、フレームバッファとして、外部接続の SDRAM(Synchronous DRAM)を採用した。

2000 年には、ビデオと音声 / オーディオの処理を 1 チップに統合した MPEG-4 ビデオ・オーディオ LSI を開発した。0.25 μm CMOS 技術を採用し、フレームバッファ領域及びプログラム格納領域として 16 M ビットの DRAM をチップ上に混載し

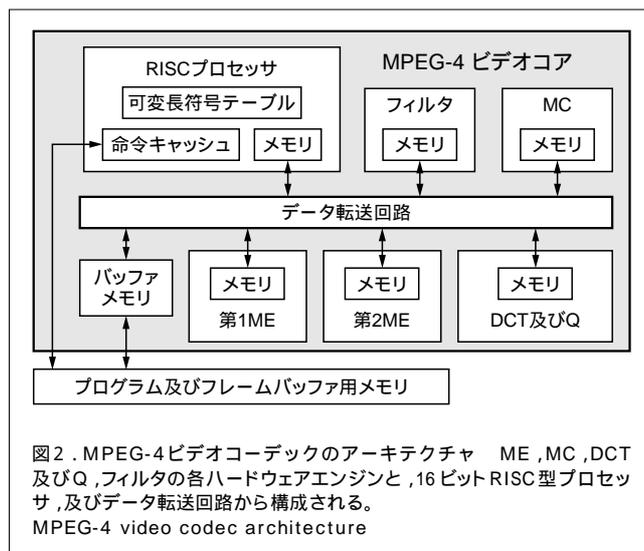


た。チップサイズは10.84 mm × 10.84 mmである。TV電話を想定した処理(MPEG-4ビデオQCIF画像を15フレーム/sで圧縮伸張,AMR(Adaptive Multi Rate)音声の圧縮伸張,及びITU-T(国際電気通信連合-電気通信標準化部門)H.223多重分離)を240mWの消費電力で実行する。

2001年には更に低消費電力化し,0.18μm混載DRAMプロセスを採用した2種類のMPEG-4 LSIを開発した。TC35273XBは,12MビットのDRAMを混載したMPEG-4ビデオ・オーディオLSIで,TV電話を想定した処理を75mWの消費電力で実行する。TC35274XBは,4MビットのDRAMを混載したMPEG-4ビデオ伸張LSIで,ビデオ伸張処理を35mWの消費電力で実行する。

3 MPEG-4 ビデオコアアーキテクチャ

MPEG-4ビデオコアの構成を図2に示す。60MHz動作時に, QCIFサイズの動画像を1秒間に15フレーム, 圧縮及び伸張処理を同時に実行することができる。MPEG-4標準化作業に伴い規格変更が頻繁に行われる可能性があったため,16ビットRISCプロセッサとハードウェアエンジンから構成されるアーキテクチャを採用した。これによって,柔軟性



と必要十分な処理性能を両立させている。RISCプロセッサや各々のハードウェアエンジンは,各々の作業メモリを保持しており,作業メモリ間のデータ転送は専用のデータ転送回路によって制御される。

RISCプロセッサは,ビットストリームの解析や組上げなど,計算量は少ないが複雑な処理を担当する。基本的な命令セットに,絶対値演算などのマルチメディア用命令が付加されている。更に,ビットストリーム処理のために,可変長符号変換テーブルを持っている。

一方,ハードウェアエンジンは,単純ではあるが計算量の多い処理を担当する。ハードウェアエンジンの構成は次のとおりである。

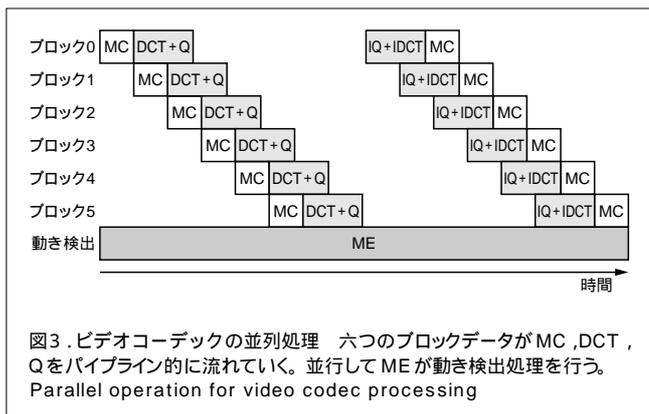
- (1) 動き検出回路(ME) 動画圧縮処理時に動きベクトルを求める。±16画素の探索範囲を持ち,第1ME回路は2画素精度のおおまかな検索を行い,第2ME回路で整数画素精度及び1/2画素精度の精細な動き検出を行う。後述するように,低消費電力動き探索アルゴリズムを採用しており,低電力化の工夫がなされている。
- (2) 動き補償回路(MC) 参照画像と原画像との間の動き補償演算を行う。圧縮処理時と伸張処理時の両方で用いられる。
- (3) 離散コサイン変換(DCT)及び量子化回路(Q) 圧縮処理時は離散コサイン変換及び量子化を,伸張処理時は逆量子化(IQ)と逆離散コサイン変換(IDCT)を行う。
- (4) フィルタ回路 伸張処理時に,ブロックひずみを除去したり,画像の拡大,縮小,及び反転処理を行う。

4 MPEG-4 LSIの低消費電力化技術

4.1 並列処理
各ハードウェアエンジンを並列に動作させることで,必要

な動作周波数を下げることができる。動作周波数を下げることで駆動電圧を下げることができ、低消費電力化を実現することができる。標準CMOSプロセスを採用するため、実際には動作電圧を下げることは行っていないが、動作周波数を下げることで設計が容易になり、更にチップ面積を抑えることができるという利点がある。

動画圧縮処理時のデータ処理の流れを図3に示す。六つのブロックデータが、各動き補償及び離散コサイン変換ハードウェアエンジンをパイプライン状に流れて処理されていく。



4.2 クロックゲーティング

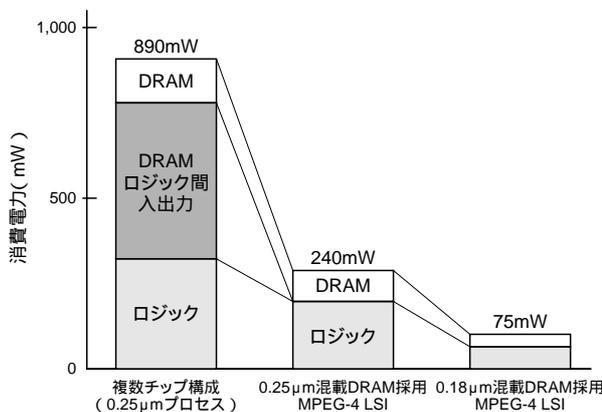
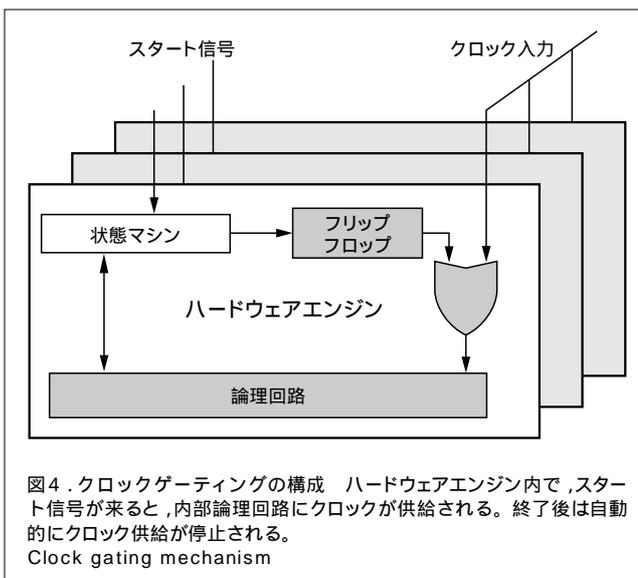
クロックに同期して動作する回路では、クロック系統での電流消費が大きいので、動作する回路のみにクロックを供給するように構成することで消費電力を低減することができる。このようなクロックゲーティング技術は一般に広く用いられており、MPEG-4コーデック LSI 開発でも、初期の MPEG-4ビデオコア開発から採用されている。

MPEG-4 コーデック LSI で採用されているクロックゲーティング構成を図4に示す。各ハードウェアエンジンは、処理スタート信号を受け取ると自動的にクロック供給が開始され、処理終了とともに自動的にクロック供給がストップする。

4.3 混載 DRAM

必要なメモリをオンチップ化することで、チップ間入出力ピンで消費する電力を削減することができる。DRAM を混載すれば、MPEG-4ビデオ処理や音声 / オーディオ処理に必要なメモリ量を1チップ上に集積することができる。

混載 DRAM 導入による消費電力削減の効果を図5に示す。複数チップ構成時の消費電力は約890 mW であり、その1/2以上をチップ間入出力による消費電力が占めていた。DRAM を内蔵したことにより、チップ間入出力の消費電力はほぼ0になり、同じ CMOS プロセス技術でも、73 % 減の240 mW の消費電力を達成している。TC35273XB では、更なる最適化と0.18 μm CMOS プロセスの採用により、75 mW の消費電力を達成している。



4.4 低電力動き検出アルゴリズム

動き検出は、いくつかの動きベクトル候補に関して前の画像と原画像との誤差を求め、誤差が最小となる候補を動きベクトルとして算出する処理であり、その演算量は極めて多い。

この演算量を削減するために、誤差計算の途中で、その誤差が最小値となりえないとわかった時点で演算を停止する機能をハードウェアとして組み込んだ。これによって誤差を最後まで計算する従来方式と比較して、動きベクトル検出に要する時間を平均で約1/2に短縮している(図6)。これにより、動き検出に要する消費電力も約1/2に低減することができる。

4.5 ゲーテッド I/O の採用

待機時の消費電力を低減するため、ゲーテッド I/O (In/Out) という特殊な入出力を採用している。入出力端子

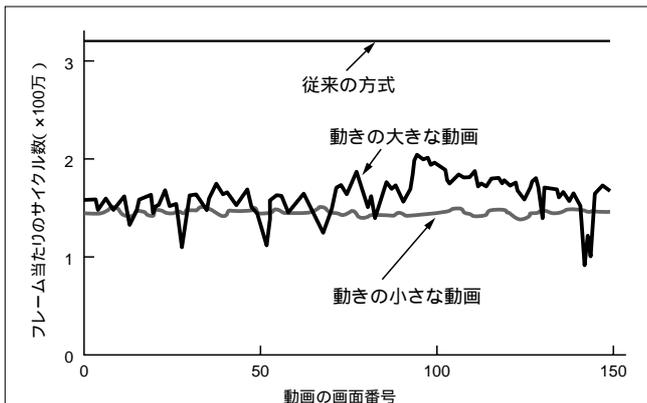
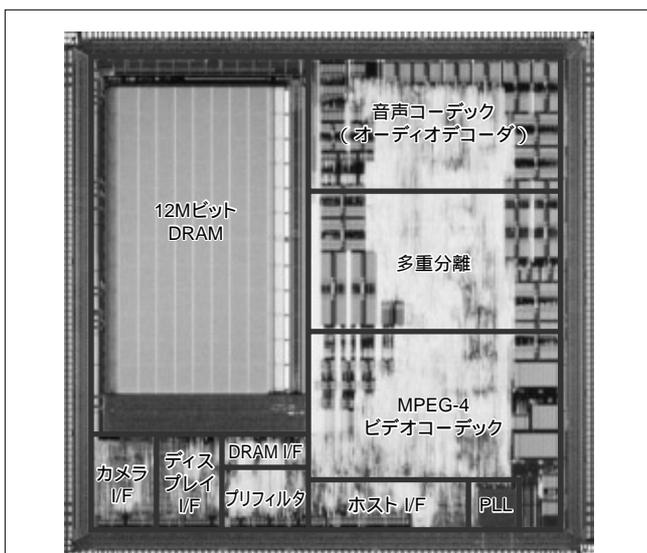


図6. 動き検出の処理量削減 新動き検出アルゴリズムの導入により、動き検出時間を1/2に短縮、動き検出処理で消費する電力も1/2に削減することができた。
Computation reduction in motion estimation

の状態を保ったまま、内部回路への電源電圧を遮断することができるため、外部システムに悪影響を与えずに、待機時の消費電力を低減することができる。

5 MPEG-4 LSIの製品化

MPEG-4ビデオ・オーディオLSI (TC35273XB)及びMPEG-4ビデオデコーダLSI (TC35274XB)が量産化されている。TC35273XBのチップを図7に示す。MPEG-4ビデオコア部、音声部、多重分離部、インタフェース回路、及び12MビットDRAMから構成される。TC35273XBの諸元を表1



PLL : Phase Locked Loop

図7. MPEG-4 ビデオ・オーディオ LSI チップ 12M ビット DRAM , 三つの処理コア, 周辺 I/F 回線が1チップに搭載されている。
Chip micrograph of MPEG-4 audiovisual LSI

表1. MPEG-4 ビデオ・オーディオ LSI の諸元
Specifications of MPEG-4 audiovisual LSI

項目	内容
プロセス	0.18 μ m CMOS 4層メタル
動作周波数	最大 76.9MHz
ビデオ性能	MPEG-4 QCIF 15 フレーム/s (60MHz 動作時)
電源電圧	1.5V \pm 10% , 2.5V \pm 10% , 2.5 ~ 3.3V \pm 10% の3電源
消費電力	75mW (60MHz・TV電話動作時)
パッケージ	141ピンFBGA

FBGA : Fine pitch Ball Grid Array

に示す。60 MHz 動作時に、TV 電話に必要な処理、すなわち、QCIF サイズ (176 x 144 画素) の MPEG-4 ビデオの圧縮伸張を毎秒 15 フレーム、AMR 音声の圧縮伸張、及び ITU-T H.223 多重分離処理を、75mW の消費電力で実行することができる。

6 あとがき

MPEG-4の標準化に合わせて、携帯情報機器向け低消費電力 MPEG-4コーデック LSI を開発した。標準化に伴う規格変更にも柔軟に対処するために、RISC プロセッサとハードウェアエンジンから構成されるアーキテクチャを採用した。更に、様々な低消費電力化技術を導入した。

今後、MPEG-4をはじめとするマルチメディアサービスが、携帯電話やPDA、デジタルスチルカメラなどの携帯情報機器の間で広く普及することが予想される。それに従って、携帯情報機器で動画やオーディオなどのマルチメディア処理に要求される性能も高くなっていくと予想される。一方、CMOS デバイス技術やプロセッサのアーキテクチャ技術の進歩により、更に高性能かつ低消費電力の LSI 開発が可能となっていく。今後も、市場の要求に合致した MPEG-4コーデック LSI をタイムリーに開発していく所存である。

文献

- (1) Takahashi, M., et al. "A 60mW MPEG-4 Video Codec Using Clustered Voltage Scaling with Variable Supply-Voltage Scheme". IEEE Journal of Solid-State-Circuits. 33, 11, 1998, p.1772 - 1780.
- (2) Nishikawa, T., et al. "A 60MHz 240mW MPEG-4 video-phone LSI with 16Mbit embedded DRAM". ISSCC Digest of Technical Papers. Feb, 2000, p.230 - 231.



高橋 真史 TAKAHASHI Masafumi

セミコンダクター社 SoC 研究開発センター モバイル&コミュニケーション SoC 技術開発部主査。モバイルマルチメディア LSI の開発に従事。情報処理学会会員。
SoC Research & Development Center