

1 チップデジタルTV用LSI

Single-Chip Digital TV LSI

甲斐 直行
KAI Naoyuki

名古屋 哲雄
NAGOYA Tetsuo

真中 重之
MANAKA Shigeyuki

特集
②

HD(High Definition)のデジタルテレビ(TV)向けに、MPEG-2(Moving Picture Experts Group 2)のトランスポートストリーム(TS:Transport Stream)処理、ビデオ・オーディオデコード、グラフィックスプロセッサ、64ビットRISC(Reduced Instruction Set Computers)及びその周辺機能モジュール群を集積した1チップLSIを開発した。このLSIは、外部に付加した64ビット構成のDDR(Double Data Rate)タイプのSDRAM(Synchronous DRAM)のメモリシステムを、MPEG処理及びグラフィックス処理に加え、ホストプロセッサのシステムメモリとしても用いる統合メモリアーキテクチャ(UMA:Unified Memory Architecture)を採用し、デジタルTVのシステムコストを低減することを可能とした。

このLSIの内部制御用プロセッサとして、コンフィギュラブルメディアプロセッサを用い、このプロセッサの機能拡張の機構を用いて、TSのセクションフィルタ処理のアクセラレータを組み込んだ。

Toshiba has developed a single-chip LSI for high-definition digital TV. The new LSI integrates MPEG-2 transport stream processing, video and audio decoding, and graphics processing functions, and also has an on-chip 64-bit reduced instruction set computers (RISC) as a host processor as well as peripheral modules. This LSI lowers the system cost by utilizing unified memory architecture (UMA) with a 64-bit double data rate (DDR) synchronous DRAM (SDRAM) system. It integrates a configurable media processor as a controller for the dedicated hardware modules. A section filtering accelerator is implemented in the controller by means of the functional extension mechanism of the media processor.

1 まえがき

2000年の12月に本放送が開始された国内BS(放送衛星)デジタル放送は、今後普及を促進するために、受信機の更なるコストダウンが期待されている。

当社は、BSデジタルの放送開始に合わせて開発した第一世代のBSデジタル用チップセット¹⁾を基に、特にシステム価格の低減に主眼を置いた第二世代チップであるTC81240TBを開発した。このチップには、第一世代チップセットの中核をなすMPEG映像と音声処理用LSI、映像/グラフィックス処理用LSIの2チップの機能に加え、システム全体の制御を行う64ビットホストマイコンを集積し、更に機能と性能を向上させたものである。

以下に、このLSIの特長について述べる。

2 システム仕様の実現

TC81240TBの内部構成を図1に、機能概要を表1に示す。第一世代のデジタルTV用チップセットが3チップにより達成しているシステム機能を、1チップで実現することを仕様上の条件とした。そのうえで、更にいくつかの点で機能・性能上の強化を行っている。

まず、ホストプロセッサとして、高性能64ビットRISCコア

であるTX49コアを採用し、230MIPS(Million Instructions Per Second)の高いプロセッサ能力を得ている。

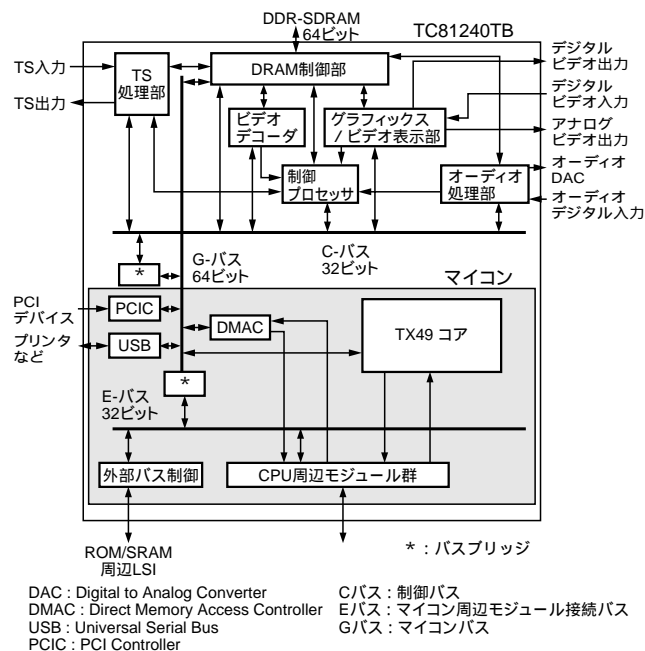


図1. TC81240TBの内部構成 MPEG-2 TS / ビデオ / オーディオデコーダ、グラフィックス / ビデオ表示部、64ビットRISCプロセッサ及びプロセッサ周辺モジュールが1チップに集積されている。
Internal structure of TC81240TB single-chip digital TV LSI

表1 . TC81240TBの機能概要
Functions of TC81240TB

項目		内容
ホ ス ト C P U	CPUコア	64ビット RISC
	CPU周辺機能	PCIコントローラ, USB(Rev1.1)ホストコントローラ DMAコントローラ, I ² C SIO, PIO, スマートカードインタフェース
メモリ制御機能		DDR-SDRAM 64ビット 133 MHz
T S 処 理 関 連	TS入力	3系統 最大200 Mbps
	TS出力	1系統
	セクションフィルタ	1TS当たり48
	デスクランブラ	MULTI2, DES/TDES, DVB
	PES処理	ビデオ最大4, オーディオ最大3
オーディオ 処理機能	対応フォーマット	AAC, AC-3, MPEG(Layer2)
ビデオ 処理機能	対応フォーマット	ATSC 18フォーマット, DSS BS/CS/地上波デジタル
	デコード能力	HD+SD, SDx4, HD(水平1/2ダウンコンバート)x2 JPEGベースライン
ビデオ / グラフィックス 表示機能	表示プレーン	ビデオ2, グラフィックス2, カーソル / 背景1
	VCR出力プレーン	ビデオ1, グラフィックス
	グラフィックス	bitBLT, スケーリング, プレンディング
	順次走査変換	動き適応, フィールド内, フレーム内
	ノイズ除去	動き適応, フレーム巡回型
	ビデオエンコーダ	NTSC/PAL/SECAM

SIO : Serial Input Output
PIO : Parallel Input Output
DES/TDES : Data Encryption Standard/Triple DES
DVB : Digital Video Broadcast
PES : Packetized Elementary Stream
AAC : Advanced Audio Coding
AC-3 : Dolby Laboratory Corporationの開発した音声圧縮方式
ATSC : Advanced Television Systems Committee
DSS : Digital Satellite System
CS : 通信衛星
SD : Standard Definition
JPEG : Joint Photographic Experts Group
NTSC/PAL/SECAM : カラー-TV方式
I²C : Inter Integrated Circuit

更にPCI(Peripheral Component Interconnect)バスのコントローラ, UMA Rev1.1のホストコントローラをはじめ, 多くの周辺モジュールを内蔵することで, 組み込み用のマイコンとしても十分な機能を持っている。

TS処理部は, 入力ポート数, 最大ビットレート, デスクランブラの種類など, 第一世代から大幅に向上させている。セクション処理については, 後述する。

MPEGビデオデコーダは, 2003年に放送開始が予定されている地上波デジタル放送も考慮し, HDの2チャンネル(ch)の同時デコードを実現するために, 水平解像度だけ1/2に落としたダウンコンデコード機能を追加した。HDの2ch同時フルデコードはDRAMのバンド幅の制限のために困難であるが, 水平ダウンコンデコードを利用することで, 画質への影響を最小限に抑えながら, HDの2chのデコードが可能となる。なお, バンド幅消費以外の可変長復号処理, 逆量子化処理, 逆離散コサイン変換では, フルデコードの場合と同一のデコード能力が必要になるが, TC81240TBは十分な能力を持っている。

ビデオ / グラフィックス表示部では, スケーリング, bitBLT

(bit boundary BLock Transfer)の機能を大幅に強化した。ウィンドウ表示は, 原則としてこのスケーリング付きの転送機能を利用して実施する。このためメイン画像の表示プレーン数は5枚であるが, 第一世代のチップセット以上のシステム的な自由度を持つことになる。

3 統合メモリアーキテクチャとDDR-SDRAM

マイコンとHD-MPEGデコーダ, グラフィックスチップを集積することで, 各々のチップに必要なDRAMが1チップに接続されることになる。チップの端子数及びシステムコスト削減の観点から, 外部DRAMを共通化した統合メモリアーキテクチャ(UMA)が不可欠となる。

TC81240TBのDRAM制御部は, 単なるDRAMコントローラではなく, DDR-SDRAMのコントローラ, UMAをサポートするインテリジェントな要求調停ロジック, 専用目的のDMA(Direct Memory Access)コントローラの集合体である。

TC81240TBでは, このチップの外部DRAMとして, クロックの両エッジを用いるDDRタイプのSDRAMを採用した。データ幅を64ビット, 動作クロックを133 MHzとすることで, ピークのバンド幅として2.1 Gバイト/sが得られる。

DRAM制御部は, DRAMのバンド幅の制限のために, 内部にFIFO(First In First Out)を持ち, DRAMアクセスのバースト長を極大長くしている。DRAM制御部にアクセスコマンドのキューを持ち, アクセスの順番を調整することで, オーバヘッドの低減を図った。これらの対策により, 実効バンド幅としてピークの80%, 約1.7 Gバイト/sを確保できている。

TX49コアは, 内部システムバスであるG-バス経由でDRAM制御部にアクセス要求を出す。この要求の優先度はもっとも高くしており, 通常のアクセスには十分な実効バンド幅を供給できるが, UMAのために平均の待ち時間が延びることに対し, 次の対策を行っている。

- (1) 命令 / データキャッシュとして32 Kバイト / 32 Kバイトの比較的大容量のキャッシュを採用した。
- (2) DRAM制御部内でバファリングを行い, DDR-DRAMアクセスのバースト長をキャッシュのラインサイズよりも大きくした。
- (3) 通常のDMAコントローラに加え, G-バスを經由せずにDRAM制御部の内部で処理が閉じる, メモリ転送専用のDMAコントローラを持つ。G-バスを使用しないことから, 命令フェッチと大量のDMA転送のG-バス上での競合を避けることができる。

4 コンフィグラブル メディアプロセッサとセクションフィルタ処理

内部ハードウェアエンジンの制御に当たる制御プロセッサ

としては、当社の開発したコンフィグラブルメディアプロセッサを用いている²⁾。

このコンフィグラブルメディアプロセッサは以下の特長を持つ。

- (1) 32/16ビット命令の混在による高いコード効率
- (2) コンフィグラビリティ
- (3) 拡張の容易性

コンフィグレーションの変更の際は、メディアプロセッサインテグレートというソフトウェアに構成や各種オプションを入力することでRTL(Register Transfer Level)記述が出力される。実際に、最終的な制御プロセッサの構成に至るまでに3回の構成変更を実施した。

MPEG-2のトランスポートストリームでは、オーディオ、ビデオストリーム以外のデータは、セクションと呼ばれる形式で送られてくる。セクションは、一つのTSパケットの中に複数個くることが文法上許されているために、ピーク処理能力は高くなりうる。TC81240TBでは、想定するトランスポートストリームのレートの総和を200Mビット/sと高きため、セクション処理では非常に高いピーク能力が必要とされる。そこで、TS処理部ではパケットID(Identification)のフィルタ処理だけを実施し、一度SDRAM中のセクションバッファに格納した後で、制御プロセッサによる処理を行う方式を採用した。このために、コンフィグラブルメディアプロセッサの拡張機構を用いて、セクション処理のためのパターンマッチングの専用ハードウェアモジュールを追加することにした。

コンフィグラブルメディアプロセッサの機能拡張には、命令拡張、VLIW(Very Long Instruction Word)拡張などの、プロセッサコアのパイプライン動作と密に結合した機構も用意されている。今回のセクション処理は、プロセッサコアのデータRAMを共有する機構を利用して、ハードウェアモジュールの追加というプロセッサコアとは比較的独立な機能拡張で実現した。

5 TC81240TBのLSI概要

TC81240TBのLSI諸元を表2に、チップを図2に示す。LSI化には0.18 μmのアルミニウム(Al)6層CMOSプロセス

表2 . TC81240TBのLSI諸元
Specifications of TC81240TB

項目	内容
パッケージ	T-BGA 648ピン
プロセス	0.18 μm CMOS Al6層
電源電圧	+1.5V(コア), +2.5V(アナログ, DDR), +3.3V(I/O)
ランダム部ゲート数	2.7 × 10 ⁶ ゲート
素子数	31.8 × 10 ⁶ トランジスタ
最大動作周波数	200MHz(TX49コア), 133MHz

T-BGA : Tape Ball Grid Array
I/O : 入出力セル

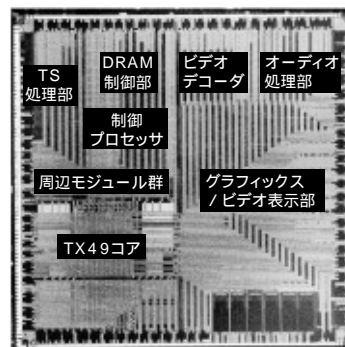


図2 . TC81240TBのチップ 0.18 μm CMOS Al6層プロセスで実装しており、最上層の電源補強のAl配線が見える。左下に64ビットRISCを配置している。

Chip micrograph of TC81240TB

を用いた。配線の最上層は、配線抵抗による各セルに供給される電源電圧の低下対策のための、電源 / グランド補強用の層である。

6 あとがき

第一世代のBSデジタルチップセットのMPEGデコーダ、グラフィックス映像プロセッサの機能に加え、高性能64ビットRISC及び周辺モジュールを集積した、1チップデジタルTV用LSIの概要、特長について述べた。

今後は、今回開発したLSIをベースに、記録機器への対応などを図りつつ、更にシステムコストの低減を図る一方で、システムに付加価値を与えるLSI開発を進めていきたい。

文 献

- (1) 桜井 優,ほか .BSデジタルハイビジョンテレビ用LSI .東芝レビュー .55, 8, 2000, p.44 - 57 .
- (2) 近藤勝久 .メディアプロセッサを用いたスマートカー向け画像認識LSI .東芝レビュー .56, 8, 2001, p.58 - 61 .



甲斐 直行 KAI Naoyuki, D.Sc.

セミコンダクター社 システムLSI事業部 システムLSI統括第一部主幹, 理博。グラフィックスLSI, MPEG関連システムLSIの企画, 開発に従事。情報処理学会会員。

System LSI Div.



名古屋 哲雄 NAGOYA Tetsuo

セミコンダクター社 システムLSI事業部 システムLSI統括第一部参事。VTR及び映像機器の開発, デジタルTV用MPEG-LSIの開発業務に従事。映像情報メディア学会, 電子情報通信学会会員。

System LSI Div.



真中 重之 MANAKA Shigeyuki

セミコンダクター社 システムLSI事業部 システムLSI統括第一部参事。VTR及び映像機器の開発, デジタルTV用MPEG-LSIの開発業務に従事。映像情報メディア学会, 電子情報通信学会会員。

System LSI Div.