

相原 雅己  
AIHARA Masami

五十嵐 睦典  
IGARASHI Mutsunori

宇佐美 公良  
USAMI Kimiyoshi

樋渡 有  
HIWATASHI Tamotsu

半導体の回路集積技術の著しい向上により、システム全体を1チップ上に集積したシステムLSIが出現し、汎用メモリに代わって半導体ビジネスのけん引役となってきた。同時に、システムLSIを設計するうえでの課題も数多く、またプロセス技術の微細化により、それら課題の解決の困難度も急速に増している。特に重要な課題として、設計生産性の向上、低消費電力の達成、微細化への対応が挙げられる。これらの課題について、最新の技術革新を達成し、結果としてシステムLSIの設計技術への大きな貢献を成し遂げた。

The design of system LSIs involves difficult challenges due to the very large scale of integration on a chip and device miniaturization. Design productivity, power consumption, and the impact of interconnect delay are the most critical issues.

This paper describes Toshiba's design technologies in this field, including hardware-software co-verification, low-power design methodology, and layout technology utilizing diagonal interconnect architecture.

## 1 まえがき

半導体産業における技術革新は著しく、複合機能を1チップ上に集積するシステムLSIが広く電子機器に使われている。

システムLSIの設計では、システムやアルゴリズムの設計から物理レイアウト設計に至る広範な設計工程が対象となる。プロセス技術の革新による高性能・高集積化に伴って、設計上で解決されるべき課題と問題は増加し、困難度も高くなっている。加えて、商品サイクルの短期化により、いっそうの短期間設計が求められている。

ここでは、システムLSIの設計に要求される課題を取り上げ、それらを解決するためのいくつかの最新技術について述べる。

## 2 システム LSI 設計技術へのチャレンジ

### 2.1 設計生産性

Design Productivity Crisis(設計生産性の危機)としてしばしば引き合いに出されるもので、設計規模の爆発的な増大に設計の工数が追従できなくなるとの課題である。実際、プロセス技術では約3年で30%の微細化が進み、搭載ゲート数は約2倍となる。したがって、3年間で約2倍の設計生産性を向上させないと、設計期間、設計に必要な工数は単調に増加していくことになる。

設計生産性を上げるためには、設計の抽象度レベルを上げること、及びIP(Intellectual Property)再利用を推進することが本質的に重要である。前者については、ゲートレ

ベルからRTL(Register Transfer Level)レベルへの移行はほぼ完全に定着したが、今後は更に上位のレベルへの移行が進み、またハードウェアとソフトウェアの同時並行設計が要求されている。

### 2.2 低消費電力設計技術

携帯情報通信機器向けのシステムLSIでは、消費電力の低減は極めて重要な課題である。機器の小型化、バッテリーの動作時間の長期化への要求は厳しい。LSIの消費電力Pは、C:負荷容量、V:電源電圧、f:動作周波数として、 $P = C \times V \times V \times f$ で表される。Vは低下していくが、それ以上にCとfの増加が著しいため、全体として消費電力は急速に増加する傾向にあり、何の低減施策もなかった場合には、50nmの世代で現在の100倍近くに達すると予測される。また、動作時の消費電力低減とあわせて、待機時のリーク電流の低減技術も大きな課題である。

### 2.3 DSM(Deep SubMicron)設計技術

微細化技術の発展に伴って必然的にもたらされる物理的効果による課題も多数ある。典型的には、配線遅延が素子内部遅延より支配的になることで生ずる高速動作設計の困難化が挙げられる。この課題は、Timing Closure(タイミング収束)と呼ばれている。すなわち、信号伝播(でんぱ)の遅延の大半が素子間の配線に起因するため、その経路や長さを最適化し制御できないと、所望の高速動作が不可能となってきている。

このTiming Closure以外にも、Signal Integrity(信号完全性)やエレクトロマイグレーションに代表される信頼性、リソグラフィ時の光近接効果補正に代表される製造容易性などの多くの課題がある。

以下の章で、上記の三つの技術課題のそれぞれにつき、解決するための最新技術の例を述べる。

### 3 ハードウェア/ソフトウェア協調検証

#### 3.1 概要

プロセッサを内蔵したシステム LSI を効率よく開発するため、ハードウェア/ソフトウェア協調検証ツールが普及しつつある。設計の早い段階からハードウェアとソフトウェアの整合性確認が可能な協調検証ツールを利用することで、大幅な効率向上が期待できるからである。普及に伴い、協調検証ツールに対するユーザー要求は二極化している。一つは、ハードウェア開発者向けの高精度な検証ツールであり、もう一つは、システム/アプリケーションソフトウェア開発者向けの高速な検証ツールである。当社では、いち早くこれら2種類の協調検証ツール実現に向けた取組みを開始し、当社 RISC(縮小命令セットコンピュータ)プロセッサ TX シリーズでサポートを開始している。

#### 3.2 ハードウェア開発者向けツール

ハードウェア開発者向けの協調検証ツールでもっとも重要なファクターは“精度”である。最低限クロックサイクルレベルの精度が要求される。精度よく、しかもできるだけ高速に検証できることが望まれるが、そのキーとなっているのはプロセッサのC言語モデル(以下、Cモデルと略記)である。

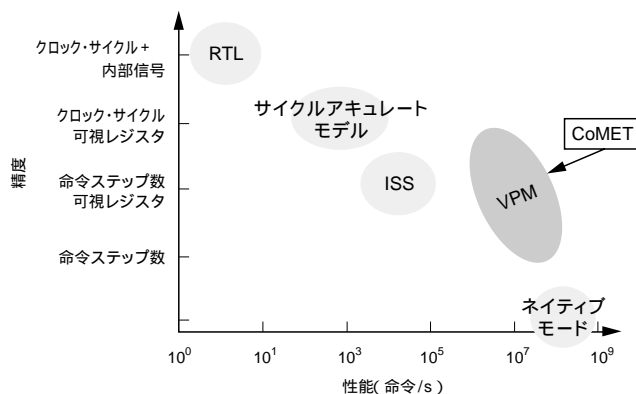
当社は、パイプライン処理やキャッシュまでも模擬するサイクアキュレートでかつ高速な(10k ~ 100k 命令/s)Cモデルを自社開発する技術を構築し、当社 TX プロセッサのモデル開発を推進している。また、EDA(Electronic Design Automation)ツール各社と協力してCモデルの共通化も推進している。当社が作成するCモデルは、Mentor Graphics社のSeamlessCVEとCynergy社のASVPで共通に利用可能となっている。

#### 3.3 システム/アプリケーションソフトウェア開発者向けツール

システム開発者あるいはアプリケーションソフトウェア開発者向けの協調検証ツールでもっとも重要なファクターは“高速性”である。遅くとも実機の1/10 ~ 同一性能でシミュレーション可能なことが望まれている。更に、メカ系モデルなど外部環境モデルとの連動も求められる。

これを実現するには、少なくとも10M ~ 100M 命令/sという超高速なプロセッサのモデルが必要である。しかし、一般的に性能と精度はトレードオフの関係にあり(図1)、ソフトウェア開発に必要な命令セットレベルの精度を維持するには100k 命令/sが限界とされている。

これに対し、VaST Systems Technology社がVPM(Virtual Processor Model)と呼ぶ新しいコンセプトのプロセッサモデルを用いたCoMETを提案している。当社32ビ



ISS : Instruction Set Simulator

図1. プロセッサモデルの比較 一般的に精度と性能は相反関係にあるが、CoMETのVPMはISSと同じ精度を保持し100 ~ 1,000倍高速である。

Comparison of models for microprocessor

ットRISCプロセッサTX19LのVPMで40M 命令/sの性能(Pentium III 550 MHz, メモリ512Mバイトのパソコン)を実現し、20MHz版TX19Lを用いた液晶ディスプレイ(LCD)装置全体を実機と同じ性能でシミュレーションできた(図2)。



図2. システム検証の例(LCD装置) CoMETでは、システムLSIだけでなくアプリケーションソフトウェアや外界まで含めたシステム全体の検証が可能である。

Example of system level verification

当社は早くからVaST社と共同でCoMETを拡張・サポートしてきている。特に、VPMの超高速性を維持してシステム全体をシミュレーションするためには、プロセッサ以外の周辺回路もCモデル化し、VPMと密に統合する必要がある。既に、主要な周辺回路のCモデルがそろい、ユーザーの要求に応じてシミュレーションモデルを早期に提供する体制を整えている。

## 4 低消費電力技術

### 4.1 動作時電力の低減技術

低消費電力化は、設計の早期段階、特にRTL設計の段階から電力削減技術を効果的に適用する手法を開発し、展開している。上流設計工程での施策ほど、電力削減効果が大きいのである。電力削減技術によっては面積増加を伴う場合があるので、RTLからの電力解析により、電力の大きい箇所を同定し、集中的に電力削減技術を投入する。

電力解析EDAツール(Sequence Design社のWattWatcher)を利用して電力を削減するターゲットを決めた後、ゲーテッドクロック技術及びメモリ分割技術を施す。ゲーテッドクロックは、不要なクロック遷移を停止させて電力削減を図る技術であり、EDAツール(Synopsys社のPowerCompiler)を利用してRTLからの自動設計を行う。また、メモリの低電力化は、メモリアレイを分割しアクセスされるアレイだけ動作させることにより実現する。メモリ分割は面積増加とのトレードオフがあるので、最適分割数を求めてRTL設計で実施する。更に、低消費電力論理合成、ゲーテッドCTS(Clock-Tree-Synthesis)技術を投入する。

これまでの低電力化設計の経験から、電力削減で最大効果を生むためには、電力解析が基本となることが知見として得られている。このため、WattWatcherを利用して、モジュール単位の電力分析(水平分析)とセル種類別の電力分析(垂直分析)を組み合わせた手法を開発し、展開している(図3)。

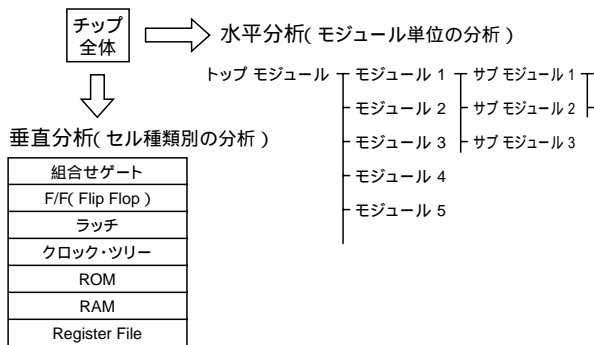


図3．電力解析手法 WattWatcherを利用して、モジュール単位の電力分析(水平分析)とセル種類別の電力分析(垂直分析)を行う。  
Power analysis methodology

水平分析は、主にRTL設計での電力削減の際に指針となる。一方、垂直分析は、論理合成以降の工程で、消費電力の大きい箇所及びその原因を分析する際に効力を発揮する。これらの技術をモバイル用LSI製品に適用した事例では、従来手法に比べ、性能を維持したまま消費電力を57%

に削減した。

### 4.2 待機時電力の低減技術

モバイル用LSI製品のもう一つの課題は、待機時のリーク電流である。電源電圧の低下に伴い、高速動作を達成するにはしきい値( $V_{th}$ )の低いトランジスタを使うことが必要となるが、リーク電流が増大する。高速、低リークを同時に達成するため、回路の中で2種類の $V_{th}$ を自動で使い分けるDual- $V_t$ 技術を開発した(図4)。

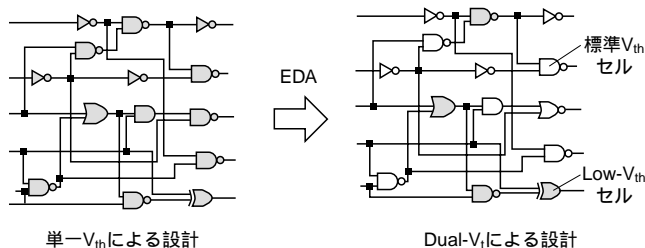


図4．Dual- $V_t$ 技術 回路内で2種類の $V_{th}$ を使い分け、性能を維持したままリーク電流が最小となるよう自動設計する。  
Automated dual- $V_t$  technique

クリティカルパス上のセルだけに低 $V_{th}$ を使用し、他の部分には標準 $V_{th}$ セルを使用することにより、高速化を達成しつつリークを抑える。当社のTC260Cライブラリを用いた設計事例では、すべてを低 $V_{th}$ で設計すると、標準 $V_{th}$ での設計に比べ回路の動作速度は20%以上高速化するが、リークが6倍以上に増加する。Dual- $V_t$ 手法を適用することにより、低 $V_{th}$ 設計と同等の動作速度を維持しつつ、リークを約1/3に低減できる。モバイル用LSI製品をはじめ、ハイパフォーマンスLSI製品の設計で適用、展開している。

## 5 斜め配線を使用したレイアウト設計技術

### 5.1 概要

Timing Closureにおける配線遅延の問題を解決するためには、配線抵抗や容量を減らす工夫が求められる。これまで、プロセス側からは配線の材質面からの改善を目的として、Cu配線や低誘電率絶縁物の導入がなされている。一方、設計側の工夫として、当社は米国Simplex Solutions社と共同で、斜め配線を積極的に活用する新しいレイアウトCADシステムを開発してきた。

### 5.2 斜め配線の基本アイデア

斜め配線の基本アイデアは非常に簡単である。例えば、図5に示すように2点間A-Cを配線する場合に、従来の直交方式の経路A-B-Cを、斜めの配線を使用して経路A-Cと変えるものである。この結果、A-Cの配線長は

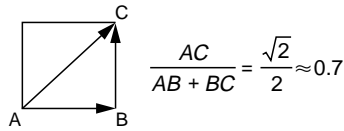


図5. 斜め配線の効果 従来の直交配線に代えて斜め配線を用いることで、最大で29%の配線長短縮が可能である。  
Wire length reduction by diagonal wiring

29%も短縮できる。一般に斜め配線の効果は、ネットの端子数やその配置に依存し、平均的には10数%程度の配線長短縮効果があると知られている。これに斜め配線を考慮してセル配置の最適化を行うことで、合わせて20%強の改善が期待できる。

斜め配線をSOC(System-On-Chip)に適用するための配線構造としては、図6に示すような5層以上の多層配線構造を想定している。下層に従来の水平・垂直方向の配線構造を持たせ、従来のセルライブラリとの互換性を保障している。すなわち、開発したレイアウトCADシステムは、従来の設計フローを大きく変えることなく、既存の設計環境の上に構築が可能である。ただし、図6に示した配線の方向は、概略配線と呼ばれる大局的な配線に用いる配線方向を示しており、詳細配線方向に制限を設けるものではない。

詳細配線では1~5層のすべての配線層上で8方向を自由に選択することを許している。これにより、従来の配線方式の延長線上では達成できない配線長の短縮と、VIA(接続孔)数の削減を実現している。

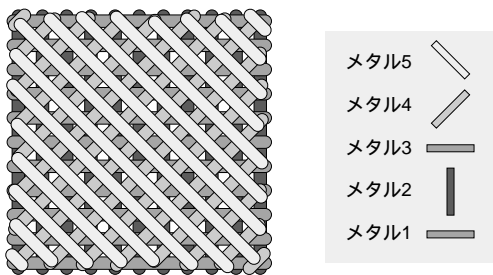


図6. 斜め配線の構造 もっとも基本的な斜め配線の構造は、3層の直交配線層の上に、45°と135°方向の二つの配線層を設けた5層配線構造である。

Diagonal interconnect architecture

### 5.3 RISC コア設計への適用結果事例

このレイアウトシステムをRISCプロセッサコア(200MHz, 750kゲート)に適用した結果を紹介する。

この回路に適用した結果、従来手法による結果と比べて約20%の高速化と10%の面積削減を達成した。この結果は、従来のレイアウトツールでは達成が難しい大きな改善で、斜

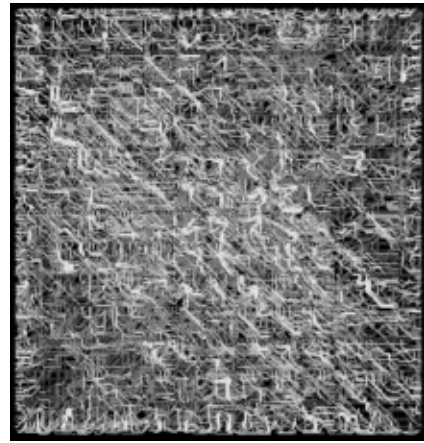


図7. 配線プロット(部分) 詳細配線では、ローカルに見ると、各配線層において8方向すべての配線方向を使用してVIA数を削減する。  
Layout plot of detailed routing (partial)

め配線を多用する新CADシステムの有効性を確認できた。

図7は、詳細配線の部分的なプロット図である。従来の配線結果とは大きく様相が異なり、すべての配線層で水平・垂直・斜めの8方向の配線が使われているようすがわかる。

## 6 あとがき

ここでは、システムLSI設計技術の課題と、それに対する当社の取組みについて述べた。半導体技術はますます進化を続け、それに呼応して設計技術への課題も多岐にわたり、また困難度も増加している。

しかしながら、システムLSIの設計力の強化は半導体ビジネスの成否の鍵(かぎ)となっており、今後とも設計技術の課題に力強く取り組んでいきたい。



相原 雅己 AIHARA Masami

セミコンダクター社 システムLSI事業部 システムLSI設計技術統括部主務。システムレベル設計自動化技術の開発、支援業務に従事。  
System LSI Div.



五十嵐 睦典 IGARASHI Mutsunori

セミコンダクター社 システムLSI事業部 システムLSI設計技術統括部主務。フィジカル設計自動化技術の開発、支援業務に従事。  
System LSI Div.



宇佐美 公良 USAMI Kimiyoshi, D.Eng.

セミコンダクター社 システムLSI事業部 システムLSI設計技術統括部参事, 工博。低消費電力化自動設計技術の開発、支援業務に従事。電子情報通信学会会員。  
System LSI Div.



樋渡 有 HIWATASHI Tamotsu

セミコンダクター社 システムLSI事業部 システムLSI設計技術統括部グループ長。システムLSI設計企画業務に従事。  
System LSI Div.