

古賀 淳二
KOGA Junji

内田 建
UCHIDA Ken

大場 竜二
OHBA Ryuji

トランジスタの微細化により、シリコン LSI 技術は急速な進展を遂げている。ゲート長が 50 nm 以下のトランジスタも報告されているが、ゲート長を短くすると正常にスイッチしない、消費電力が増大する、といった問題が顕在化する。これに対して、ナノ領域でも正常な動作が可能な単一電子デバイスが、超低消費電力を実現する将来の要素電子素子として注目されている。

当社は、ナノ構造を制御よく作製する技術に取り組み、室温で動作する単一電子トランジスタ (SET : Single-Electron Transistor) とメモリを開発した。SET を用いたプログラマブル論理回路では、室温での実用的動作の実証に世界で初めて成功した。単一電子メモリでは、シリコンから成るナノ微粒子を 2 段に積み重ねることで、低電圧駆動の高速不揮発性メモリへの可能性を開いた。

The miniaturization of transistors is a powerful driving force for the rapid progress in silicon LSI technology. Transistors with a gate length of less than 50 nm have been reported. As the gate length is scaled down, however, it becomes increasingly difficult both to suppress the short channel effects and to reduce the power consumption. Recently, single-electron devices, which operate normally in the nanometer-scale region, have been identified as an attractive future ultralow-power LSI technology.

Toshiba has demonstrated a single-electron transistor (SET) and memory operating at room temperature by developing the process technology for precise control of silicon nanometer-scale structures. The concept of programmable SET logic was proposed and SET circuit operation was demonstrated at room temperature for the first time. Self-aligned double-stacked silicon dots were successfully fabricated, making the single-electron memory a possible candidate for a practical high-speed nonvolatile memory operating at a low voltage.

1 まえがき

MOS 型電界効果トランジスタ (MOSFET : Metal Oxide Semiconductor Field Effect Transistor) の微細化が、シリコン LSI デバイス技術の進展を牽引 (けんいん) している。既に、ゲート長 50 nm 以下のトランジスタが数多く報告されている。縦方向の寸法制御が容易なこともあり、ゲート酸化膜の厚さが 1 nm 以下のトランジスタも現れている。これは数原子層に相当し、まさにナノテクノロジーで扱う領域のサイズが、MOSFET でも制御されている。このように、縦方向のスケールリングはほぼ限界まできており、今後、横方向のスケールリングが進展すれば、まさに“ナノ”の世界が到来する。半導体の国際ロードマップ委員会の予測では、2014 年にゲート長が 30 nm を切る世代になる。ところが、サイズが小さくなるとトランジスタが正常にスイッチしない、消費電力も増大する、などの技術課題が山積しているのも事実である。

これに対し、将来の超低消費電力 LSI を担う要素電子素子として、単一電子デバイスが注目を集めている。ナノの世界に固有の物理現象を積極的に使い、原子レベルまで微細化しても機能することが特徴である。SET とメモリの取組みについて、以下に述べる。

2 単一電子デバイスとは

単一電子デバイスとは、電子 1 個の動作を個々に制御可能な究極のエレクトロニクス素子である。主な特長を以下に列挙する。

- (1) 電子 1 個の有無でデジタル論理、あるいは、記憶のビット情報 (0, 1) を表すことが可能である。
- (2) サイズを小さくすることで、雑音耐性、動作温度などの素子特性が向上する。
- (3) 金属、半導体、高分子など、材料を問わない。

(1) は、扱う電子数が非常に少ないことを意味していて、このために超低消費電力が容易に実現できる。(2) は、サイズを小さくするほど、素子は室温でも正常に動作することを意味する。MOSFET が微細化とともにスイッチしにくくなるのとは対照的である。(3) は、シリコンが実用的な材料となりうることを意味する。従来の量子効果デバイスと呼ばれるものが、化合物半導体で (しかも、超低温で) しか実現できなかったのと対照的である。単一電子デバイスには、スイッチング素子として機能する SET と、不揮発性メモリとして機能する単一電子メモリの 2 種類がある。図 1 に、それらの素子の基本構造を示す。

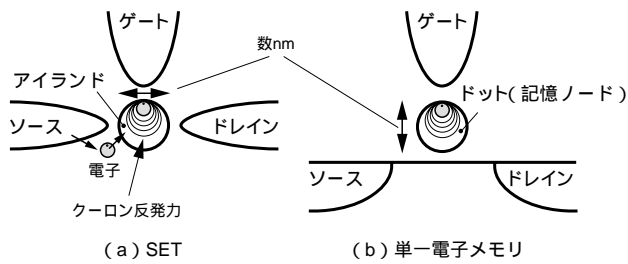


図1. 単一電子デバイスの概念 単一電子デバイスは、機能的にSET(a)と単一電子メモリ(b)に分類される。
Schematic views of single-electron devices

SETでは、ゲート、ソース、ドレイン以外に、“アイランド”と呼ばれるシリコン島で構成される。アイランドは、極薄の絶縁層で隔てられて、ソースとドレインの中間に位置する。アイランドのサイズがSET特性を決める重要なパラメータであり、数nmに制御される。このような微小アイランドに電子があると、次の電子はクーロン反発力で容易にソースからアイランドへトンネルできない。この物理現象はクーロン遮蔽(しゃへい)と呼ばれ、単一電子デバイスの指導原理である。ゲート電圧を調整すれば、電子はソースからアイランドへ、アイランドからドレインへと、1個ずつ抜けていく。

単一電子メモリでは、“ドット”と呼ばれるシリコンナノ粒子が、電子の通り道であるチャンネルとゲートの間に存在し、記憶ノードとして働く。ドット中の電子の有無により、チャンネルを流れる電流が変化し、これで記憶情報(0,1)を識別する。

以上は、あくまで基本形であり、実用化に向けて種々の変形が必要である。次章からは、実際に開発したデバイスについて述べる。

3 SETを用いたプログラマブル論理回路の室温動作の実証

これまで、室温で動作する単一電子メモリに関する発表は数多くあるものの、室温で動作するSETに関する発表は少ない。また、その性能(ゲート電極によって制御したON電流とOFF電流の比)は、実用的な回路動作に適用するには極めて不十分なものであった。

室温で動作するSETの開発に向けて、膜厚2.5nm以下という極めて薄いシリコン層を作製し、更に表面に、図2に示すような微細な起伏を化学的処理で形成することで、nmスケールの微細なアイランドを実現した⁽¹⁾。このような微細なアイランドは、単一電子の制御に利用する帯電エネルギーを、室温の熱エネルギーの影響を受けないほど大きくすることを可能とし、その結果、室温(300K)でON電流とOFF電流の比が2けたにも達するSET(図3)の作製に結びついた。更に、この素子は単一電子メモリとしても機能することを確

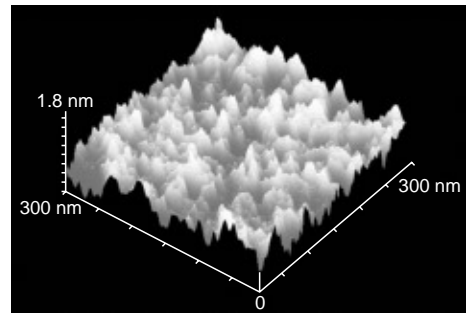


図2. 化学的処理により表面起伏を形成したシリコン表面の原子間力顕微鏡像 nmスケールの表面起伏が形成されていることがわかる。
Atomic force microscope (AFM) image of silicon surface undulated with chemical treatment

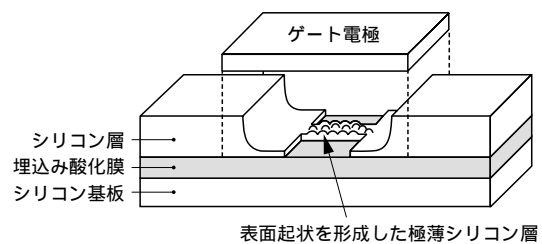


図3. 表面起伏を利用したSET 非常に薄いシリコン層の上に作られている。
Single-electron transistor with surface undulation

認した。

このように作製されたSETを駆動素子に、p型MOSFETを負荷素子として縦列接続した回路を試作した(図4)。この回路が、入力信号の反転信号を出力するインバータ、入力信号の正転信号を出力するコンバータの両方の機能を持ち、その機能は単一電子メモリへの書込みを行うか、行わないかで自在に選択可能(プログラマブル)であることを室温で実証した(図5⁽²⁾)。この書込みの効果は、電源を切っても長時間保持される。

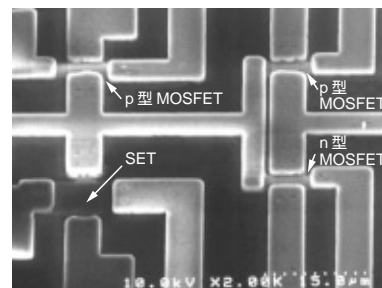


図4. SET/CMOS混載回路の電子顕微鏡写真 1チップ上に、SETとCMOSの混載回路を作製した。
Scanning electron microscope (SEM) image of SET/CMOS hybrid circuit fabricated on single chip

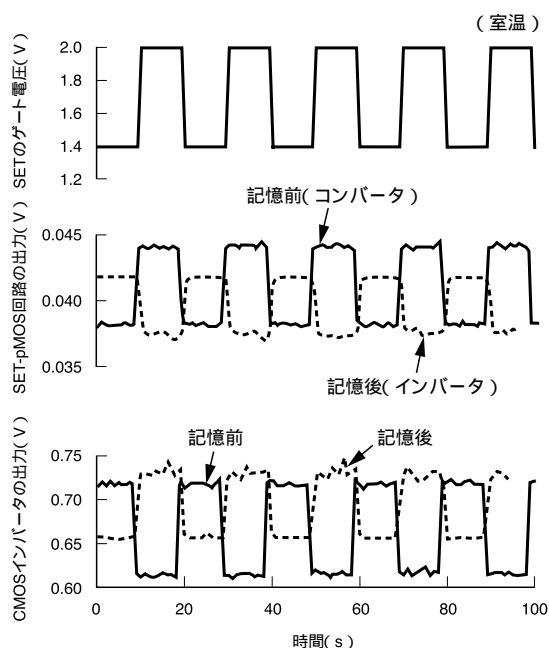


図5. 多機能型プログラマブル単一電子論理回路の動作実証 作製した回路は、メモリへの書き込み状態に応じて、入力波形と同期する波形を出力するコンバータと、入力波形の反転波形を出力するインバータとして機能する。

Operation of multifunctional programmable single-electron transistor logic

開発したSETの作製方法は、CMOS(Complementary MOS)プロセスと互換性があり、SETとCMOSの混載チップを作製することが可能である。実際、前述の回路を、CMOSの要素回路(インバータ)と1チップ上で混載化することに成功した⁽²⁾。この技術の実用化へは、素子間のバラツキの低減など解決すべき問題はあるものの、今回の成果は、従来のCMOS技術をそのまま使いながら、CMOS技術だけでは実現できないような低消費電力性、また高いプログラム性をSET回路によって実現することで、より高機能なシリコンLSI回路が実現可能なことを示している。

4 二重ドット構造を用いた単一電子メモリの性能改善

単一電子メモリ(ドットメモリ)は、粒径がnmオーダーのシリコン微粒子(ドット)から成る浮遊ゲートと、厚さが数nmのトンネル酸化膜で構成される。従来のフラッシュメモリと比較して、素子の微細化と記憶情報の書き込み/消去動作の高速化の両方が可能という利点があり、次世代の不揮発性メモリとして非常に注目されている。ドットへの電子注入過程の物理解析⁽³⁾に基づき、最大の技術課題は記憶用電荷がリークしやすい点という認識の下、記憶保持(リテンション)時間の改善に取り組んだ。

その結果、浮遊ゲート部に二重ドット構造を用いた新メモリを提案した(図6)⁽⁴⁾。この構造では、上部ドットとチャネル間の電荷の注入・放出が、薄いトンネル酸化膜に上下を挟まれた下部ドットを経由して行われる。下部ドットにおけるクーロン遮蔽効果や量子閉込め効果によりリークが有効に抑制されるため、記憶保持時間を飛躍的に向上させることができる。上下のドットが空間的にそろって積み重なっていることが重要であり、ばらばらでは効果がない。

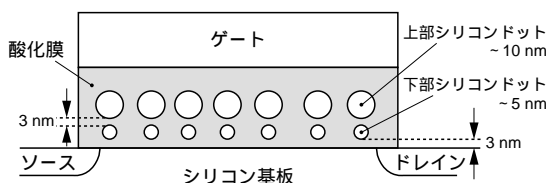


図6. 浮遊ゲートに二重ドット構造を用いた単一電子メモリ 上下のドットの位置が空間的にそろって積み重なっているのが特徴である。Single-electron memory with self-aligned double dots as floating gate

ドットを自動的に二重に積み重ねる技術を、シリコンプロセスで開発した(図7)。まず、シリコン基板表面の3 nmの薄い酸化膜上に5 nmのアモルファスシリコン層を積層し、表面を3 nm酸化、その上に粒径15 nmのドットを自己組織的に形成する。ドットの面密度は圧力により制御できる。この状態でアモルファスシリコン層がちょうどすべて酸化膜になる程度の酸化を行うと、ドットの真下にだけシリコン層が酸化されずに残り、自動的に二重ドット構造を作製できる。図8は、実際に作製した、粒径10 nm以下のドットが二重に積み

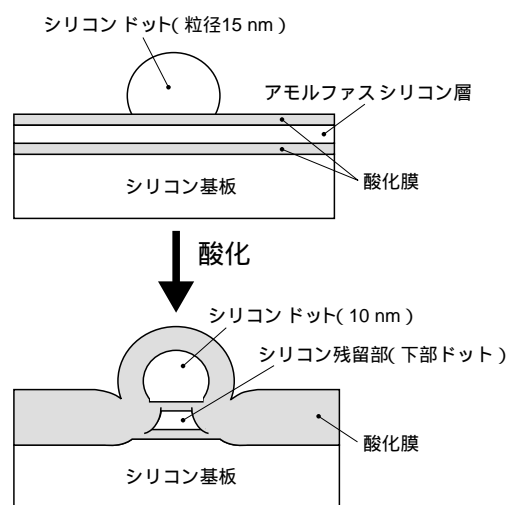


図7. 二重シリコンドット作製法 自己整合的に積み重なったシリコンドット構造が作製できる。Method of fabricating self-aligned double-dot structure

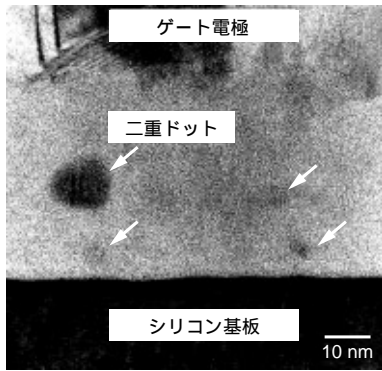


図8. 二重シリコンドット構造の透過型電子顕微鏡観察像 二重シリコンドット2組(4個のドット)を示す。上部ドットは粒径約10nm,下部ドットは約5nmであった。
Cross-sectional transmission electron microscope (TEM) image of silicon self-aligned double-dot structure

重なった構造の透過型電子顕微鏡観察像である。現状で既に3けたのリテンション時間の改善が実際のデバイスで確認されている⁽⁴⁾。下部ドットのサイズをより小さくすると、量子閉じ込め効果やクーロン遮蔽効果がより顕著になるので、リテンション時間は更に改善されると予測される(図9)。

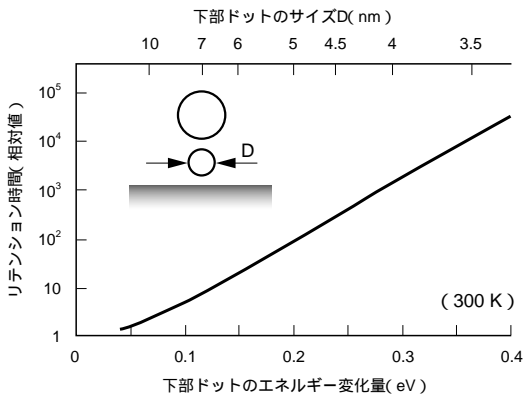


図9. 下部ドットのサイズとリテンション時間の関係 理論予測では、下部ドットのスケールでリテンションの大幅な改善が見込める。
Relationship between lower dot size and retention improvement

5 あとがき

当社の単一電子デバイス開発の取組みについて述べた。単一電子効果を積極利用したプログラマブル論理回路は、

ハードウェア自体が学習機能を持ち、より高機能なLSI演算回路を容易に実現する可能性を秘めている。二重ドット構造を用いた単一電子メモリは、テラ(10¹²)ビット級の大容量、低電圧駆動の高速不揮発性メモリへの新方向を示す有望な技術である。いずれも、従来のシリコンプロセスを使って実現でき、実用化の点で強力なメリットである。

真のナノエレクトロニクスは、単にサイズではなく、ナノ領域の物理現象をうまく活用し、現行のマイクロエレクトロニクスに高付加価値を与える点に、その存在意義がある。克服すべき課題もあるが、単一電子デバイスは将来の有望なナノエレクトロニクス素子である。

謝辞

この研究は経済産業省産業科学技術研究開発制度の一環として、新エネルギー・産業技術総合開発機構(NEDO)から新機能素子研究開発協会(FED)を通じて委託された“量子化機能素子の研究開発”の成果である。

文献

- (1) K. Uchida, et al. Silicon single-electron tunneling device fabricated in an undulated ultrathin silicon-on-insulator film. J. Appl. Phys., 90, 7, 2001, p. 3551 - 3557.
- (2) K. Uchida, et al. "Room-Temperature Operation of Multifunctional Single-Electron Transistor Logic". Technical Digest of International Electron Devices Meeting, 2000, p. 863 - 865.
- (3) R. Ohba, et al. Influence of Channel Depletion on the Carrier Charging Characteristics in Si Nanocrystal Floating Gate Memory. Jpn. J. Appl. Phys., 39, 3A, 2000, p. 989 - 993.
- (4) R. Ohba, et al. "Non-Volatile Si Quantum Memory with Self-Aligned Doubly-Stacked Dots". Technical Digest of International Electron Devices Meeting, 2000, p. 313 - 316.



古賀 淳二 KOGA Junji

研究開発センター LSI 基盤技術ラボラトリー研究主務。
微細 MOS デバイス, 量子効果デバイスの研究・開発に従事。
応用物理学学会会員。
Advanced LSI Technology Lab.



内田 建 UCHIDA Ken

研究開発センター LSI 基盤技術ラボラトリー。
MOS デバイス, 量子効果デバイスの研究・開発に従事。応用物理学学会, IEEE 会員。
Advanced LSI Technology Lab.



大場 竜二 OHBA Ryuji

研究開発センター LSI 基盤技術ラボラトリー研究主務。
微細 MOS デバイス, 量子効果デバイスの研究・開発に従事。
応用物理学学会会員。
Advanced LSI Technology Lab.