

メディアプロセッサを用いたスマートカー向け画像認識 LSI

Image Recognition LSI for Smart Cars Implemented Using Configurable Media-Processor

近藤 勝久
KONDO Yoshihisa

コンフィгурラブルメディアプロセッサを用いて、スマートカー向け画像認識 LSI を開発した。コンフィгурラブルメディアプロセッサは、特定のアプリケーションに対して、設計時にその構成を最適化することができる。そのため、多くのデータ処理リッチな組込みシステム LSI に最適なコストパフォーマンスの良いプロセッサを提供できる。このコンフィгурラブルメディアプロセッサを用いて、スマートカー向けの 4GOPS(Giga Operations Per Second)3Way - VLIW(Very Long Instruction Word)の画像認識 LSI を開発した。標準的な ASIC (用途特定 IC)設計手法を用いて 0.25 μ m CMOS(相補型金属酸化膜半導体)プロセスで、このチップを実装した。

An image recognition LSI for smart cars has been implemented using a configurable media-processor. The configurable media-processor enables optimization for a specific application by means of design-time configuration. Therefore, the processor with the best cost-performance can be provided for most data-centric embedded system LSIs. Based on the configurable media-processor, a 4 GOPS (giga operations per second) 3-way VLIW (very long instruction word) image recognition processor for an automobile system has been developed. Using a standard cell design method, the chip was implemented in a 0.25 μ m CMOS process.

1 まえがき

ITS(高度道路交通システム)の技術開発の一環として、安全運転を支援する機能を搭載したスマートカーの開発が進められている。しかし、画像処理により周囲状況を判断し自動認識するためには、複数の CPU や高価な専用ハードウェアを搭載する必要があり、コストパフォーマンスが悪く、普及には至っていない。

こうしたニーズに対応して、高度な画像認識技術とコンフィгурラブルメディアプロセッサ技術の適用により、コストパフォーマンスの良いスマートカー向け画像認識システムを実現する LSI を開発した。

以下に、コンフィгурラブルメディアプロセッサのコンセプトとアーキテクチャ、スマートカー向け画像認識システムの概要、開発した画像認識 LSI とその利点について述べる。

2 コンフィгурラブル メディアプロセッサ

2.1 開発のねらい

コンフィгурラブルメディアプロセッサは、マルチメディア処理、画像処理、及び音声 / オーディオ処理のようなデータ処理リッチなアプリケーションソフトウェア(以下、アプリケーションと略記)向けシステム LSI に用いることを意図して開発された。

これらのシステム LSI は、単に高性能であるよりも、必要

な処理を安いコストで提供することが求められる。つまり、数種類のキーアプリケーションの最適な実装が、良いコストパフォーマンス実現のために必要とされる。また、デリバティブ開発のための TAT(TurnAround Time)も要求される。

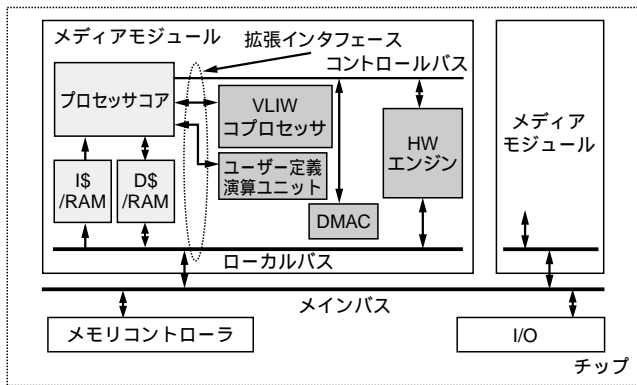
各アプリケーションは、必要性能や必要な演算の種類が異なるため、汎用プロセッサを用いることはシステムのコスト高につながる。通常は、これらの LSI は、専用ワードワイヤード回路で設計される。その結果、デリバティブ開発のための TAT 増大を招いている。また、最近では、専用プロセッサとハードワイヤード回路を用いたシステム LSI も出現しているが、貧弱なソフトウェア(SW)開発環境に悩まされている。

コンフィгурラブルメディアプロセッサは、これらの問題を解決するために開発された。

2.2 アーキテクチャ

開発したコンフィгурラブルメディアプロセッサは、簡素で小型のプロセッサコアをベースにしている。ターゲットアプリケーションに最適な構成が選択可能であり、更に、必要な拡張が容易にできる構成になっている。このプロセッサは合成可能な RTL(Register Transfer Level)として提供され、周辺回路を集積し、通常のスタンダードセルベース ASIC 設計フローを経てシステム LSI となる。もちろん、各構成に適合した SW 開発ツール(コンパイラ、シミュレータ、デバッガ)も提供される。

コンフィгурラブルメディアプロセッサのアーキテクチャを図 1 に示す。



I\$: 命令キャッシュ D\$: データキャッシュ I/O : Input/Output

図1. コンフィグurableメディアプロセッサのアーキテクチャ
 シンプルなプロセッサコアを核にして、アプリケーションに必要なユニットが拡張可能な構成となっている。
 Architecture of configurable media-processor

プロセッサコア、オンチップメモリ、コプロセッサ、ユーザー定義演算ユニット、ハードウェア(HW)エンジン、そしてDMA(Direct Memory Access)コントローラ(DMAC)といった部品から構成される。

すべての部品は合成可能なRTLとして用意され、設計時にこの図の構成に沿って組み上げられる。各々の部品は、共通部品とカスタム部品に分類できる。

共通部品は、任意のアプリケーションに用いられるもので、その構成をアプリケーションに合わせて選択することが可能である。プロセッサコアとオンチップメモリは、共通部品に分類される。プロセッサコアに関しては、命令の一部、拡張に必要なインタフェース及び動作モードなどが選択可能になっている。また、オンチップメモリに関しては、そのサイズとローカルメモリ又はキャッシュの選択ができる。コプロセッサやHWエンジンはカスタム部品に分類され、各ターゲットアプリケーションごとに設計される。

プロセッサコアは拡張が施されないときは、32ビット5段パイプラインの簡素なRISC(縮小命令セットコンピュータ)プロセッサである。高い命令コード効率を達成するため、32ビット/16ビットの可変長命令フォーマットを採用し、汎用レジスタの本数を16本にしている。

2.3 VLIW 拡張

画像認識LSIを作るうえで、効果を発揮した機能は、VLIW拡張である。プロセッサコアはVLIW動作モードを持っている。通常の動作モード(コアモード)とVLIWモードの切替えは、サブルーチン呼出し/復帰命令により行われる。また、例外処理はすべてコアモードで行われるため、VLIWモード時に例外が発生した場合も、モード切替えが発生する。

コアモードでは、16ビット又は32ビット長の命令をサイクルごとに1命令実行する。一方、VLIWモードでは、64ビット

固定長のVLIW命令を毎サイクル実行する。VLIW命令の上位の部分にはプロセッサコアの命令が、下位部分にはコプロセッサの命令が埋め込まれており、それぞれ並列に実行される(図2)。

VLIW拡張のパイプライン構成を図3に示す。VLIWコプロセッサは、プロセッサコアにパイプラインレベルで密に接続する。フェッチした命令の全フィールドがDステージでコプロセッサに送付される。Eステージでコプロセッサレジスタが読み出され、Mステージから演算ユニットが動作する。パイプライン化された多レーテンシの演算ユニットを持つことができる。プロセッサコアは、命令フローとメモリアクセスに関する命令を実行し、コプロセッサでは、アプリケーションに特化した特殊演算命令を実行する。

アプリケーションに特化したコプロセッサを付け替えるこ

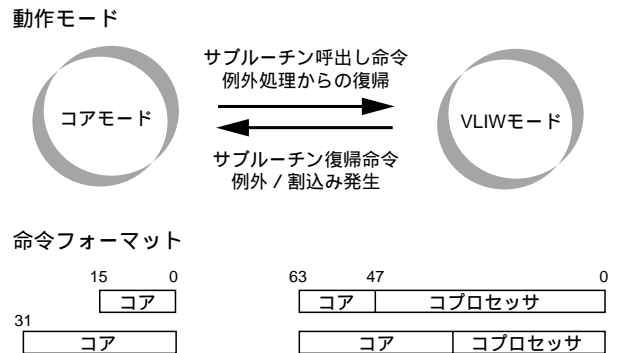


図2. 動作モード 通常のRISCプロセッサとして動作するコアモードとVLIWプロセッサとして動作するVLIWモードがある。
 Core and VLIW modes

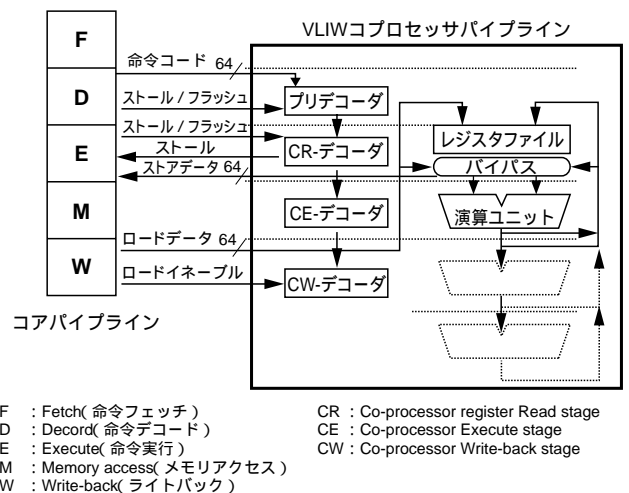


図3. パイプライン構成 このパイプライン構成をとるコプロセッサが接続可能である。アプリケーションに適したコプロセッサを接続することにより、アプリケーションに特化したDSP(Digital Signal Processor)を容易に実現できる。
 Pipeline structure

とによってアプリケーションスペシフィックな VLIW プロセッサを簡単に実現することができる。

3 スマートカー向け画像認識システム

このコンフィギュラブルメディアプロセッサを用いて、スマートカー向け画像認識 LSI を開発した。この LSI により、コストパフォーマンスの良い後側方監視システムが実現できる。

このシステムの概要を図4に示す。画像認識 LSI は、車体後部に取り付けられたビデオカメラからの画像データを処理することにより、後方から追い越してくる車を検出する。この検出情報は、システム全体を制御する MCU (Micro Control Unit) に送られる。MCU は、車速やハンドル舵角(だかく)などの運転情報を同時に集めている。そして、追越し車との間に危険な状況が生じた場合、運転者に警報を発する。

画像認識処理に特化した LSI と、背景の動きと違う動きだけを抽出することで演算量を減らした画像アルゴリズムを用いることにより、後方の追越し車の検出確認に必要な 17 ~ 18 枚/秒の画像認識処理を実現した。また、プロセッサとして LSI を開発したので、居眠りや不注意運転を防止するための前方の白線認識といった他用途のシステムも、プログラムを変更することにより実現可能になっている。

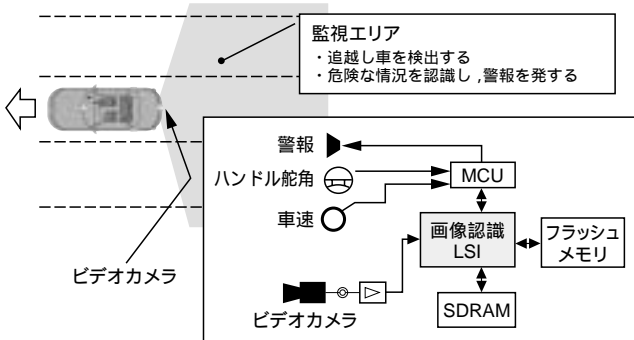
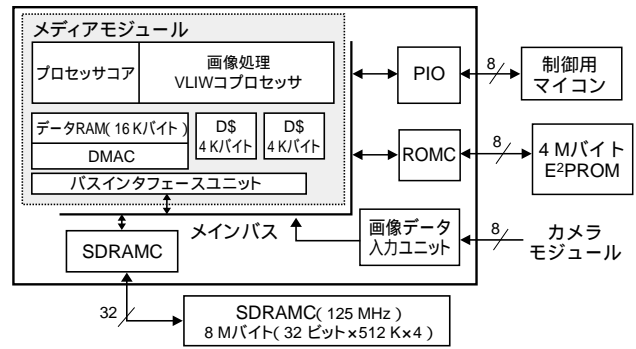


図4. 後側方監視システム 車の後ろにあるビデオカメラからの画像を処理することにより、追越し車を検出する。

Automatic rear and side surveillance system using image processing

4 画像認識 LSI の実装

画像認識 LSI のブロック構成を図5に示す。メディアモジュールと記された網掛け部分がコンフィギュラブルメディアプロセッサにより提供されたブロックである。また、後側方監視システムを安価に構築するために、PIO (Parallel I/O), ROM コントローラ (ROMC), 画像データを入力するためのキャプチャユニット、そして、SDRAM (Synchronous DRAM) のコントローラ (SDRAMC) といった周辺回路を集



E²PROM : Electrically Erasable and Programmable ROM

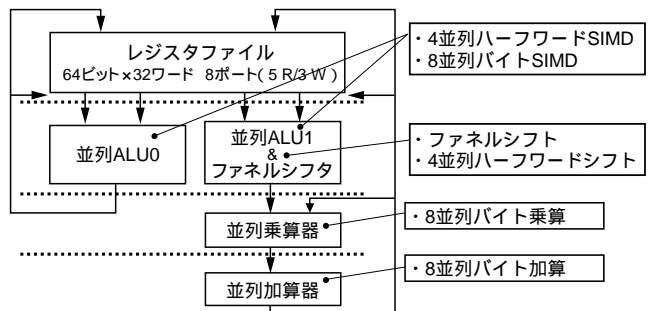
図5. 画像認識 LSI のブロック構成 画像処理に特化したコプロセッサを接続し、システムを構築するのに必要な周辺回路を集積した。
Configuration of image recognition LSI

積している。

データ用のオンチップメモリは、4 K バイトのデータキャッシュと 16 K バイトの 2 バンクローカルメモリ (データ RAM) を集積している。2 バンク構成をとることにより、キャッシュが効果を発揮しない処理ルーチンでは、プロセッサでの処理を妨げることなく必要なデータ転送を行うことができる。

コプロセッサは画像処理に特化して設計された。コプロセッサのブロック構成を図6に示す。8 並列バイト SIMD (Single Instruction Multiple Data stream) 演算を行う 64 ビット幅データバスを 2 本備えている。そのうちの 1 本は、8 並列バイト SIMD 並列積和演算器を持つ。そのため、一つのサイクルで合計 32 並列のバイト演算の実行が可能である。したがって、125 MHz 動作時に、4GOPS のピーク性能を達成できる。

この LSI は、0.25 μm CMOS 4 層メタル配線プロセスで実装された。チップの仕様を表1に、チップ写真を図7に示す。



ピーク性能 : 32 並列バイト演算/サイクル

ALU : Arithmetic Logic Unit

図6. コプロセッサのブロック構成 サイクル当たり最大 32 並列のバイト演算が実行可能である。125 MHz 動作時には 4GOPS のピーク性能となる。

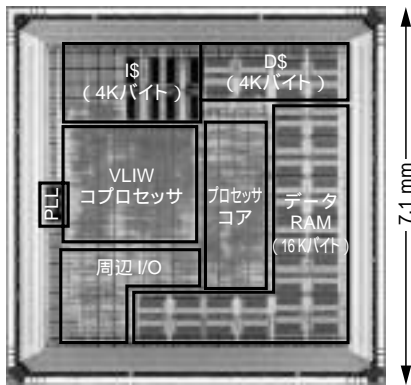
Configuration of co-processor

表1 . 画像認識 LSI の仕様

Chip specifications

項目	仕様
テクノロジー	0.25 μm CMOS 4 層配線
動作周波数	125 MHz
オンチップメモリ	4 Kバイト 命令キャッシュ
	4 Kバイト データキャッシュ
	16Kバイト 2バンクデータ RAM
ロジックゲート数	約 300 K ゲート
チップサイズ	50.4 mm ²
パッケージ	TBGA 352 ピン
動作電圧	3.3 V (I/O), 2.5 V (内部)

TBGA : Tape Ball Grid Array



PLL : Phase Locked Loop

図7 . 画像認識 LSI チップ クリティカルパスを短縮するようにリージョン設定して P&R (Place & Route) を実行した。

Chip micrograph

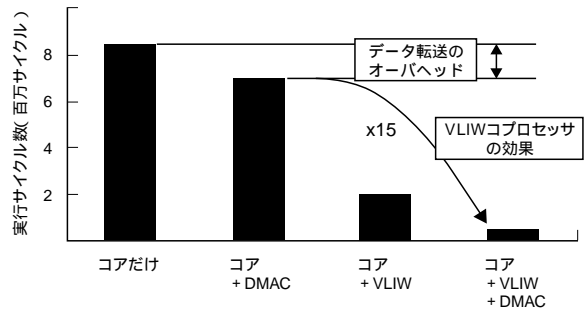
車載向け LSI ということ意識して、フルスキャン、パーイン回路、オンチップメモリに対するダイレクトアクセス及び JTAG (Joint Test Action Group) サポートといったテスト容易化設計を十分に施している。

5 コンフィグナビリティの効果

最後に、コンフィグナビリティの効果について述べる。この LSI の開発前に、汎用プロセッサを用いたプロトタイプシステムを試作している。その経験から、このアプリケーションの実行には 400 MHz Pentium[®](注1) II クラスの汎用プロセッサ能力が必要であると推定している。メディアプロセッサのプロセッサコア部の性能は、動作周波数の同じ通常の 5 段パイプラインの RISC プロセッサの性能とほぼ同じである。したがって、コンフィグナビリティによる拡張により 6 ~ 7 倍の性能向上が達成されたと言える。

(注1) Pentium は、米国 Intel Corporation の登録商標。

(注2) 隣接した画像データの変化を検出する操作。微分演算操作又は、エッジ検出操作と呼ばれる。



1 フレーム画像 (320 × 240 ピクセル) に対する 3 × 3 ソーベルフィルタオーバーレーション

図8 . フィルタ処理の実行サイクル数 画像処理に特化したコプロセッサにより 15 倍の性能向上が達成されている。

Execution cycle of filter operation

性能向上の大半は、VLIW コプロセッサによる画像処理のアクセラレーションと、DMA コントローラによる処理と並行したデータ転送によりもたらされた。これらは、チップ面積の 12 % にすぎない。汎用プロセッサに比較してコンフィグラブルメディアプロセッサは、非常に良いコストパフォーマンスを達成していると言える。

これらのコンフィグナビリティの効果を 1 画面データに対するソーベルフィルタリング処理^(注2)を用いて詳細に調べた結果を図 8 に示す。実行サイクル数を四つの構成について調べた。拡張のないプロセッサコアだけの構成、DMAC だけ付加した構成、VLIW 拡張だけ行った構成、そして、これら両方の拡張を備える構成の四つの構成である。

拡張のないプロセッサコアだけの構成では、この処理の実行サイクル数は 8 M サイクルである。DMAC を付加することによりデータ転送のオーバーヘッド 1.5 M サイクルを隠蔽(いんぺい)することができる。また、VLIW 拡張により 15 倍の性能向上が達成されている。

6 あとがき

コンフィグラブルメディアプロセッサを用いてスマートカー向け画像認識 LSI を開発した。アプリケーションに特化することにより、コストパフォーマンスの良いシステムが構築できた。

文献

- (1) Taniguchi, Y., et al. "Automatic Rear and Side Surveillance System Using Image Processing.". 6th World Congress on ITS, Paper No. 3026, Nov. 1999.
- (2) Kondo, Y., et al. "A 4GOPS 3Way-VLIW Image Recognition Processor based on a Configurable Media-processor". ISSCC 2001, Feb. 2001, p.148 - 149.



近藤 勝久 KONDO Yoshihisa

セミコンダクター社 システム LSI 事業部 システム LSI 開発センター 経営変革エキスパート兼デジタルメディア LSI 開発担当主務。RISC プロセッサ及びコンフィグラブルメディアプロセッサの開発に従事。
System LSI Div.