

ショットキーソース/ドレインMOSFETにおける ソースサイドホットエレクトロン生成効率の向上

Enhancement of Hot-Electron Generation Rate in Schottky MOSFETs

内田 建
UCHIDA Ken

松澤 一也
MATSUZAWA Kazuya

古賀 淳二
KOGA Junji

電界効果型トランジスタ(MOSFET: Metal-Oxide-Semiconductor Field-Effect Transistor)のソース/ドレイン層を、従来のような不純物による拡散層ではなく、金属層としたMOSFETは、寄生抵抗や寄生容量の低減による高速動作が期待され、ショートチャネル効果に対する耐性も高いと考えられていることから、将来の微細MOSFETの有力な候補と考えられている。このような、従来のようにpn接合をソース/ドレイン接合で実現するのではなく、金属-シリコン接合(ショットキー接合)で実現したMOSFETを、ショットキーMOSFETと呼ぶ。

当社では、このようなショットキーMOSFETにおいて、ソース端で格子温度よりも十分に高いエネルギーを持ち、高速な電子(ホットエレクトロン)が効率よく生成されることを実験的に確認した。このことは、ショットキーMOSFETが、チャネル長が数十nmの世代における高速デバイスとして、極めて有望であることを示している。

Schottky metal-oxide-semiconductor field-effect transistors (Schottky MOSFETs), which have a metal silicide source/drain in place of the n^+ diffused source/drain, have attracted considerable attention as future decanano-scale high-speed MOSFETs because of their low parasitic resistance and capacitance and their immunity to short channel effects. We confirmed that in Schottky MOSFETs, hot electrons are generated at the Schottky source side. This fact indicates that Schottky MOSFETs hold promise as decanano-scale high-speed devices.

1 まえがき

シリコンULSI(Ultra LSI)は、MOSFETの微細化によって高性能化を実現してきた。MOSFETの微細化においては、チャネル長を短くし、ゲート酸化膜厚を薄くするだけでなく、ソース/ドレイン層を浅く、低抵抗にすることが本質的に重要である。

最近、ソース/ドレイン層を従来のような拡散層ではなく、金属層で実現する技術が注目されている。金属は、不純物をドーパした半導体よりも、圧倒的に低抵抗であるため、浅くかつ低抵抗なソース/ドレイン層を実現するのに適しているからである。このように、ソース/ドレイン接合を、従来のようなpn接合ではなく、金属-シリコン接合(ショットキー接合)で実現したMOSFETをショットキーMOSFETと呼ぶ(図1)。ショットキーMOSFETは、上記のような、浅く低抵抗なソース/ドレイン層を実現しやすいという特長⁽¹⁾だけでなく、微細MOSFETの問題点であるショートチャネル効果に対する耐性が強いこと⁽²⁾などからも注目を集めており、将来の微細MOSFET構造として有望視されている。

このように、非常に多くの特長を持っているショットキーMOSFETであるが、当社では、次世代の高速デバイスとしての可能性に特に注目している⁽³⁾。

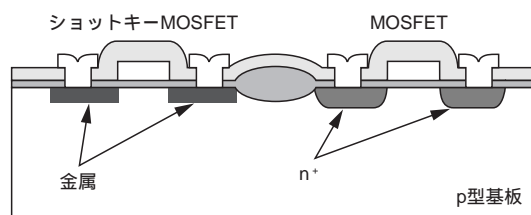


図1. ショットキーMOSFET 従来のMOSFET(右)のソース/ドレイン層が不純物の拡散層で形成されるのに対し、ショットキーMOSFET(左)では、金属層で形成される。
Schottky MOSFET

ショットキーMOSFETでは、ドレイン電圧とゲート電圧を十分に印可したON状態において、ソース端の金属電極とチャネル反転層の間に逆バイアスされたショットキー接合が形成される(図2)。このショットキー接合によって形成されるソース端の障壁(ショットキー障壁)のため、電流駆動力が下がることが懸念される一方で、ソース端において高電界が生じ、トンネル効果や熱的な効果によってソース電極からチャネル反転層に注入された電子は、この高電界によって加速され、エネルギーが高く、速度の速いホットな状態になる。

このようなソース端でのホットエレクトロンは、チャネルの入口から速い電子速度の実現を意味し、MOSFETのチャネ

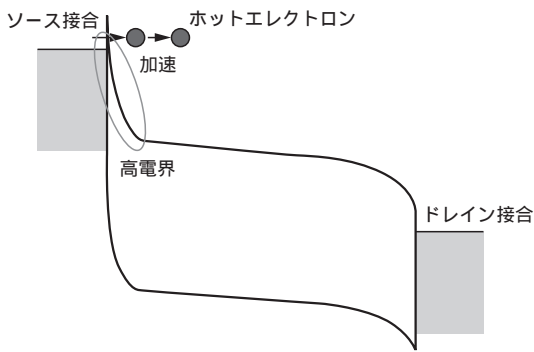


図2. ショットキー-MOSFETにおけるエネルギーバンド図 ショットキー-MOSFETでは、ソース端に逆バイアスされたショットキー接合が存在する。このため、ソース端で高電界が生じ、この電界で加速された電子がホット(高エネルギー状態)になる。

Energy-band diagram of Schottky MOSFET

ル長が数十nmの世代において、高速デバイスを実現する有力な手段になると期待できる。

ここでは、ショットキー-MOSFETのソースサイドでホットエレクトロンの生成が起こっていることを、実験的に世界で初めて実証した結果⁽³⁾について述べる。

2 実験

はじめに、実験に用いた素子構造について述べる。続いて、チャンネル中でホットエレクトロンが生じていることを実証し、最後にホットエレクトロンが効率的に生成している場所が、ショットキーソース電極近傍であることを実験的に特定する。

2.1 素子構造

実験には、図3に示すような、ソース/ドレイン接合のうち、一方をpn接合、他方をショットキー接合とする非対称なMOSFETを利用した。チャンネル幅は $10\mu\text{m}$ 、チャンネル長は $5\mu\text{m}$ 、ゲート酸化膜厚は 10nm である。p型、抵抗率が $4.5\sim 6\Omega\text{cm}$ のシリコン基板を使用し、ウエル、チャンネルプラは行っていない。ソース/ドレイン領域のうち、一方にリ

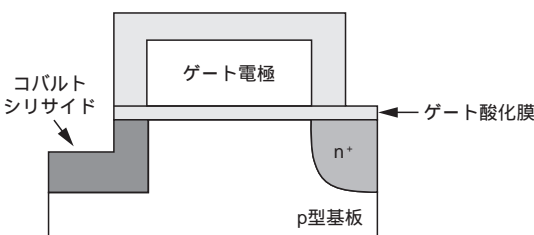


図3. 作製した非対称MOSFETの構造 ソース/ドレイン接合のうち、一方をpn接合、他方をショットキー接合とする非対称なMOSFETを作製した。

Structure of fabricated asymmetric MOSFET

ンをイオン注入しpn接合を実現、他方にはコバルトシリサイドを形成し、ショットキー接合を実現した。なお、比較のために、ソース/ドレイン接合の両方が、pn接合できている対称MOSFETも作製した。この素子の作製上、もっとも注意すべきことは、シリサイド端をゲート電極の直下まで到達させることである。もし、シリサイド端とゲート電極端の間に横方向にギャップが生じていると、大きな寄生抵抗となり、電流駆動力が大幅に劣化してしまう。

2.2 素子特性

はじめに、非対称MOSFETのpn接合側をソース接合、ショットキー接合側をドレイン接合としたときのドレイン電流のドレイン電圧依存性(I_d-V_d 特性)と、比較用に作製したソース/ドレイン接合の両方がpn接合となっている対称MOSFETの I_d-V_d 特性を図4(a)に示す。両素子で、ほとんど同一の特性が得られていることがわかり、このことから、懸念されたシリサイド端とゲート電極端との間の横方向のギャップは生じていないことがわかる。また、図4(b)には、ゲート電流のドレイン電圧依存性(I_g-V_d 特性)を示している。図に示すように、pn接合をソース接合としたときには、まったくゲート電流は流れておらず、ゲート電極と基板及びゲート電極とソース/ドレイン電極間には、リークが存在しないことがわかる。

ところが、同じ素子のソース/ドレインを入れ替えて、ショットキー接合をソース接合として I_g-V_d 特性を測定すると、ドレイン電圧が 2V 以上、ゲート電圧が 4V 以上のときに、大きなゲート電流が観測された(図4(b))。前述のように、同一素子で、pn接合をソース接合にしたときにはゲート電流がまったく流れていないことを考慮すると、この結果は、チャンネルを流れる電子が、チャンネル中でホット(高エネルギー)になり、ゲート絶縁膜の障壁を乗り越えて、ゲート電極に注入されていることを示唆している。

また、図4(c)に示すように、ゲート電流が観測されるのと同時に、 I_d-V_d 特性においては、負性微分コンダクタンス(ドレイン電圧が増しているにもかかわらず、ドレイン電流が減少する)が観測されることを見いだした。負性微分コンダクタンスにおいて、ドレイン電流の減少量は、観測されたゲート電流よりもはるかに大きい。したがって、負性微分コンダクタンスが観測される原因は、単純に電流がゲートへ分岐したというだけでなく、ゲート電極へ電流が流れる際にゲート絶縁膜に電子が捕獲され、MOSFETの閾(しきい)値が上昇したためであると考えられる。そこで、以下では、ゲート電流を流す前後での素子特性を比較することで、閾値の上昇を招いている捕獲された電子の場所を調べ、電子がホットになっている場所を特定することを試みる。

まず、まだ一度も測定していない非対称MOSFETを用いて、この素子のpn接合をソース接合とした場合のドレイン電流のゲート電圧依存性と、ショットキー接合をソース接合

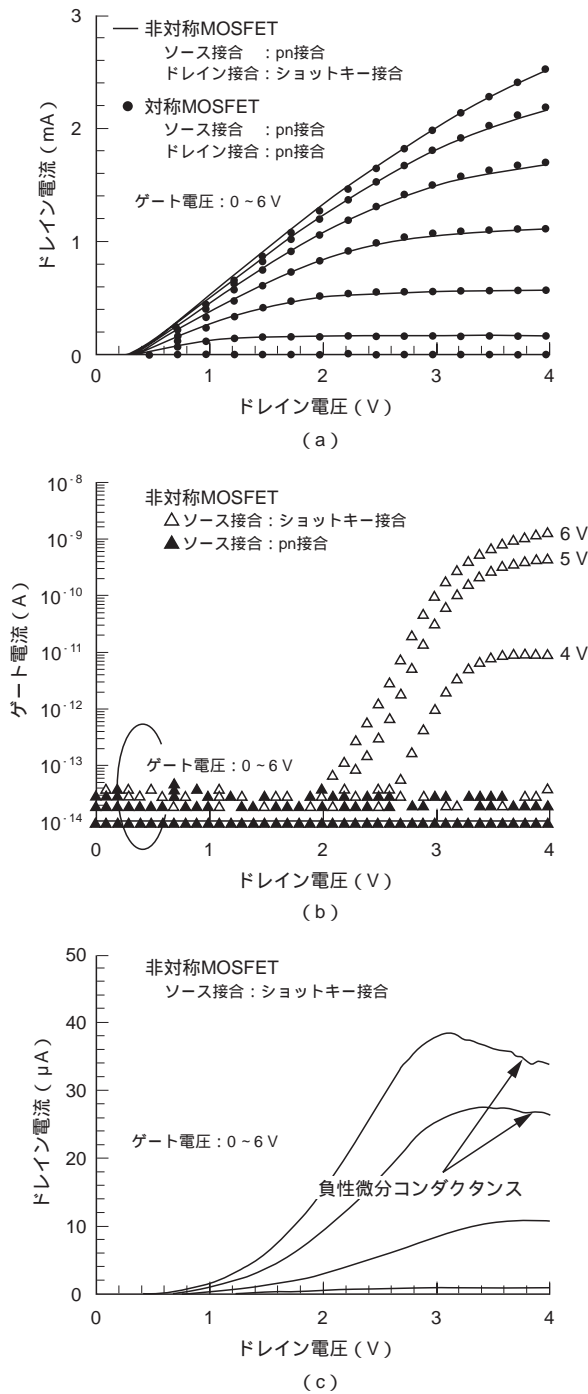


図4. 非対称 MOSFET 特性(ドレイン電圧依存性) (a)ソース接合をpn接合としたときの,ドレイン電流とドレイン電圧の関係 (b)ソース接合をpn接合としたときと,ソース接合をショットキー接合としたときの,ゲート電流とドレイン電圧の関係(ショットキーソースの場合にだけゲート電流が観測される)(c)ソース接合をショットキー接合としたときの,ドレイン電流とドレイン電圧の関係を各々示す。
Drain characteristics of asymmetric MOSFET

とした場合のソース電流のゲート電圧依存性を測定した。測定結果を図5(a)(b)に実線で示す。いずれの場合にも,ドレイン電圧を1V以下にしているので,これらの測定の間ゲート電流はまったく流れない。次に,ショットキー接合

をソース接合として,ゲート電圧を6Vに固定し,ドレイン電圧を0~4Vまで掃引することで,図4(b)(c)に示すように,ゲート電流を流し,負性微分コンダクタンスを観測する。その後,pn接合をソース接合とした場合と,ショットキー接合をソース接合とした場合の各々について,ドレイン電圧依存性を測定した。測定結果を図5(a)(b)に破線で示す。注目すべき点は,pn接合をソース接合とした場合には,ドレイン電圧の増加とともに,初期特性の閾値からのシフトが小さくなるのに対し,ショットキー接合をソース接合とした場合には,ドレイン電圧を増加しても,初期特性からの閾値シフト量は変わらない点である。

これらの特性は,ショットキー接合の近傍が,電子の捕獲場所,すなわちチャネル電子がホットになって,ゲート電極へ飛び込む場所になっていることを示している。なぜなら,pn接合をソース接合とする場合には,ドレイン電圧を増すに

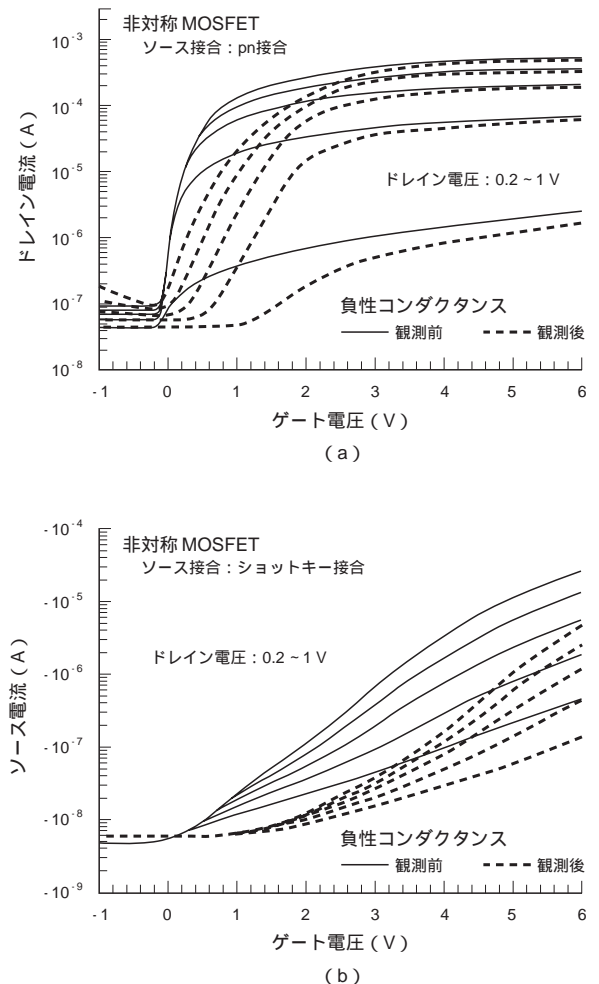


図5. 非対称 MOSFET 特性(ゲート電圧依存性) (a)ソース接合をpn接合としたときの,ドレイン電流とゲート電圧の関係を示す。負性微分コンダクタンスを観測する前後で,それぞれ測定した。(b)ソース接合をpn接合としたときの,ソース電流とゲート電圧の関係を示す。負性微分コンダクタンスを観測する前後で,それぞれ測定した。
Switching characteristics of asymmetric MOSFET

従い、ドレイン電極からの空乏層が伸びて、ドレイン接合(ショットキー接合)近傍に捕獲された電子の影響は遮蔽(しゃへい)されるようになり、閾値シフトが減少する。一方、ショットキー接合をソース接合とした場合には、ドレイン電圧を増し、ドレイン電極からの空乏層が伸びても、閾値シフトには変化がない。このことは、この場合のドレイン接合(pn接合)から離れたところに電子の捕獲場所があることを示唆している。これらの結果から、ショットキー接合をソース接合にし、高いバイアスを印可したときには、エネルギーの高いホットエレクトロンが、ショットキーソース接合の近傍で効率よく生成されることが示された。

3 あとがき

ソース/ドレイン層を従来のような不純物による拡散層ではなく、金属層で形成したショットキー MOSFET が、微細化に適した将来の MOSFET 構造として注目されている。

当社では、上述のように、ソース/ドレイン接合のうち、一方を pn 接合、他方をショットキー接合とする MOSFET を作製し、ショットキー接合をソース接合としたときに、ソース近傍でエネルギーの高いホットエレクトロンが多量に生成することを実験的に確認した。すなわち、ショットキー MOSFET では、ソース端において、ホットエレクトロンの生成効率が著しく高まることを実験的に世界で初めて実証した。このようなソース端でのホットエレクトロンは、チャンネルの入口から

速い電子速度の実現を意味し、MOSFET のチャンネル長が数十 nm の世代において、高速デバイスを実現する有力な手段になると期待できる。

文 献

- (1) Snyder, J.P., et al. Experimental investigation of a PtSi source and drain field emission transistor. Applied Physics Letters. 67, 1995, p.1420-1422.
- (2) Tucker, J.R., et al. Silicon field-effect transistor based on quantum tunneling. Applied Physics Letters. 65, 1994, p.618-620.
- (3) Uchida, K., et al. Enhancement of hot-electron generation rate in Schottky source metal-oxide semiconductor field-effect transistors. Applied Physics Letters. 76, 2000, p.2992-3994.



内田 建 UCHIDA Ken

研究開発センター LSI 基盤技術ラボラトリー。
MOS デバイス、量子効果デバイスの研究・開発に従事。応用物理学会、IEEE 会員。
Advanced LSI Technology Lab.



松澤 一也 MATSUZAWA Kazuya

研究開発センター LSI 基盤技術ラボラトリー研究主務。
デバイスシミュレータ用物理モデルの開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



古賀 淳二 KOGA Junji

研究開発センター LSI 基盤技術ラボラトリー研究主務。
微細 MOS デバイス、量子効果デバイスの研究・開発に従事。
応用物理学会会員。
Advanced LSI Technology Lab.