

ひずみの導入により高移動度化した新構造 SOI-MOSFET

Carrier Mobility Enhancement in Advanced SOI-MOSFETs with Strained-Si Channel

水野 智久
MIZUNO Tomohisa

杉山 直治
SUGIYAMA Naoharu

高木 信一
TAKAGI Shin-ichi

100 nm 以下の超高速 CMOS (Complementary Metal Oxide Semiconductor) 回路を目指した、新構造の SOI (Silicon on Insulator)-MOSFET (Field Effect Transistor) を開発した。これは、格子定数の大きなシリコンゲルマニウム (SiGe) 層上に形成した Si チャンネルに引張応力が加わることにより、そのバンド構造を変調させ、キャリアの移動度が通常の Si より向上することを利用した素子である。今回開発した素子において、通常の SOI-MOSFET と比較して、n チャンネルでは 60 %、p チャンネルでは 18 % の移動度の向上が実証できた。この研究により、通常の Si 素子を凌駕 (りょうが) できる超高速 CMOS 回路への道が開けた。

We have developed advanced silicon-on-insulator (SOI)-MOSFETs for high-speed sub-100 nm CMOS devices. These advanced SOI-MOSFETs have a tensile-strained-Si channel on SiGe with a larger lattice constant, which leads to higher mobility caused by changing their Si-band structures.

We have demonstrated electron and hole mobility enhancement in these advanced SOI-MOSFETs of 60 % and 18 %, respectively, in comparison with control SOI-MOSFETs. Therefore, these newly developed advanced SOI-MOSFETs are promising structures for high-speed CMOS devices with characteristics far superior to those of conventional Si CMOS devices.

1 まえがき

サブ 100 nm 領域において、超高速ロジック ULSI の実現にはその CMOS 回路の高速化が必須である。そのためには、MOSFET のキャリア移動度の向上とその寄生効果 (ソース / ドレイン抵抗、接合容量、など) の低減化の両立が重要となる。したがって、薄膜 SOI 素子構造⁽¹⁾は、チャンネルに高濃度不純物が不要 (SOI 層の薄膜化により、短チャンネル効果を抑制) のためキャリアの高移動度が実現でき (基板不純物とのクーロン散乱の抑制)、また、厚い埋込み酸化膜構造によるソース / ドレイン接合の低容量化が達成できるため、非常に有望な素子構造である。

しかし、通常の Si 中のキャリア移動度は、他の半導体、例えば Ge、ガリウムヒ素 (GaAs) などの数分の 1 であり⁽²⁾十分高いとは言えないため、CMOS 回路のよりいっそうの高速化には限界がある。この問題を解決する手段として、ひずみ Si 技術⁽³⁾⁽⁴⁾が最近報告されている。これは Si 層にひずみを加えることによって、キャリア移動度の向上が実現できる技術である。

今回、われわれは、この SOI とひずみ Si 技術の両方の利点を兼ね備えたひずみ SOI 技術を世界で初めて開発した⁽⁵⁾⁽⁶⁾。ここでは、そのひずみ SOI-MOSFET における電子及び正孔移動度の向上の実証を中心に述べる。

2 ひずみ SOI 構造とは

2.1 ひずみ Si とは

ひずみ Si は、図 1 に示すように、格子定数の大きな SiGe 層上に Si 層を堆積して形成されるため、Si 層は横方向に引張応力を受けひずむ。その結果、Si のバンド構造が変調され、キャリアのサブバンド間の散乱が減少するとともに、その実効質量も低減化する。したがって、ひずみ Si 層中ではキャリア移動度の向上が実現できる。

2.2 ひずみ SOI とは

ひずみ SOI の断面を図 2 に示す。この構造の特徴はひずみ緩和した SiGe 中の埋込み酸化膜構造と、ひずみ緩和した SiGe 層上のひずみ Si 層のチャネル構造、の二つである。こ

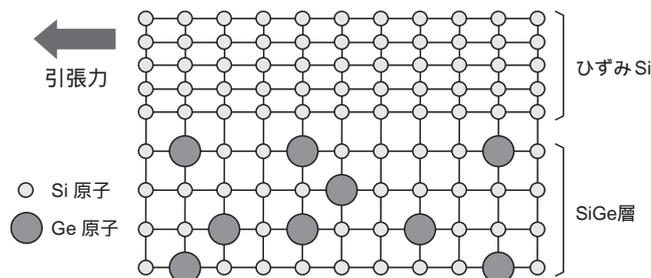


図 1 . ひずみ Si / ひずみ緩和 SiGe 構造の概念 ひずみ緩和 SiGe の大きな格子定数により、Si には引張応力が導入できる。
Schematic cross section of strained-Si/relaxed-SiGe structures

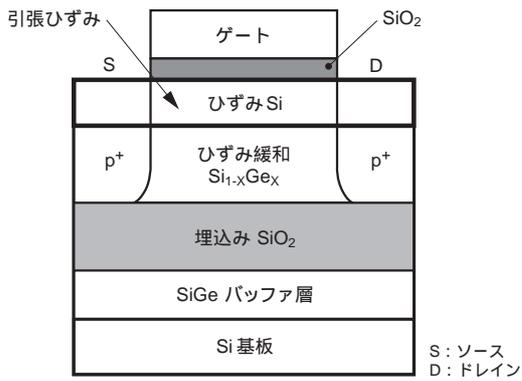


図2 . ひずみSiチャンネルを持つ新SOI素子の断面 ひずみSiチャンネルはひずみ緩和SiGe上に、また、埋込み酸化膜は、ひずみ緩和SiGe層中に形成される。

Schematic cross section of advanced SOI-MOSFETs with strained-Si channel

の構造により、SOIとひずみSi構造の両方の利点を兼ね備えることができる。

この構造の製法を図3に示す。この構造の製法のキーポイントは、ひずみ緩和SiGe層中に埋込み酸化膜構造を形成するSIMOX(Separation by Implanted Oxygen)工程⁽⁷⁾と、高品質ひずみSi/SiGe層のエピタキシー再成長法である。

最初に、UHV-CVD法(Ultra High Vacuum - Chemical Vapor Deposition)により、Si基板上にSiGeバッファ層とひずみ緩和SiGe層(Ge濃度10%)を形成する(図3(1))。

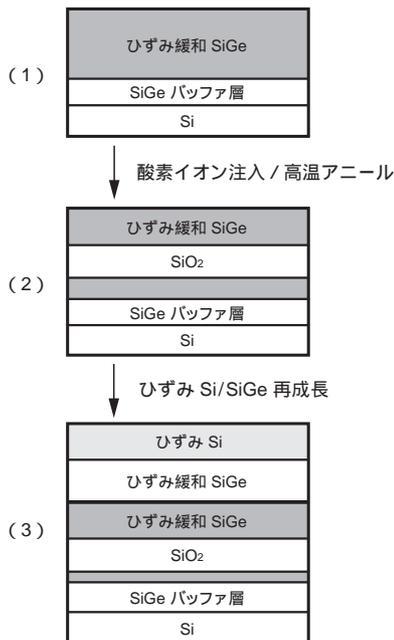


図3 . ひずみSOI構造の製法 この製法の二つの重要なポイントは、SiGe層中に埋込み酸化膜を形成するSIMOX工程(2)と、高品質ひずみSi層の再成長工程(3)である。

Steps in fabrication of strained-SOI substrate

SIMOX法により、酸素イオン注入(ドーズ量 $4 \times 10^{17} \text{cm}^{-2}$)とその後的高温アニール(1,350)を6時間行い、SiGe層中に埋込み酸化膜を形成する(図3(2))。その後、SiGe層を多少エッチングした後、SiGe層(Ge濃度10%)とSi層をUHV-CVD法により再成長することにより、ひずみSOI基板が作成できる(図3(3))。n及びpチャンネルMOSFETを、通常の熱酸化法(800)によるゲート酸化膜(9nm)形成と、通常のイオン注入法によるソース/ドレイン拡散層形成により作製した。

3 ひずみSOI基板特性

今回作製したひずみSOI素子断面のTEM(Transmission Electron Microscopy:透過型電子顕微鏡)観察写真を図4に示す。埋込み酸化膜(85nm厚)、及びひずみSi層(20nm厚)が均一に形成できている。埋込み酸化膜上のSiGe層厚は290nmである。また、Ge濃度の深さ方向の分布を図5に示す。SIMOX工程前(一点鎖線)に比べて、SIMOX工程後(実線)では、埋込み酸化膜上のGe濃度はほぼ変わらず10%を保っていて、設計どおりのGe濃度を持ったSiGe層が形成できることがわかった。しかし、埋込み酸化膜下のGe濃度は数分の1まで減少している。

これは、SIMOX工程での高温アニールにより、Ge原子がSi基板中、数十 μm まで拡散することに起因している。このことより、埋込み酸化膜はGe原子の拡散抑制の重要な役割を果たしており、SIMOX工程の有用性がわかる。

次に、素子のキャリア移動度に重要なひずみSi/SiGe層の応力解析について述べる。図6は、各層のラマンシフトの実験値である。大きなピークはSiGeの、小さなピークはひずみSiのラマンシフトである。破線の矢印は、各層の理想的なラマンシフトを示し、実験値とはほぼ一致を見た。このことより、ひずみSiはほぼ完全に引張りひずみが入り、SiGeは、

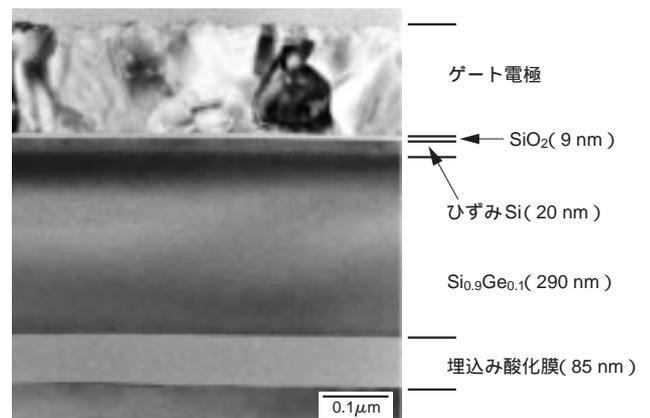


図4 . ひずみSOI素子断面のTEM写真 ひずみSi及び埋込み酸化膜層は、均一に形成されているのがわかる。

TEM photograph of cross section of strained SOI-MOSFET

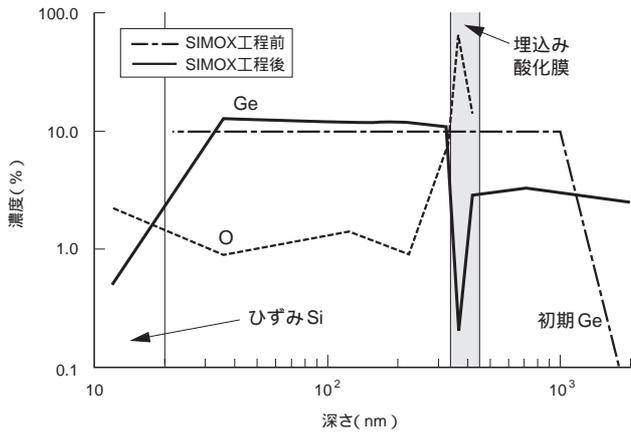


図5 . ひずみ SOI 基板中の Ge 及び O 濃度分布 埋込み酸化膜上では, GeはSIMOX 後の初期値を維持する。
Ge and O atom distributions in strained-SOI substrate

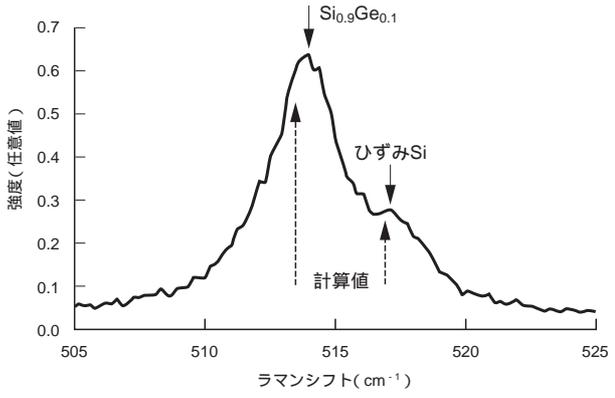


図6 . ひずみ SOI 基板のラマン分光 ひずみ Si / ひずみ緩和 SiGe とも, ほぼ理想的な応力を示している。
Raman spectroscopy of strained-SOI substrate

ひずみ緩和していることが判明した。
以上の基板評価により, ほぼ完全なひずみを持った Si 層を持つ SOI 基板が作成できた。
次章では, このひずみ SOI 基板上での MOSFET 素子動作の結果について述べる。

4 ひずみ SOI-MOSFET におけるキャリア移動度の向上

最初に典型的なドレイン電流特性を図7に示す。これはチャンネル長が約 10 μm の素子である。図7 (a) 及び (b) は, それぞれ n 及び p チャネル素子の結果で, 実線はひずみ SOI 素子, 破線は通常の SOI 素子の結果である。ひずみ SOI 素子は両チャンネル構造とも正常な FET を示している。しかも, 通常の SOI 素子と比較して, ドレイン電流の向上が実現できており, またそのドレイン電流向上率は n チャネルのほうが p チャネルより大きい。これは, 次に述べるように, キャリア移動度の増大特性に起因している。

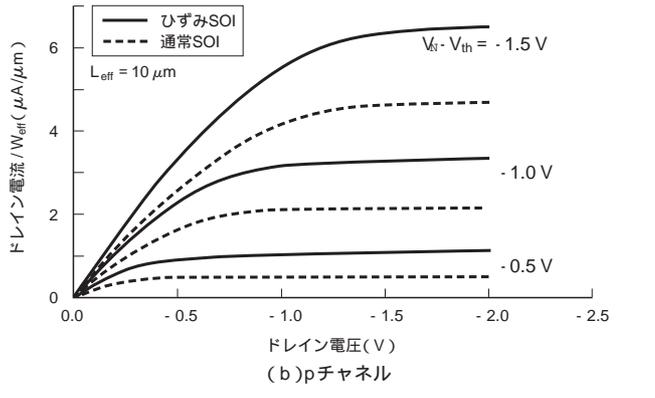
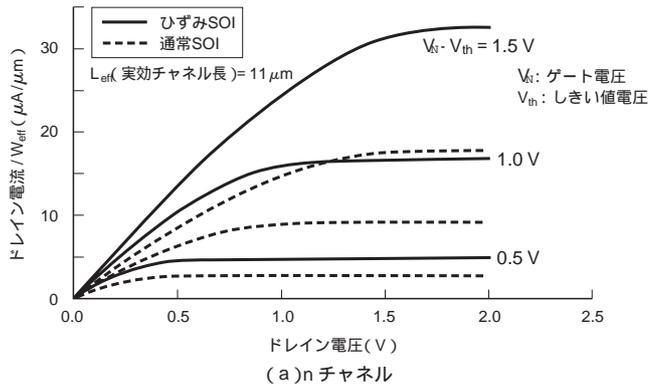


図7 . ひずみ SOI 及び通常 SOI 素子のドレイン電流特性 チャンネル長約 10 μm における n チャネル (a) 及び p チャネル素子 (b) のドレイン電流特性を示す。ひずみ SOI 素子は, 正常に FET 動作するとともにドレイン電流の向上も実現できている。
Typical drain current characteristics of strained and control SOI-MOSFETs

図8は, 電子及び正孔移動度の実効電界依存性である。移動度は, ドレイン電流をゲートとチャンネル間の容量から求めたチャンネルの電荷密度で割ることによって求まる。ひずみ SOI 素子のキャリア移動度() は, 通常 Si パルク素子の最高値であるユニバーサル移動度(実線⁹⁾), 及び同時に作製した通常の Si の SOI 素子() より向上しているのが明確に示されている。例えば, 実効垂直電界が 0.1 MV/cm の場合, 図8 (a) に示す電子では, 移動度は 1,000 cm²/Vs を越え, ユニバーサル移動度と比較して約 60 % 向上している。また, 図8 (b) に示す正孔では, その向上率はユニバーサル移動度と比較して 5 %, 同時に作製した通常の Si の SOI 素子に対しては, 18 % の移動度向上が達成できている。

以上のように, ひずみ SOI 素子において飛躍的な電子, 及び正孔移動度の向上を実現できたが, ここではこの移動度向上率の実験値と理論値との比較を行う。図9は移動度向上率の Ge 濃度依存性である。ここで, ひずみ SOI 素子の移動度向上率は, 同時に作製した通常の Si の SOI 素子との比較で実施した。実験値は理論曲線とほぼ一致している。

この結果より, この理論曲線から予想して次のことが言える。電子移動度(一点鎖線⁹⁾ は, Ge 濃度が非常に低濃度で

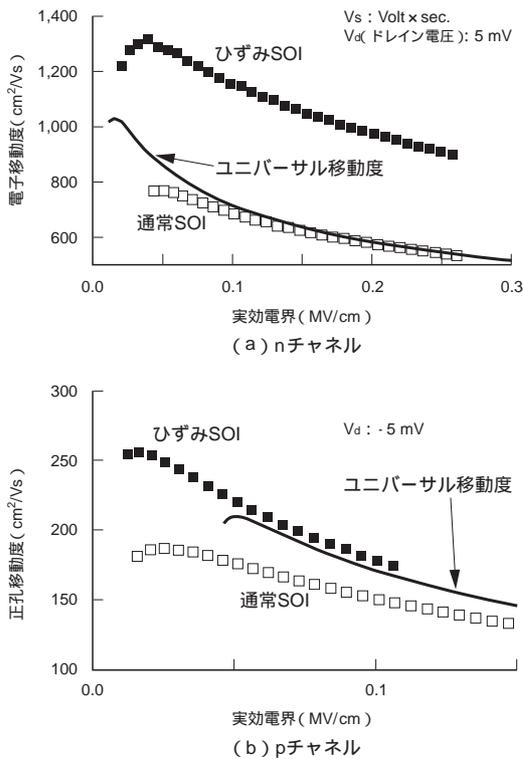


図8．電子及び正孔移動度特性 ひずみSOI素子は、電子移動度で60%(a)、正孔移動度で18%(b)通常SOIより向上した。
Electron and hole mobility behaviors

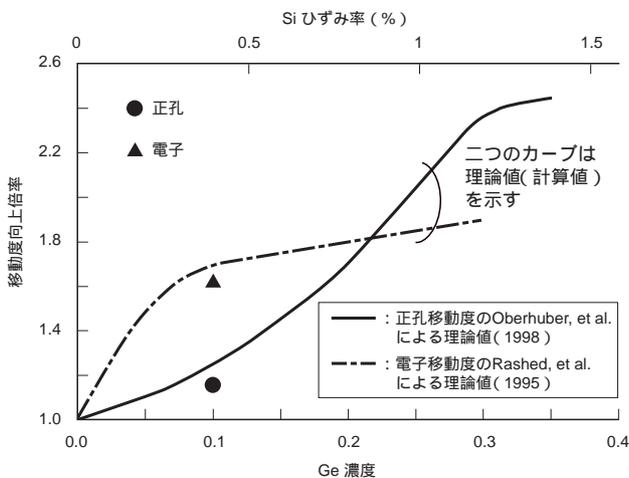


図9．電子及び正孔移動度向上率の理論値との比較 実験値は、ほぼ理論値(計算値)と同じである。
Comparison with theoretical results for electron and hole mobility enhancement

もSiでのひずみ効果が大きく、ほぼGe濃度が10%で向上率が約1.7倍で飽和する。一方、正孔移動度(実線)⁽¹⁰⁾は、電子とかなり違い、Ge濃度とともに徐々に向上し、Ge濃度が30%付近で約2.5倍の飽和値を示している。

以上の結果より、ひずみSOI素子をCMOS化して十分な

高速性能を達成するには、Ge濃度を30%程度まで高濃度化する必要がある。

5 あとがき

引張ひずみを導入したひずみSOI素子を世界に先駆けて開発し、その電子及び正孔移動度を飛躍的に向上させることに成功した。この素子構造により、通常のSi素子を凌駕できる超高速CMOS回路への道が開けた。今後は、更にひずみSi直下のGeの高濃度化を図り、超高速CMOS回路の実現を目指す。

文献

- (1) Yoshimi, M., et al. Suppression of the floating-body effect in SOI MOSFET's by the bandgap engineering method using a Si_{1-x}Ge_x source structure. IEEE Trans. Electron Devices. ED-44, 423, 1997, p.423 - 430.
- (2) Sze, S.M. Physics of Semiconductor Devices. New York, John Wiley & Sons, 1982, 868p.
- (3) Welsler, J.J., et al. Electron mobility enhancement in strained-Si n-type metal-oxide-semiconductor field-effect-transistor. IEEE Electron Device Lett. EDL-15, 3, 1994, p.100 - 102.
- (4) Rim, K., et al. "Enhanced hole mobilities in surface-channel strained-Si p-MOSFET's". IEDM Tech. Dig. 1995-12, IEEE. 1995, p.517 - 520.
- (5) Mizuno, T., et al. "High Performance Strained-Si p-MOSFET's on SiGe-on-Insulator Substrates Fabricated by SIMOX Technology". IEDM Tech. Dig. 1992-12, IEEE. 1999, p.934 - 936.
- (6) Mizuno, T., et al. Electron and Hole Mobility Enhancement in Strained-Si MOSFETs on SiGe-on-Insulator Substrates Fabricated by SIMOX Technology. IEEE Electron Device Lett. EDL-21, 5, 2000, p.230 - 232.
- (7) Nakashima, S., et al. Analysis of buried oxide layer formation and mechanism of threading dislocation generation in substoichiometric oxygen dose region. J. mater. Res. 8, 3, 1993, p.523 - 534.
- (8) Takagi, S., et al. On the universality of inversion layer mobility in Si MOSFET's: Part1 - Effects of substrate impurity concentration. IEEE Trans. Electron Devices. ED-41, 12, 1994, p.2357 - 2362.
- (9) Rashed, M., et al. "Monte Carlo simulation of electron transport in strained Si/Si_{1-x}Ge_x n-MOSFET's". IEDM Tech. Dig. 1995-12, IEEE. 1995, p.765 - 768.
- (10) Oberhuber, R., et al. Subband structure and mobility of two-dimensional holes in strained Si/SiGe MOSFET's, Phys. Rev. B. 58, 15, 1998, p.9941 - 9948.



水野 智久 MIZUNO Tomohisa, D. Eng.

研究開発センター LSI基盤技術ラボラトリー主任研究員, 工博。DRAM及び微細CMOSの研究開発に従事。応用物理学会, 物理学会, IEEE会員。
Advanced LSI Technology Lab.



杉山 直治 SUGIYAMA Naoharu, D. Eng.

研究開発センター LSI基盤技術ラボラトリー研究主務, 工博。半導体薄膜結晶成長技術の研究開発に従事。応用物理学会, 日本真空協会会員。
Advanced LSI Technology Lab.



高木 信一 TAKAGI Shin-ichi, D. Eng.

研究開発センター LSI基盤技術ラボラトリー主任研究員, 工博。微細CMOSのデバイス物理の研究開発に従事。応用物理学会, IEEE会員。
Advanced LSI Technology Lab.