

強誘電体メモリのFeRAM(Ferroelectric RAM)は、電源を切っても情報がメモリから消失しない不揮発性であり、かつ、従来の不揮発性メモリと比較して低い電圧において、1,000倍以上の高速で情報の書替えができるなどの優れた特長を持ち、モバイル応用などに最適な夢のメモリとして注目されている。

しかし、従来のFeRAMは、容量、コスト、読出し速度、読み書き可能回数(信頼性)などの面で十分でなく、大きな市場を得るには至っていない。当社は、オリジナル技術であるChainFeRAM™アーキテクチャ、SRO (SrRuO₃:ストロンチウムルテニウムオキサイド)電極技術によりこれらを解決することを可能とした。現在、FeRAMとして世界最高密度、最高速の8 Mビット品を開発試作しており、スタックセル構造の導入により、更に大容量化し、大きな市場を開拓すべく開発を進めている。

Ferroelectric random access memory (FeRAM) has excellent features including nonvolatility and 1,000 times faster programming capability at low voltage compared with conventional nonvolatile memories. FeRAM is therefore seen as the ultimate memory for a number of applications such as mobile electronic equipment. However, the memory density, chip cost, access time, and read/write endurance of conventional FeRAMs have not met the requirements of major applications in the real market.

Toshiba has developed an original chainFeRAM™ architecture and SRO (strontium ruthenium oxide: SrRuO₃) electrode technology which offer a solution to these requirements. Currently, an 8 Mbit FeRAM, which has the highest density and speed, is under development. Further integration is being promoted with the stacked cell capacitor for major market applications.

1 まえがき

メモリに要求されるものは、容量、速度、不揮発性、消費電力、コストの五つに集約される。すなわち、大きく、速く、忘れず、省エネルギーで安いものが究極のメモリである。現在広く使われているメモリでは、DRAMは容量、速度、コスト面で、フラッシュメモリは容量と不揮発性の面で、SRAM(Static RAM)は速度、あるいは消費電力の面でそれぞれ秀でている。

しかし、DRAMは揮発性であり、フラッシュメモリは書き込み速度が遅く、SRAMは大容量化が困難とすべての要素を満たしたメモリは存在しない。強誘電体メモリのFeRAMは、DRAM同様の一つのトランジスタと一つのキャパシタのメモリセルを持つ。このキャパシタ絶縁膜に強誘電体膜を用い、その膜中に電気的分極を保持させることで不揮発性のメモリとして機能する(図1)。すなわち、原理的にDRAMと同等な構成と動作が可能な不揮発性メモリであり、理想のメモリと言われている。特に、現在の世界市場を牽引(けんいん)している携帯情報機器は電池で駆動されるため、データを小電力で保持することが要求され、また、ますます高度化するアプリケーションにつれて大容量と高速性能が要求される。こうした応用分野に最適のメモリがFeRAMである。しかし、そのような期待にもかかわらず、現在、まだFeRAM

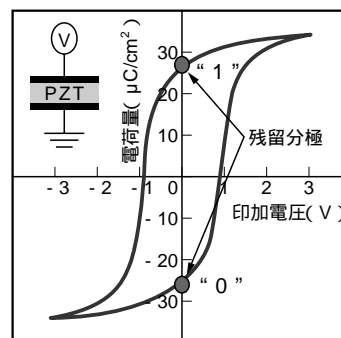
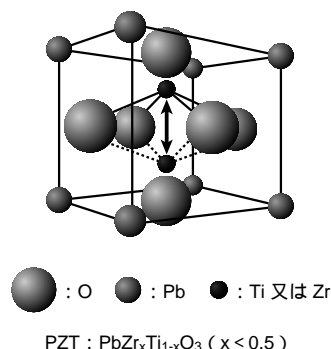


図1. 強誘電体結晶構造と電気特性 上図中央の原子(Ti又はZr)が、上に存在するか、又は下に存在するか、二つの状態を不揮発的に記憶する

PZT crystal unit cell and hysteresis loop

は大きな市場を得ているとは言えない。これは、従来のFeRAMが容量、コスト、読み出し速度、読み書き可能回数（信頼性）などの面で十分でなかったことによる。

これらの解決のため、当社で開発したオリジナルなアーキテクチャ、プロセス、デバイス技術について次に述べる。

2 従来型FeRAMとChainFeRAM_{TM}

従来型FeRAMのセル構成をDRAMセルとともに図2に示す。

DRAMとFeRAMは、トランジスタ1個とキャパシタ1個で一つのセルを形成する点は同じである。DRAMでは、セルキャパシタに蓄積された電荷を信号とするため、セルトランジスタがオンすると情報がビット線に読み出される。しかし、FeRAMにおいては、キャパシタに電圧が印加されない状態では、セルに記憶されている情報が“1”であるか“0”であるかはキャパシタの膜中に保存されており、トランジスタをオンしてもビット線には情報は出てこない。情報を読み出すには、プレート電極を駆動してキャパシタに電圧を印加し、膜中の分極を外部に電荷量として読み出さなければならない。したがって、FeRAMにおいては、DRAMで必要であったワード線とビット線以外に、プレート電極を駆動する駆動線と特定のセルのプレート電極を駆動するためのデコーダ回路が必要となる。これにより、従来FeRAMではセルが微細化しにくく、またアクセス速度も静電容量が極めて大きいセルキャパシタを駆動する時間を必要とするため、高速化することが困難であった。これらの問題を解決する当社オリジナルのChainFeRAM_{TM}アーキテクチャを図3に示す。

ChainFeRAM_{TM}では、一つのトランジスタと一つのキャパシタを並列に接続したリングを1セルとし、それを直列に接続したChain（鎖状の等価回路）構成を採っている。これにより、従来一つのセルに1本必要であったプレート線が複数のセルで共有化されるため、大幅なセルサイズ縮小と、プレートデコーダなどの回路の削減が可能となっている。また、プレート線1本当たりの抵抗が低減でき、また、1本当たりの

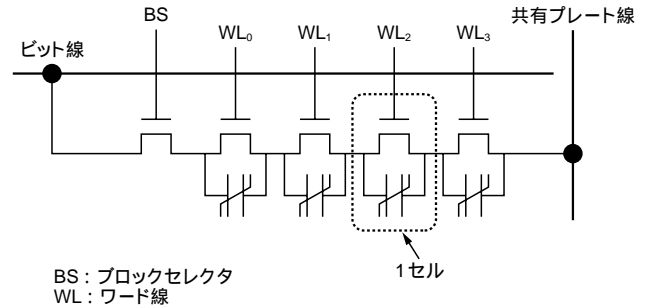


図3 . ChainFeRAM_{TM}のセル構成 複数のセルを鎖状に接続する当社の独自技術である。ランダムアクセス性を保ちつつ大容量・高速化が可能となる。

Topology of chainFeRAM_{TM} cell

駆動回路を強くできることから、プレート線駆動に必要な時間も短縮でき、アクセス速度の大幅な高速化が可能となる。0.25 μm世代では、チップサイズが従来比60%に縮小し、アクセス速度が約2倍に高速化されると見積もられる。ChainFeRAM_{TM}では、非アクセスのセルのセルトランジスタはすべてオン状態であり、アクセスするセルのトランジスタだけオフとする。これにより、プレートを駆動すると、アクセスするセルのキャパシタだけに電圧が印加され、強誘電体膜中のデータが読み出される。すなわち、ユニットセルが複数直列に接続されているが、完全なランダムアクセスが可能となっている。

3 FeRAM微細化・信頼性向上技術

FeRAMの究極の夢は、すべてのメモリをFeRAMで置き替えることにある。このためにはDRAM並みの高集積度、SRAM並みの高速性、及びこれらと同等の信頼性を兼ね備えた不揮発性メモリを実現する必要がある。FeRAMの書替え可能回数は、代表的な不揮発性メモリであるフラッシュメモリの10⁶回をはるかに超えており、現在市販されている小容量のFeRAMでも既に10¹⁰回が保証されている。しかし、

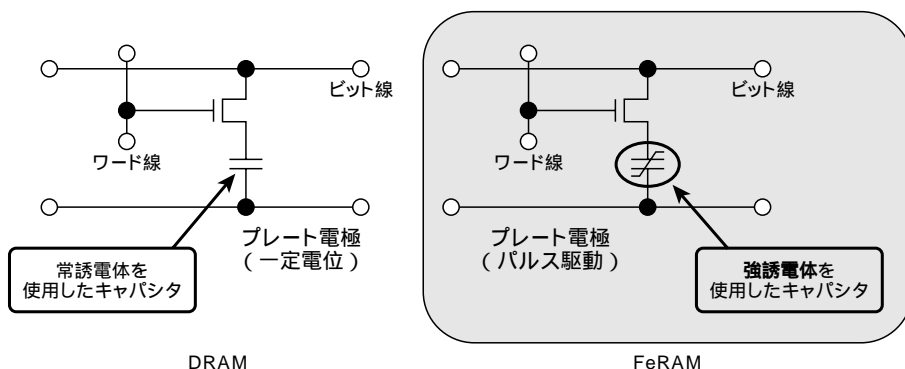


図2 . FeRAMとDRAMのセル構成 FeRAM(右)は、1トランジスタ1キャパシタとDRAM(左)と同様の構成であるが、プレート線が駆動されるという違いがある。Memory cells of FeRAM and DRAM

DRAMやSRAM並みの信頼性を確保するためには、更に高度な書替え性能を保証する必要がある。

これまで、強誘電体キャパシタの電極材料には白金(Pt)が広く使用されてきた。これは、PZT(チタン酸ジルコン酸鉛： $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)などの強誘電体膜を結晶化させる際には、高温の酸化性雰囲気での熱処理が必要であり、耐酸化性の高いPtが最適であると考えられてきたためである。しかし、Pt電極を使用したキャパシタでは、書替え回数が $10^6 \sim 10^9$ 回になると分極量が急激に低下する“疲労”が起こり、十分な信頼性を確保することが困難であることが明らかになってきた。この原因は、Pt電極とPZTとの界面で、PZTの酸素が脱離するためではないかと考えられている。この問題を解決するために、近年Ptに代わる電極材料の研究が進んでいる。当社では、独自に複合酸化物電極であるSROを用いた高信頼プロセスを開発し、世界最高レベルの書替え性能を実現した(図4)。

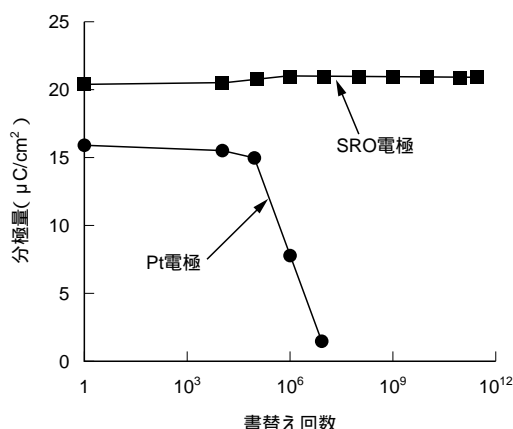


図4 . SRO電極による書替え回数の向上 SRO電極の採用で 10^{12} 回以上の書替え性能を実現した。

Improvement of endurance characteristics by SRO electrode

この技術では、主要電極としてはPtを使用しつつPZT膜の上下にSROを挿入する構造を採用しており、従来のプロセス技術との整合性も良好である。SROによる信頼性向上のメカニズムを図5に示す。

Pt単体の電極を用いた場合には、LSIの製造過程で発生する水素により電極との界面でPZTの還元反応が進行し、PZT中に酸素空孔を主体とした欠陥が形成されるため強誘電特性が低下する。更に、繰返し電界による書替えの過程でPZT中の酸素イオンが外方拡散を起し、特性劣化が進行する。これに対しSRO層を挿入した場合には、PZT中の酸素イオンの外方拡散が抑制されるとともに、SRO中に含まれる余剰酸素イオンがPZT膜中に存在する酸素空孔と置換することにより欠陥が修復され、 10^{11} 以上の書替えにおいて

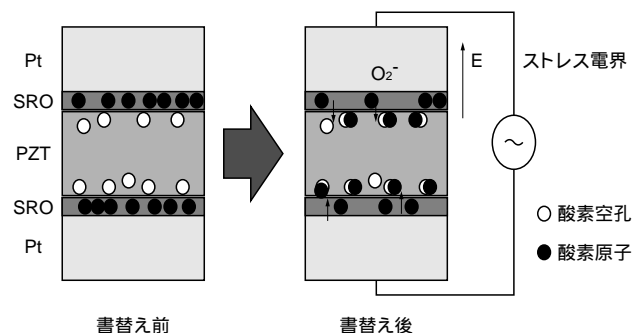


図5 . SRO電極による疲労防止メカニズム 電極から欠損した酸素を補てんし、疲労を防止する。

Fatigue suppression model of PZT film with SRO electrode

もまったく特性劣化しない。当社では、高性能電極技術を核に、工程ダメージを防止する各種のインテグレーション技術を組み合わせた、総合的な技術開発を進めている。

しかし、FeRAMの究極の夢を実現するために重要なセルの微細化は、まだ緒についたばかりと言える。DRAMでは、既に $0.13 \mu\text{m}$ 以下の微細なデザインルールでの開発が進んでいるのに対し、FeRAMではようやく $0.5 \mu\text{m}$ ルールの製品が出始めたばかりであり、強誘電体キャパシタの面積は約 $2 \mu\text{m}$ と、かなり大きなものとなっている。セルの微細化を進めるためには、強誘電体材料及び電極材料の微細加工技術の開発を進めると同時に、セルを微細化した場合でもバルクと同等の強誘電特性を示す材料・プロセス技術を開発することが重要である。当社で開発中のPZTキャパシタは、 $0.15 \mu\text{m}$ 幅まで微細化を進めても良好な強誘電特性を示すことを確認しており、次世代の高集積FeRAMに対しても十分なポテンシャルを備えている。今後、高温RIE(Reactive Ion Etching)などの微細加工技術やキャパシタの三次元化技術の開発を進めることで、256 Mビット以上の集積度を持つFeRAMの実現も夢ではないと思われる。

4 8 MビットChainFeRAM™

これらの技術を使用して、現在世界最高密度、最高速のFeRAMを開発試作中である。

$0.25 \mu\text{m}$ デザインルールを用い、 76mm^2 のチップサイズと40 nsのアクセス速度を実現している。セルは、オフセットセル構造 $5.2 \mu\text{m}^2$ である(図6)。

5 COP型セル構造への進化

従来のFeRAMでは、トランジスタ部へ接続されたプラグと離れた位置にキャパシタを形成する、オフセットセル構造が使用されてきた。しかし、16 Mビット級以上のFeRAMを実現するためには、プラグ上にキャパシタを形成する微細な

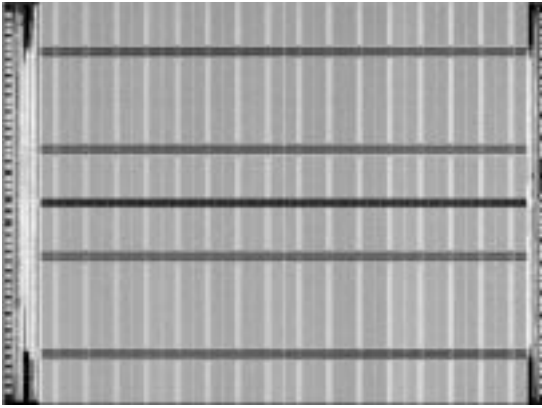


図6 . 8 Mビット ChainFeRAM™チップ 世界最大容量・最高速を実現した。
8 Mbit chainFeRAM™

セル構造(COP: Capacitor On Plug)の開発が必要である(図7)。同じデザインルールを使用しても,セルサイズを1/3以下にできる。

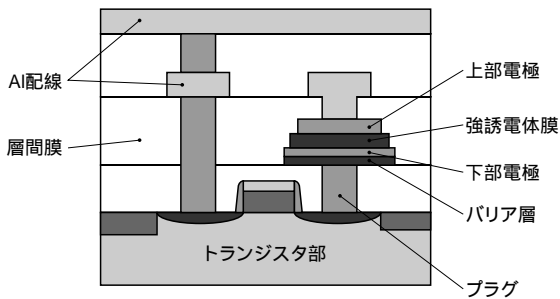


図7 . COP型のセル構造 トランジスタのプラグ上にキャパシタを作り,微細化する。
Capacitor on plug (COP) cell structure

この技術のポイントは,PZTなどの酸化物強誘電体キャパシタ作製の際に,プラグ材料との接続部での酸化,拡散による特性劣化を防止することである。そのために,次のことを実施しなければならない。

- (1) 酸素や鉛などの拡散を防止するバリア構造の開発
- (2) キャパシタ形成のプロセスダメージ低減
- (3) 強誘電体膜の結晶化温度の低減

バリア構造については,これまで使用されてきたPt電極は使用できない。耐酸化性の強いイリジウム,イリジウム酸化物などの薄膜が,新たに採用されている。PZT膜は,Pt電極上で良好な結晶性が得られるため,バリア膜とPt膜とを積層した構造を下部電極に使用する例が示されている。

FeRAM作製プロセスのダメージは,アルミニウム(AI)配線層間の絶縁膜形成やタングステンプラグの形成に使用するCVD(Chemical Vapor Deposition)プロセス,及びキャパ

シタや接続孔を加工するRIEプロセスにおける還元作用の悪影響が主たるものである。活性水素などが酸化物強誘電体を部分的に還元したり,固定電荷を生じさせたりする。キャパシタの周囲に,酸化アルミニウム(Al_2O_3),酸化チタン(TiO_2)などの酸化膜バリア,窒化シリコン(SiN)などの窒化膜バリアを形成することで,ダメージを低減できる。導電性酸化物電極によるバリア性も報告されている。塗布による絶縁膜形成法なども有効である。

強誘電体膜の低温化に対しては,MOCVD(Metal Organic CVD)法とゾルゲル法により検討が進められている。例えば,PZTスパッタ膜の結晶化では600 程度の温度が必要であるが,これらの方法を用いて,初期核生成促進シード層を併用すると,450 までの低温化が実現している。MOCVD法による強誘電体膜の形成は,将来の三次元キャパシタへの応用としても意味あるものである。

以上に示したように,微細セル用COP構造の実現には,更なる新材料系の膜,及び新プロセスの導入が必要となり,これらの成否がFeRAMの特性を左右する。20 $\mu C/cm^2$ の分極量を確保できると,0.5 \times 0.5 μm 以下の平面キャパシタでも十分な電荷量が得られることになるため,数十から数百Mビット級のFeRAMは,このCOP構造が担うことになる。

6 あとがき

究極のメモリーとなる可能性を持つFeRAMは,様々な問題からこれまで大きな市場を得るに至っていなかった。しかし,2000年に入り,業界では,小容量品では数百万個規模の量産が開始されている。こうしたなか,当社は,独自技術により,他社に先駆けて大容量化へのブレークスルーを実施した。

今後は更に,市場の要求にこたえる製品開発への努力を続けていきたい。



大脇 幸人 OOWAKI Yukihito
セミコンダクター社 メモリ事業部先端メモリ開発センター
主査。メモリの設計・開発に従事。IEEE会員。
Memory Div.



國島 巖 KUNISHIMA Iwao
セミコンダクター社 メモリ事業部先端メモリ開発センター
主務。強誘電体メモリのデバイス・プロセス開発に従事。
応用物理学会会員。
Memory Div.



山川 晃司 YAMAKAWA Koji
セミコンダクター社 プロセス技術推進センター半導体プロセス
開発第四部主査。強誘電体メモリのプロセス開発に従事。
応用物理学会, Materials Research Society会員。
Process & Manufacturing Engineering Center