

情報技術革新に伴って高性能化するモバイル機器やネットワーク機器市場では、高機能大容量SRAM(Static RAM)の需要が急速に拡大している。

当社は、特に、モバイル用ローパワーSRAMとネットワークサーバ用高速SRAMに最適な技術を開発し、高性能の製品群を提供している。高密度・微細化に対してSTI(Shallow Trench Isolation)と内部接続(LI:Local Interconnect)技術、高速化に対してはチタンサリサイドや接合容量の小さい高性能MOSFET(Metal Oxide Semiconductor Field Effect Transistor)技術、ローパワー・低電圧化に対してはサリサイドを採用しながらリークを抑えた微細6トランジスタセル技術、などの先進技術を採用している。現在、0.2 μmプロセスを用いて8MビットのローパワーSRAMや、18Mビットの高速SRAM製品を量産中で、特に高速SRAMでは、ノーターンアラウンドやダブルデータレート(DDR)といった高機能仕様に対応している。また、よりいっそうの大容量・高性能化のために、低リークのコバルトサリサイド技術や銅デュアルダマシン(Dual Damascene)技術を開発し、これらを用いて、16MビットローパワーSRAMと1GHzの超高速SRAMの開発を進めている。

The demand for high-performance and large-scale static random access memories (SRAMs) is expanding rapidly in the mobile and network markets with the innovations taking place in information technology. Toshiba has been developing leading-edge technologies for the mobile and network sectors and supplies highly efficient SRAMs.

We have developed a low-leakage CMOS cell using shallow trench isolation (STI) and local interconnect (LI) technologies and a Ti salicide process. Currently, an 8M bit low-power SRAM and an 18M bit high-speed SRAM, corresponding to no turnaround or double data rate (DDR), are under mass production. Moreover, using the advanced technologies of low-leakage Co salicide and Cu dual-damascene, we are developing a 16M bit low-power SRAM and a 1 GHz super-high-speed SRAM.

1 まえがき

インターネットの普及により、デジタル通信、携帯電話などのネットワーク関連機器やモバイル機器の高性能化が急速に進展している。情報も文字・音声・画像データと多種多様になり、ネットワーク上での情報伝達量は急増している。このため、ルータやサーバなどのネットワーク構成機器に対しては、よりいっそうの高速アクセスと高いデータ転送能力が求められている。

一方、モバイル機器には、高機能化とともに長時間使用に耐える低消費電力化も要求される。これに伴い、必要とされるメモリは、高密度大容量化だけでなく、低消費電力、高速データ転送などの高機能な製品特性が求められている。

従来からローパワー化や高速化の要求にこたえてきたSRAMの分野では、近年の新たな市場要求にこたえて、技術開発及び製品開発が加速している。当社のSRAMも、モバイル機器用のローパワーSRAMとネットワークサーバなどのデータ処理用の高速SRAMに注力した製品展開を進めている。ここでは、これらの低消費電力と高速化を実現するための最新のSRAM技術と代表製品について、以下に述べる。

2 0.2 μm SRAMプロセス

現在量産中の0.2 μm SRAMは、STI構造のCMOS(Complementary MOS)型6トランジスタセルの採用により、

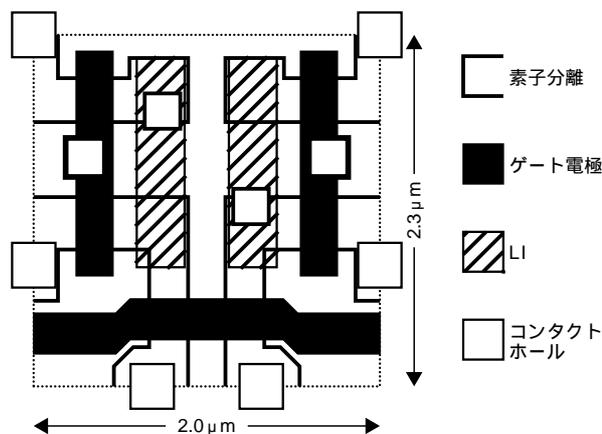


図1. 0.2 μm SRAMのセル図面 CMOS型6トランジスタセルとフリップフロップのノード接続に、タングステンのLIを採用したことで、高密度・微細化を達成した。
Cell layout of 0.2 μm SRAM

低スタンバイ(待機時)電流及び高ソフトエラー耐性を備えながら、 $4.6\mu\text{m}^2$ のセル面積を実現している(図1)。

この高密度・微細化を達成するうえで、リソグラフィ技術としてはKrF(フッ化クリプトン)エキシマ露光装置とハーフトーンマスクを採用しており、配線構造的にはLI採用によるセルトランジスタのタングステン接続を実施している。更に、チタン(Ti)サリサイドプロセスの導入により、ゲート電極とソース・ドレイン領域の低抵抗化とともに、特に高速SRAMで要求される接合容量の低減が実現できた。

また、ゲート長 $0.2\mu\text{m}$ のMOSTランジスタをチューニングすることにより、 3.6V まで使用可能なセルを実現した。これにより、電源降圧回路なしで 3.3V 製品のラインアップを実現し、低スタンバイ電流対応製品の供給を容易にした。

当社のSRAMセルのトレンドを図2に示す。

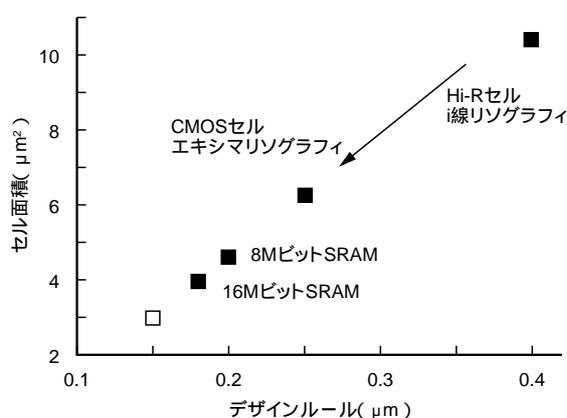


図2 . SRAMセルのトレンド 従来のHi-Rセルから、 $0.25\mu\text{m}$ 世代でエキシマのCMOSセルを採用することにより、高性能な微細セルを実現した。

Trend in SRAM cells

デザインルール $0.4\mu\text{m}$ 世代までは、i線(紫外線)リソグラフィ技術とHi-R(高抵抗負荷型)セルを採用してきたが、 $0.25\mu\text{m}$ 世代からKrFエキシマリソグラフィ技術を採用した。また、低スタンバイ電流及びソフトエラー対策としてCMOSセルを採用した。更に、STI素子分離とTiサリサイドプロセスの導入により $6.29\mu\text{m}^2$ のセル面積を実現した。現状の $0.2\mu\text{m}$ 世代では、リソグラフィ技術にハーフトーンマスクを採用し、次期 $0.15\mu\text{m}$ 世代では、コバルト(Co)サリサイドの導入により $3\mu\text{m}^2$ のセルを開発中である。更に、その先では、ArFエキシマの露光装置を導入した $0.1\mu\text{m}$ 世代の $2\mu\text{m}^2$ セルが目標となってくる。

3 ローパワーSRAM

コンパクト性と低消費電力が求められるモバイル機器に

とって、SRAMへの低スタンバイ電流要求は緩まることなく、高密度大容量化と低スタンバイ電流の両立は、ローパワーSRAM開発における最重要課題となっている。

3.1 低リークMOSFET

$0.2\mu\text{m}$ トランジスタを開発するうえで、ローパワーSRAMでの最注力点はオフリークの制御である。LDD(Lightly Doped Drain)スペーサとイオン注入条件のチューニングにより、ドレインリークを低減させ、ドレイン電圧 3.3V でのオフリークをnMOSで $5\text{f}(10^{-15})\text{A}/\mu\text{m}$ 、pMOSで $10\text{fA}/\mu\text{m}$ を実現した。

3.2 低リーク サリサイド

ローパワーSRAMにとって、TiサリサイドとLI導入によるリーク電流の影響は無視できない。Ti膜厚によるチューニングは、サリサイド抵抗とリーク電流のトレードオフとなるため、サリサイドプロセスの熱工程とSTI形状も合わせたチューニングを実施した。低リーク特性を維持しつつ、シート抵抗が 5Ω のサリサイドを実現した。

3.3 8MビットSRAM

$0.2\mu\text{m}$ SRAMの $4.6\mu\text{m}^2$ セルを用いることにより、チップ面積 $58.5\text{mm}^2(6.11\times 9.58)$ とスタンバイ電流 $0.5\mu\text{A}$ を実現した。この8MビットSRAMのチップを図3に示す。

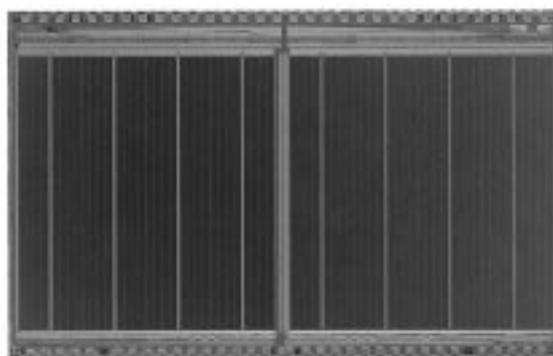


図3 . 8MビットSRAM(TC55W800XB)のチップ $6.11\times 9.58\text{mm}^2$ のチップサイズに8MビットのSRAMを搭載している。

Chip micrograph of 8M bit SRAM

このチップは長辺側にボンディングパッドを配置しているが、短辺側に配置した別タイプ(ET5MM6A-43DS)をラインアップしている。

8MビットSRAMは8インチウェーハでの出荷に加え、48ピンTSOP(Thin Small Outline Package $12\times 20\text{mm}^2$)とCSP(Chip Scale Package $9\times 12\text{mm}^2$)パッケージをラインアップしている。また、64MビットNOR(Negative OR circuit)型フラッシュメモリとのSt-MCP(Stacked Multi Chip Package)を携帯電話向けに量産出荷中である。主な製品仕様を表1に示す。

表1. 8MビットSRAMの主要製品仕様
Main specifications of 8M bit SRAM

項目	条件		特性 (最大)
	V _{DD} (V)	T _a ()	
スタンバイ電流	3.0	25	0.5 μA
		-40 ~ 40	1 μA
		-40 ~ 85	5 μA
	2.7 ~ 3.3	25	0.6 μA
-40 ~ 85		6 μA	
オペレーション電流	2.3 ~ 3.3	-40 ~ 85	50 mA
アクセスタイム	2.7 ~ 3.3	-40 ~ 85	70 ns
	2.3 ~ 3.3		85 ns

V_{DD}: 電源電圧
T_a: 保証温度

低リークMOSFETと低リークCMOSセルの採用により、標準的なスタンバイ電流は3.3V/常温(25)で50 nA、85 で1.3 μAを実現している(図4)。

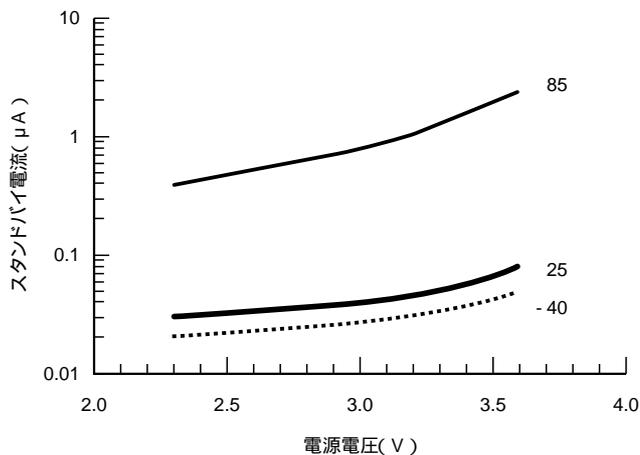


図4. 8MビットSRAMのスタンバイ電流特性 3.3V/常温で標準50nAのスタンバイ電流を達成した。
Standby current of 8M bit SRAM

3.4 16MビットSRAM

更に、高密度大容量化するため、Coサリサイドプロセスによる3.97 μm²セルを開発した。このセルを適用した、チップ面積92.8 mm² (8.8 × 10.55)の16MビットSRAMを2001年1Q(第1四半期)から量産予定である。

4 高速SRAM

ネットワーク市場からの、よりいっそうの高速アクセス要求に対し、高性能デバイス開発と高速アクセス回路導入を実施した。超高速化で必要となるパッケージ技術に対しては、フリップチップBGA(Ball Grid Array)を採用した。

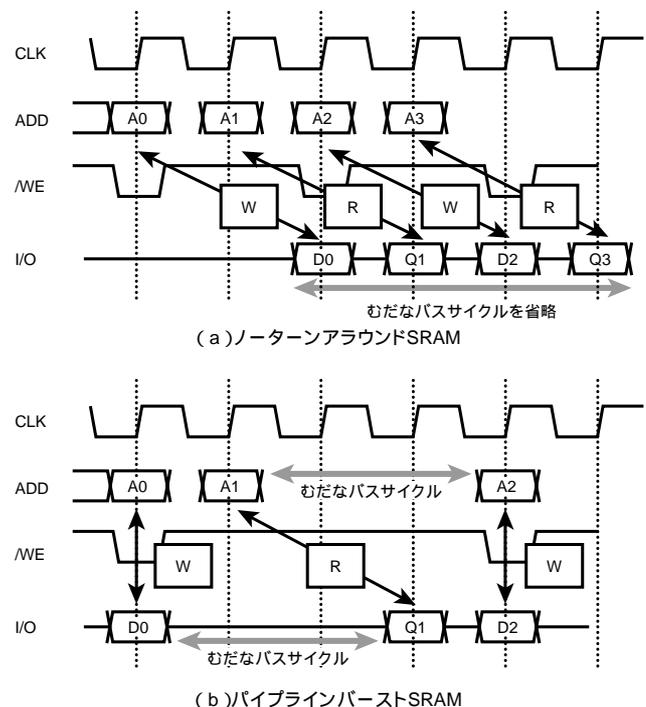
当社は、低リークサリサイド技術の確立により、高性能な

ローパワーSRAM開発を可能にしたが、この技術は高速SRAM開発を進めるうえでも非常に有効である。トランジスタのソース・ドレイン領域の低抵抗化と低接合容量化を両立できるため、駆動力が高く寄生容量が小さい高性能MOSFETが実現できた。

高速アクセス回路の導入については、従来主流であったパイプラインバーストSRAMから、より高速なデータ転送が可能でネットワーク市場に適した、ノーターンアラウンドSRAMとダブルデータレート(DDR)SRAMへと展開していく。

4.1 18Mビット高速SRAM

同期型ノーターンアラウンドSRAMは、パイプラインバーストSRAMに比べ、リードサイクルからライトサイクル、又はライトサイクルからリードサイクルへの切換え時に発生するむだなバスサイクルの省略を実現した。これによって、ノーターンアラウンドSRAMは、同一周波数のパイプラインバーストSRAMと比べて、最大で2倍のデータ転送レートを可能にした(図5)。



CLK: クロック ADD: アドレス WE: ライトイネーブル I/O: データ入力・出力
A: アドレスデータ D: 入力データ Q: 出力データ W: Write R: Read

図5. 同期型SRAMのアクセスタイミング例 ノーターンアラウンドSRAMは、むだなバスサイクルの省略を実現した。
Example of access timing of synchronous SRAM

現在量産中の18Mビット同期型ノーターンアラウンドSRAMは133MHzの最大動作周波数を実現している。パッケージは100ピンLQFP(Low profile Quad Flat Package) (0.65mmピッチ, 1.6mm高標準)タイプで、主な製品仕様を

表2 . 18Mビット高速SRAMの主要製品仕様
Main specifications of 18M bit high-speed SRAM

製品形名	TC55VD1618FF	TC55VD1636FF
構成	1Mワード×18ビット	512Kワード×36ビット
動作周波数(最大) (MHz)	133	133
アクセスタイム(最大) (ns)	4.5	4.5
オペレーション電流(最大) (mA)	370	400
スタンバイ電流(最大) (mA)	10	10

(Ta=0~70 , VDD=3.3V±5%)

表2に示す。また、電源電圧2.5V製品も開発中で、167MHzの動作周波数対応で2001年1Qから量産予定である。

4.2 18MビットDDR SRAM

更に、高速なデータ転送を必要とするハイエンド機種に適した高速SRAMとして、超高速DDR SRAMがある。パイプラインバーストのSDR(Single Data Rate)に比べて、クロックの立ち上がり/立ち下りのタイミングを使うことによって、約2倍のデータ転送効率を実現できる(図6)。

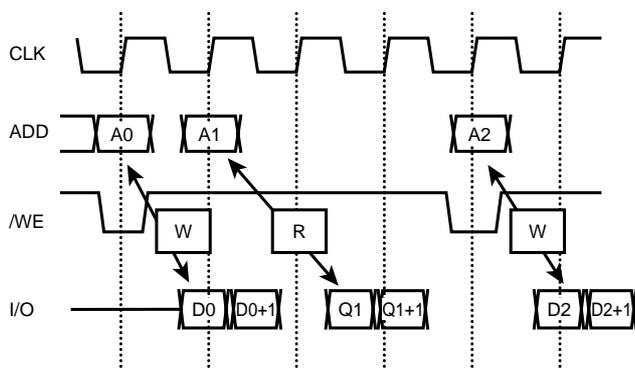


図6 . DDR SRAMのアクセスタイミング例 クロックの立ち上がり/立ち下りのタイミングを使うことで、2倍のデータ転送効率を実現できる。

Example of access timing of DDR SRAM

450MHzを超える超高速SRAMの実現は、ワイヤボンディングタイプのパッケージではワイヤ抵抗とインダクタンスの問題から非常に困難である。この問題を回避するために、はんだバンプを介してチップのパッドを直接BGA基板に接続可能なフリップチップBGAを採用した。チップの裏面をBGA基板に接触させるワイヤボンディングPBGA(Plastic BGA)に対し、パッド上にはんだバンプを形成したチップを裏返して(フリップチップ)、BGA基板にチップ表面をバンプ接続することを特長としている。この構造により、高周波数動作時に問題となるチップ・基板間の抵抗とインダクタンスの影響を回避している(図7)。現在開発中の18MビットDDR SRAMでは600MHzの動作周波数を実現している。

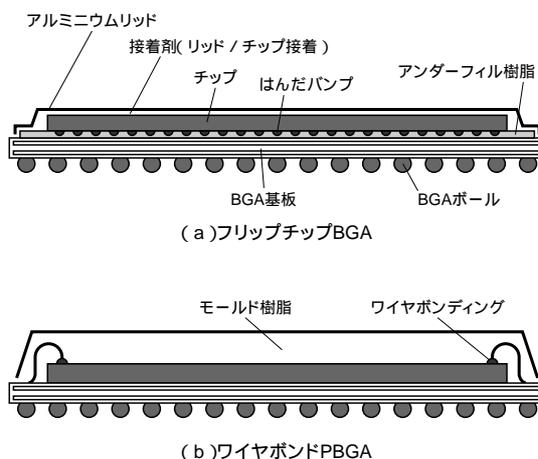


図7 . BGAの断面構造 フリップチップBGA(a)は、ワイヤボンディングPBGA(b)に比べ、チップから基板までの抵抗とインダクタンスを低減できる。

Cross section of ball grid array (BGA)

4.3 1GHzの超高速化技術

1GHzの超高速SRAMを達成するためには、更に、チップ本体の配線から対策が必要となる。特に、メタル配線は高密度微細化の影響で電気抵抗と配線容量が大きくなり、アルミニウム配線では1GHzをねらった回路設計が不可能となっている。これに対し、メタル配線材料を銅(Cu)に変更することによってアルミニウム配線に比べ約1/2の電気抵抗を実現できた。

配線溝とコンタクトホールとの同時埋込み方式であるCuデュアルダマシン技術を採用した1GHz対応のDDR SRAMを開発中である。

5 あとがき

モバイル時代に対応したローパワーSRAMと高速SRAMを開発した。しかし、モバイル市場やネットワーク市場の進展は目覚ましく、より高密度大容量で高性能・低消費電力の要求にこたえたSRAMの開発が必要である。

ローパワーSRAM分野では、低スタンバイ電流対応の電源電圧降下回路と低電圧微小セルの開発により、高密度大容量化を進めていく。

高速SRAMでは、Cu配線導入による低抵抗化と低誘電率層間膜による配線容量低減技術の確立により、1GHzの超高速SRAMを展開していく。



木津 辰貴 KIZU Tatsuki
セミコンダクター社 メモリ事業部 SRAM統括部主務。SRAM製品の開発及び製品技術業務に従事。
Memory Div.